

1158569

УЧЕБНИК

ДЛЯ ВЫСШИХ УЧЕБНЫХ ЗАВЕДЕНИЙ

СПЕЦИАЛЬНОСТЬ



ПОЛНЫЙ КУРС ►

КРАТКИЙ КУРС



АНАЛОГОВАЯ И ЦИФРОВАЯ ЭЛЕКТРОНИКА

Ю.Ф.ОПАДЧИЙ
О.П.ГЛУДКИН
А.И.ГУРОВ

Горячая линия-Телеком



**Ю.Ф.ОПАДЧИЙ
О.П.ГЛУДКИН
А.И.ГУРОВ**

АНАЛОГОВАЯ И ЦИФРОВАЯ ЭЛЕКТРОНИКА

ПОЛНЫЙ КУРС

**ПОД РЕДАКЦИЕЙ
АКАДЕМИКА МЕЖДУНАРОДНОЙ АКАДЕМИИ ИНФОРМАТИЗАЦИИ
И РОССИЙСКОЙ АКАДЕМИИ ЭЛЕКТРОТЕХНИЧЕСКИХ НАУК,
ЗАСЛУЖЕННОГО ДЕЯТЕЛЯ НАУКИ И ТЕХНИКИ
РОССИЙСКОЙ ФЕДЕРАЦИИ, ДОКТОРА ТЕХНИЧЕСКИХ НАУК,
ПРОФЕССОРА О.П.ГЛУДКИНА**

*Рекомендовано Министерством общего и профессионального
образования Российской Федерации в качестве учебника
для студентов вузов, обучающихся по специальности
«Проектирование и технология радиозлектронных средств»*

**Москва
Горячая линия - Телеком
2005**

ББК 32.852
О-60
УДК 621.396.6

Рецензенты: А. Е. Краснопольский и В. А. Шахнов

Опадчий Ю. Ф., Глудкин О. П., Гуров А. И.

О-60 Аналоговая и цифровая электроника (полный курс): Учебник для вузов. Под ред. О. П. Глудкина. – М.: Горячая линия–Телеком, 2005. – 768 с.: ил.

ISBN 5-93517-002-7.

Рассматривается элементная база устройств полупроводниковой электроники, диоды, транзисторы, тиристоры, приборы с зарядовой связью: приведена классификация, вольт-амперные и частотные характеристики, основные схемы включения и особенности применения конкретных приборов в различных режимах работы. Излагаются принципы построения типовых аналоговых, импульсных и цифровых устройств. Приведены способы математического описания их работы, а также основы анализа и направленного синтеза устройств с заданными техническими характеристиками.

Для студентов, обучающихся по специальности «Проектирование и технология радиоэлектронных средств».

ББК 32.852

*Адрес издательства в Интернет www.TECHBOOK.RU
e-mail: radios_hl@mtu-net.ru.*

Учебное издание

**Опадчий Юрий Федорович,
Глудкин Олег Павлович,
Гуров Александр Иванович**

АНАЛОГОВАЯ И ЦИФРОВАЯ ЭЛЕКТРОНИКА

Учебник

Обложка художника В. Г. Ситникова

ЛР № 071825 от 16 марта 1999 г.

Подписано в печать 18.10.04, Гарнитура Times. Печать офсетная.

Усл. печ. л. 44,64. Тираж 1500 экз. (доп). Изд. № 002, зак. № 2812.

Отпечатано с готовых диапозитивов в ООО ПФ «Полиграфист».

160001, г. Вологда, ул. Челюскинцев, 3.

Тел.: (8172) 72-55-31, 72-60-72.

ISBN 5-93517-002-7 © Опадчий Ю. Ф., Глудкин О. П., Гуров А. И., 2000, 2005

ПРЕДИСЛОВИЕ

Настоящий учебник написан в соответствии с программой курса «Аналоговая и цифровая электроника», читаемого студентам, обучающимся по направлению 55.11 «Проектирование и технология электронных средств», а также по специальностям 22.05 «Конструирование и технология электронно-вычислительных средств» и 20.08 «Проектирование и технология радиоэлектронных средств».

Учебник состоит из трех частей: первая часть знакомит читателей с элементной базой электронных устройств; во второй рассматриваются вопросы построения аналоговых и импульсных электронных устройств, третья часть содержит анализ работы устройств цифровой электроники.

В результате изучения данного курса студенты усвоят принципы функционирования, выбора и практической реализации электронных устройств различного назначения, а также методы их анализа и расчета по заданным статическим и динамическим параметрам.

Большинство выпущенных к настоящему времени учебников и учебных пособий по аналоговой и цифровой электронике либо посвящены только отдельным разделам этой дисциплины, либо рассчитаны на большее количество аудиторных часов, либо недостаточно отражают современные тенденции в развитии цифровой электроники и вычислительной техники.

В данном учебнике изложены в сжатой и доступной форме все разделы программы курса; при этом несколько расширены объемы разделов по цифровой электронике.

Материал учебника скомпонован таким образом, что каждый последующий раздел является логическим продолжением предыдущих. В решении этой задачи авторы опирались на многолетний опыт методической и преподавательской работы, накопленный ими при чтении курса «Аналоговая и цифровая электроника» студентам, обучающимся по специальности 22.05 «Конструирование и технология электронно-вычислительных средств».

Усвоение материала, изложенного в учебнике, поможет студентам правильно проектировать электронные средства, выбирать

необходимые схмотехнические варианты их исполнения и модернизировать указанные средства.

Особое внимание обращается на умение применять на практике вопросы теории. С этой целью изложенный теоретический материал сопровождается большим числом практических примеров. В конце каждой главы приведены контрольные вопросы.

Данная книга может быть использована в качестве не только учебника для указанных направлений и специальностей, но и учебного или справочного пособия для студентов других направлений и специальностей. Этому способствует систематическое изложение теоретического материала.

Авторы благодарны за оказанную помощь в улучшении содержания книги сотрудникам кафедры «Системы автоматизированного проектирования вычислительных средств» (зав. кафедрой доктор техн. наук, профессор, член-корр. АТН РФ, академик МАИ В. П. Корячко) Рязанской радиотехнической академии, ознакомившимся с рукописью и сделавшим ряд полезных замечаний. Особо следует отметить большую работу, сделанную доцентом этой кафедры к.т.н. Н. В. Баскаковой по тщательному анализу учебника и представившую конкретные предложения по улучшению отдельных его разделов, которые авторы с благодарностью приняли при переработке рукописи.

Авторы выражают глубокую признательность рецензентам — коллективам кафедры «Конструирование и технология производства электронной аппаратуры» Московского Государственного Технического Университета им. Н. Э. Баумана, возглавляемой проф. В. В. Шахновым, и кафедры «Электротехника» Московского института стали и сплавов, возглавляемой проф. А. Е. Краснопольским.

Авторы признательны также сотрудникам кафедры «Микропроцессорные системы, электроника и электротехника» Московского Государственного авиационного технологического университета им. К. Э. Циолковского И. В. Соловьёвой и С. Н. Игнатьевой за оформление и подготовку рукописи к изданию, а также проф. П. Д. Давидову, любезно предоставившему часть своих материалов для данного учебника.

Авторы

ВВЕДЕНИЕ

Электроника — область науки, техники и производства, охватывающая исследование и разработку электронных средств¹ (ЭС) и принципов их использования. При этом *аналоговая электроника* охватывает только те электронные средства, которые предназначены для преобразования и обработки информации, изменяющейся по закону непрерывной функции, а *цифровая электроника* — средства для преобразования и обработки информации, изменяющейся по закону дискретной функции. Помимо понятий «аналоговая» и «цифровая» электроника применяют понятие «импульсная» электроника, смысл которого станет ясен из последующего изложения материала.

Промышленное развитие электроники можно подразделить на два направления: энергетическое (силовое), связанное с преобразованием переменного и постоянного токов для нужд электроэнергетики, электротяги, металлургии и пр., и информационное², к которому относятся электронные средства, обеспечивающие измерения, контроль и управление различными процессами, включая производство и научные исследования во многих инженерных и неинженерных отраслях (биология, медицина и т. п.).

Курс «Аналоговая и цифровая электроника» посвящен в основном информационной электронике, на которой базируется подготовка студентов, обучающихся в вузах Российской Федерации по направлению 55.11 «Проектирование и технология электронных средств». Этот курс, рассматривая принципы функционирования, способы расчета и методы анализа соответствующих электронных устройств³, является логическим продолжением курса «Общая электроника» [1]. Без знания законов электротехники невозможно понять и изучить принципы работы и применения электронных устройств.

¹ Электронное средство — изделие и его составные части, в основу функционирования которых положены принципы электроники.

² Информацией называется совокупность каких-либо сведений, определяющих знания об изучаемом процессе или объекте.

³ Электронное устройство — электронное средство, представляющее собой функционально законченную сборочную единицу, выполненную на несущей конструкции, реализующее функции(ю) передачи, приема и преобразования информации или техническую задачу на их основе.

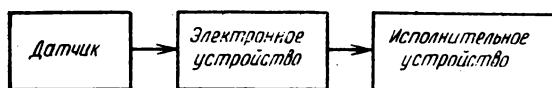


Рис. 1. Структурная схема системы контроля и управления

Широкое применение информационной электроники базируется на возможности замены трудноизмеряемых физических параметров различных процессов соответствующими электрическими параметрами. Это позволяет относительно просто, в минимальных физических объемах, при высоком быстродействии и надежности функционирования реализовать требуемый алгоритм обработки информации, используемой в системах измерения, контроля и управления реально протекающих процессов. Подобные системы включают, как правило, три функциональных блока (рис. 1):

блок преобразования физической величины, преобразующей реальное состояние процесса или объекта, в соответствующий параметр электрического сигнала¹ — *датчик* (первичный преобразователь);

блок преобразования электрических сигналов в электрические сигналы по заданному алгоритму — *электронное устройство* (ЭУ);

блок преобразования электрического сигнала в физическую величину, с помощью которой осуществляется воздействие на состояние процесса или объекта — *исполнительное устройство*.

Курс «Аналоговая и цифровая электроника» посвящен в основном рассмотрению тех вопросов, которые связаны с реализацией второго блока системы, приведенной на рис. 1. В результате изучения курса студент должен **знать**:

принципы построения и функционирования устройств аналоговой, импульсной и цифровой электроники;

принципы выбора методов анализа и синтеза электронных устройств с заданными статическими и динамическими характеристиками,

а также **уметь**:

рассчитывать электронные цепи постоянного и переменного токов (вручную, а также на микроЭВМ с разработкой программ);

обобщать динамические показатели электронных устройств, используя понятия передаточной функции, переходной и импульсной характеристик;

¹ Под сигналом (в общем смысле этого слова) в дальнейшем будем понимать физический процесс, с заданной точностью отображающий сведения о состоянии изучаемого процесса или объекта и пригодный для его дальнейшей обработки и передачи на расстояние.

выполнять расчеты различных электронных устройств с организацией банка данных для автоматизации процедур выбора и обоснования оптимальных параметров.

Промышленное развитие электроники можно отнести к началу XX-го столетия, когда в 1904 г. англичанин Д. Флеминг создал первую электронную лампу (диод). В 1907 г. американец Л. Форест, введя в диод управляющий электрод, получил триод, способный генерировать и усиливать электрические колебания. В России первую электронную лампу изготовил в 1914 г. Н. Д. Палалекси.

В 30-х годах началось активное изучение полупроводниковых материалов с целью их использования в электронике. Большой вклад в решение этой проблемы внесли теоретические работы советских физиков, возглавляемых академиком А. Ф. Иоффе.

В 1948 г. американскими учеными был изобретен первый полупроводниковый усилительный прибор — транзистор. Аналогичные приборы несколько позже разработали советские ученые А. В. Красилов и С. Г. Малоян. Обладая существенными преимуществами по сравнению с электронными лампами, транзисторы обусловили бурное развитие полупроводниковой электроники. Применение транзисторов в сочетании с печатным монтажом позволило получить малогабаритные электронные устройства с относительно малым потреблением электроэнергии.

Дальнейший скачок в развитии электроники стал возможен с появлением устройств интегральной микроэлектроники¹, представляющих собой интегральные схемы (ИС). Промышленный выпуск ИС был начат в начале 60-х годов и способствовал бурному прогрессу в развитии информационной электроники и микроминиатюризации электронных средств. Эти тенденции получили еще большее развитие с появлением больших (БИС), а затем и сверхбольших (СБИС) интегральных схем, которые позволили разработать и внедрить во все сферы деятельности человека микроЭВМ. Основным элементом в таких ЭВМ стал микропроцессор — СБИС, содержащая десятки и сотни тысяч элементов на одном кристалле (полупроводниковой пластине площадью несколько квадратных миллиметров).

В настоящее время СБИС, наряду с БИС, ИС и отдельными типами дискретных полупроводниковых приборов, стали основной элементной базой современных электронных средств.

¹ Устройство интегральной микроэлектроники — электронное устройство, комплектующие элементы которого изготавливаются групповым методом на единой несущей конструкции — подложке.

ЧАСТЬ ПЕРВАЯ

ЭЛЕМЕНТНАЯ БАЗА ЭЛЕКТРОННЫХ УСТРОЙСТВ

ГЛАВА 1.

НЕПРЕРЫВНОЕ СОВЕРШЕНСТВОВАНИЕ ЭЛЕКТРОННЫХ УСТРОЙСТВ И ИХ СОВРЕМЕННАЯ КЛАССИФИКАЦИЯ

1.1. ЭТАПЫ РАЗВИТИЯ ЭЛЕКТРОНИКИ

В основе развития электроники лежит непрерывное усложнение функций, выполняемых электронными устройствами. На определенных этапах становится невозможным решать новые задачи старыми электронными средствами, или, как говорят, средствами на основе существующей элементной базы, например с помощью электронных ламп или дискретных транзисторов. Таким образом появляются предпосылки для дальнейшего совершенствования элементной базы. Основными факторами, вызывающими необходимость разработки электронных устройств на новой элементной базе, являются повышение надежности, уменьшение габаритов, массы, стоимости и потребляемой мощности.

В зависимости от применяемой элементной базы можно выделить четыре основных поколения развития промышленной электроники, а вместе с ней, соответственно, и электронных устройств.

I поколение (1904—1950 гг.) характеризуется тем, что основу элементной базы электронных устройств составляли электровакуумные приборы, в которых пространство, изолированное газонепроницаемой оболочкой, имеет высокую степень разрежения или заполнено специальной рабочей средой (парами или газами) и действие которых основано на использовании электрических явлений в вакууме или газе. В соответствии с характером рабочей среды электровакуумные приборы подразделяют на электронные и ионные.

Электронный электровакуумный прибор — прибор, в котором электрический ток создается только свободными электронами.

Ионный электровакуумный прибор — прибор с электрическим разрядом в газе или парах. Этот прибор называют также газоразрядным.

Семейство электронных электровакуумных приборов весьма обширно и объединяет такие группы приборов, как электронные

лампы, электронно-лучевые приборы, электровакуумные фотоэлектрические приборы и др. Наиболее широко в элементной базе электронных устройств I-го поколения применялись *электронные лампы* — электровакуумные приборы, предназначенные для различного рода преобразований электрического тока. Электронные устройства, выполненные на лампах, имели сравнительно большие габариты и массу. Число элементов в единице объема (плотность монтажа) электронных устройств I-го поколения составляло $\gamma = 0,001 \dots 0,003$ эл/см³. Сборка таких электронных устройств осуществлялась, как правило, вручную, путем соединения электровакуумных приборов между собой и с соответствующими пассивными элементами (резисторами, катушками индуктивности и конденсаторами) с помощью проводов.

II поколение (1950 — начало 60-х годов) характеризовалось применением в качестве основной элементной базы дискретных полупроводниковых приборов (диодов, транзисторов и тиристоров). Сборка электронных устройств II-го поколения осуществлялась обычно автоматически с применением печатного монтажа, при котором полупроводниковые приборы и пассивные элементы располагались на печатной плате — диэлектрической пластине с металлизированными отверстиями (для подсоединения полупроводниковых приборов и пассивных элементов), соединенными между собой проводниками. Проводники выполнялись путем осаждения медного слоя на плату по заранее заданному печатному рисунку, соответствующему определенной электронной схеме. Плотность монтажа электронных устройств II-го поколения за счет применения малогабаритных элементов составляла $\gamma \approx 0,5$ эл/см³.

III поколение электронных устройств (1960—1980 гг.) связано с бурным развитием микроэлектроники — раздела электроники, охватывающего исследование и разработку качественно нового типа электронных приборов — интегральных схем — и принципов их применения. Основой элементной базы этого поколения электронных устройств стали интегральные схемы и микросборки.

Интегральная схема представляет собой совокупность нескольких взаимосвязанных элементов (транзисторов, резисторов, конденсаторов и др.), изготовленных в едином технологическом цикле, т. е. одновременно, на одной и той же несущей конструкции (подложке), и выполняющих определенную функцию преобразования информации. *Микросборка* представляет собой ИС, в состав которой входят однотипные элементы (например, только диоды или только транзисторы).

Широкое развитие находит блочная конструкция электронных устройств — набор печатных плат, на которые монтируют ИС и микросборки. Плотность монтажа электронных устройств III-го поколения составляет $\gamma \leq 50$ эл/см³.

Этот этап развития электронных устройств характеризуется не только резким уменьшением габаритов, массы и энергопотребления, но и резким повышением их надежности, в том числе и за счет сведения к минимуму ручного труда при изготовлении электронных устройств.

IV поколение (с 1980 г. по настоящее время) характеризуется дальнейшей микроминиатюризацией электронных устройств на базе применения БИС и СБИС, когда уже отдельные функциональные блоки выполняются в одной интегральной схеме, представляющей собой готовое электронное устройство приема, преобразования или передачи информации. Такие электронные устройства, выполненные в виде СБИС, в ряде случаев позволяют полностью обеспечить требуемый алгоритм обработки исходной информации и существенно повысить надежность их функционирования.

Плотность монтажа электронных устройств IV-го поколения $\gamma = 1000 \text{ эл/см}^2$ и выше.

1.2. КЛАССИФИКАЦИЯ ЭЛЕКТРОННЫХ УСТРОЙСТВ

Электронные устройства (ЭУ) по способу формирования и передачи сигналов управления подразделяются на два класса: аналоговые (непрерывные) и дискретные (прерывистые).

Аналоговые электронные устройства предназначены для приема, преобразования и передачи электрического сигнала, изменяющегося по *закону непрерывной (аналоговой) функции*. В аналоговом электронном устройстве (АЭУ) каждому конкретному значению реальной физической величины на входе датчика соответствует однозначное, вполне определенное значение выбранного электрического параметра постоянного или переменного тока. Это может быть напряжение или ток на участке электрической цепи, его частота, фаза и т. п. Допустим, отклонение маятника l от положения равновесия характеризуется зависимостью, показанной на рис. 1.1, а. Тогда в АЭУ, например, напряжение, поставленное в соответствие этому отклонению, в общем случае будет изменяться так, как показано на рис. 1.1, б.

Очевидно, что как сама физическая величина, в данном случае отклонение маятника, так и ее электрический эквивалент, принимающая бесконечное число значений, могут быть определены в любой произвольный момент времени и изменяются в одном и том же масштабе времени. Важно подчеркнуть, что электрический эквивалент несет в себе полную информацию о реальном процессе, хотя в общем случае моменты, когда реальная величина принимает некоторое значение и когда появляется ее электрический эквивалент, могут не совпадать, т. е. между этими моментами может существовать некоторая задержка t_3 .

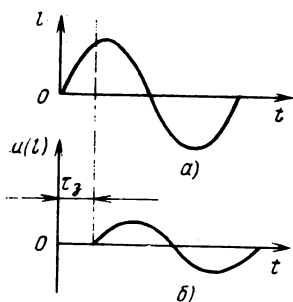


Рис. 1.1. Пример соответствия физической величины аналоговому электрическому сигналу. Зависимость отклонения l маятника от положения равновесия во времени (а) и электрический сигнал $u(t)$, поставленный в соответствие этому отклонению (б)

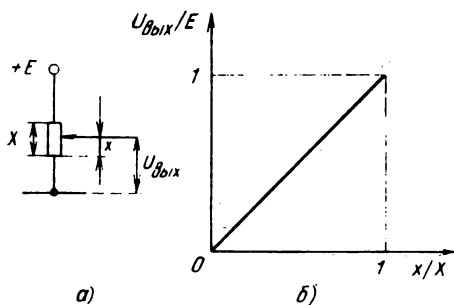


Рис. 1.2. Потенциометрический датчик перемещения (а) и зависимость его относительного выходного напряжения $U_{\text{вых}}/E$ от положения движка x/X (б)

Достоинствами АЭУ являются: теоретически максимально достижимые точность и быстродействие; простота устройства.

Недостатками АЭУ являются: низкая помехоустойчивость и нестабильность параметров, обусловленные сильной зависимостью свойств устройства от внешних дестабилизирующих воздействий, например температуры, времени (старение элементов), действия внешних полей и т. п.; большие искажения при передаче на значительные расстояния; трудность долговременного хранения результата; низкая энергетическая эффективность.

Примером устройства аналогового отображения информации является обычный потенциометр (рис. 1.2), преобразующий линейное перемещение x в напряжение $U_{\text{вых}}$.

Дискретные электронные устройства (ДЭУ) предназначены для приема, преобразования и передачи электрических сигналов, полученных путем квантования¹ по времени и/или уровню исходной аналоговой функции $x(t)$. Поэтому действующие в них сигналы пропорциональны конечному числу выбранных по определенному закону значений реальной физической величины, отображаемой в виде различных параметров импульсов² или перепа-

¹ Квантованием называется процесс замены непрерывного сигнала его значениями в отдельных точках.

² Электрическим импульсом называют кратковременное отклонение напряжения $u(t)$ или тока $i(t)$ от некоторого установившегося значения U_0 и I_0 , соответственно (см. рис. 1.3, а).

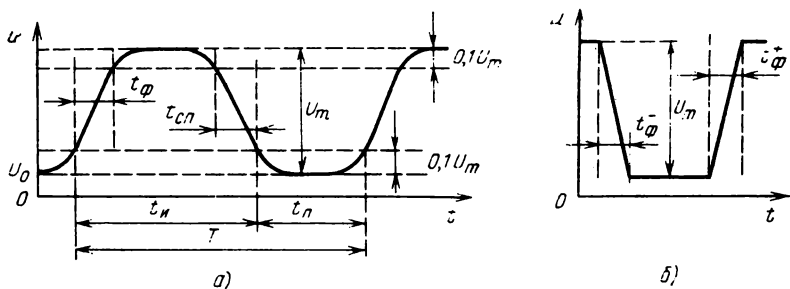


Рис. 1.3. Основные параметры импульсов (а) и перепадов (б) напряжения

дов¹ напряжения или тока. Поскольку обычно интересуются не только конкретными значениями $x(t)$, но и ее изменением, для передачи информации используют последовательности импульсов или перепадов. Основные параметры импульсных последовательностей, используемых в ДЭУ для отображения информации, определим на примере импульсов и перепадов напряжения, показанных на рис. 1.3, а, б:

U_m — амплитуда импульса или перепада: наибольшее отклонение напряжения от исходного, установившегося значения U_0 ;

$t_{\text{ф}}, t_{\text{сп}}$ — длительности фронта и спада импульса — временной интервал между моментами, в которые мгновенное напряжение u удовлетворяет условию $0,1U_m \leq u \leq 0,9U_m$.

Для перепадов аналогичные параметры называют длительностью фронта положительной $t_{\text{ф}}^+$ и отрицательной $t_{\text{ф}}^-$;

t_n — длительность импульса — временной интервал между моментами на соседних интервалах $t_{\text{ф}}$ и $t_{\text{сп}}$, для которых $u = 0,5U_m$;

T — период следования импульсов — временной интервал между моментами на соседних интервалах $t_{\text{ф}}$ или $t_{\text{сп}}$, для которых $u = 0,5U_m$.

Величина $f = 1/T$ называется частотой следования импульсов;

$t_{\text{п}} = T - t_n$ — длительность паузы между импульсами;

$K_3 = t_n/T$ — коэффициент заполнения импульсов; $\gamma = T/t_n$ — скважность импульсов.

Отметим, что периодически повторяющиеся перепады напряжения с производными du/dt различных знаков (положительные $du/dt > 0$ и отрицательные $du/dt < 0$ перепады) образуют импульсы прямоугольной формы. В частном случае, когда положительные и отрицательные перепады следуют через равные промежутки времени, напряжение прямоугольной формы называют *меандром*.

¹ Перепадами напряжения или тока называют быстрое изменение $u(t)$ или $i(t)$ между двумя постоянными уровнями (рис. 1.3, б).

В ДЭУ хотя каждому значению реальной физической величины и ставится в соответствие вполне определенный параметр импульсного сигнала, но так как информация о ее изменении может быть получена только при сравнении двух импульсов, получение такой информации растягивается во времени. Следовательно, строго говоря, для получения полной информации о конечном во времени физическом процессе необходимо бесконечное число импульсов, т. е. временные масштабы протекания физического процесса и его отображения при помощи импульсов не совпадают. Поэтому в ДЭУ используется только часть информации о реальной физической величине, т. е. процесс представления информации сопряжен с частичной ее потерей.

К достоинствам ДЭУ следует отнести следующее.

1. В дискретных устройствах импульсная $P_{\text{и}}$ и средняя $P_{\text{ср}}$ мощности связаны соотношением

$$P_{\text{и}} = \gamma P_{\text{ср}}.$$

Как видно, при большой скважности ($\gamma \rightarrow \infty$) можно получить существенное превышение мощности в импульсе над средним ее значением. Это (по сравнению с аналоговыми устройствами) способствует улучшению массогабаритных показателей отдельных элементов ДЭУ.

2. В ДЭУ усилительные приборы (транзисторы) используют в специфическом режиме ключа (включено — выключено), при котором мощность, рассеиваемая в них, минимальна. Это повышает коэффициент использования усилительного прибора

$$K_{\text{ис}} = P_{\text{и}}/P_{\text{кmax}},$$

где $P_{\text{и}} = I_{\text{и}} U_{\text{и}}$ — полезная мощность нагрузочного устройства; $P_{\text{кmax}} = I_{\text{и}} U_{\text{п2}}$ — мощность, рассеиваемая в выходной цепи усилительного прибора; $U_{\text{и}}$ и $U_{\text{п2}}$ — напряжения нагрузочного устройства и выходной цепи усилительного прибора.

Как видно из приведенной формулы, при $U_{\text{и}} > U_{\text{п2}}$ мощность нагрузки может многократно превышать мощность, рассеиваемую в самом усилительном приборе. Это позволяет для управления большой мощностью применять в ДЭУ маломощные усилительные приборы. В транзисторных устройствах кратность превышения мощности может достигать 10 ... 20.

3. Свойства дискретных устройств в меньшей степени зависят от нестабильности параметров используемых элементов. Это объясняется как меньшим тепловыделением, что, снижая перегрев, сужает реальный диапазон рабочих температур, так и работой полупроводниковых приборов в режиме ключа.

4. Помехоустойчивость ДЭУ выше чем АЭУ, так как при передаче импульсов сокращается время, в течение которого помеха может повлиять на передаваемый сигнал.

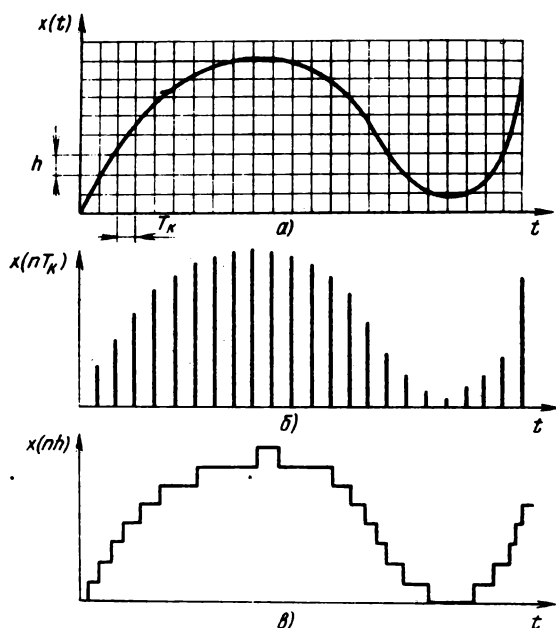


Рис. 1.4. Квантование аналогового сигнала $x(t)$ (а) по времени (б) и уровню (в)

5. ДЭУ характеризуются применением однотипных элементов в каналах обработки, передачи и хранения информации. В связи с этим облегчается их изготовление средствами интегральной технологии, обеспечивающей повышенную надежность, малогабаритность, дешевизну и т. п.

Указанные достоинства ДЭУ обусловили их широкое использование во многих областях как силовой, так и информационной электроники (радиолокации, телевидении, вычислительной технике), метрологии и т. п.

В свою очередь, по типу квантования сигнала ДЭУ подразделяются на три подкласса: импульсные, релейные и цифровые.

Импульсные электронные устройства (ИЭУ) реализуют квантование исходного сигнала $x(t)$ (рис. 1.4, а) по времени и преобразуют его в последовательность импульсов, как правило, неизменной частоты (рис. 1.4, б). В ИЭУ хотя и нарушается непрерывность представления сигналов (информация) во времени, сами значения для выбранных моментов времени точно соответствуют значениям $x(t)$, т. е. непрерывность сигнала по величине сохраняется.

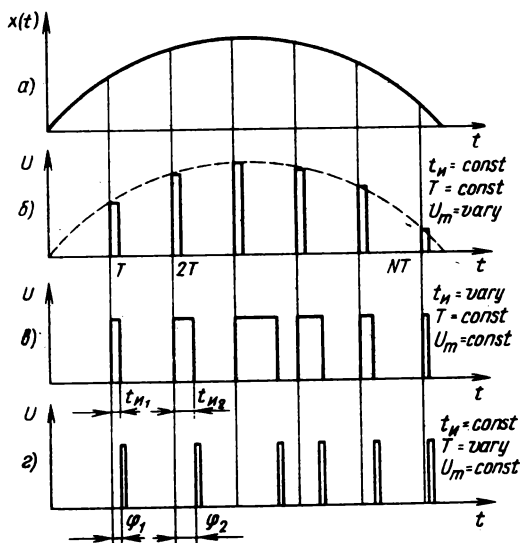


Рис. 1.5. Виды импульсной модуляции:

a — изменение исходной аналоговой величины; *б* — последовательность амплитудно-модулированных импульсов; *в* — последовательность широтно-модулированных импульсов; *г* — последовательность фазо-модулированных импульсов

Процесс преобразования исходной аналоговой информации в последовательность импульсов носит название *импульсной модуляции*. В процессе импульсной модуляции форма импульсов исходной последовательности, как правило, остается неизменной.

На практике наибольшее распространение получили: амплитудно-импульсная модуляция (АИМ); широтно-импульсная модуляция (ШИМ) и фазо-импульсная модуляция (ФИМ).

При амплитудно-импульсной модуляции зависимости $x(t)$ (рис. 1.5, *a*) модулируемым, т. е. изменяемым параметром импульсной последовательности является амплитуда (рис. 1.5, *б*).

$$u_m(nT_k) = \varphi[x(nT_k)]. \quad (1.1)$$

При ШИМ модулируемым параметром импульсной последовательности является их ширина (рис. 1.5, *в*)

$$t_n = \varphi[x(nT_k)]. \quad (1.2)$$

Для характеристики ШИМ обычно пользуются скважностью γ или коэффициентом заполнения импульса K_z .

При ФИМ моделируемым параметром является расстояние между импульсами, т. е. их фаза относительно исходной последовательности (рис. 1.5, *г*).

$$T = \varphi[x(nT_k)]. \quad (1.3)$$

На практике часто используется комбинация описанных видов модуляции.

Реализуя в полной мере все достоинства дискретных устройств, ИЭУ уступают аналоговым в точности и быстродействии. К тому же их практическая реализация ввиду наличия импульсного модулятора характеризуется большой сложностью.

Релейные электронные устройства (РЭУ) реализуют квантование исходного сигнала $x(t)$ по уровню и преобразуют его в ступенчатую функцию, высота каждой из ступенек которой пропорциональна некоторой наперед заданной величине h (см. рис. 1.4, в). Изменение уровня сигнала происходит в произвольные моменты времени, определяемые только заданными уровнями nh и величиной $x(t)$. Поэтому аналогично с ИЭУ в моменты формирования ступенек сигнал РЭУ точно отражает значение исходной $x(t)$. Следовательно, при дискретизации представления по величине в РЭУ сохраняется непрерывность отображения информации во времени.

Основная область применения РЭУ связана не с преобразованием информации, а с преобразованием энергии, т. е. с силовой электроникой. По сравнению с ИЭУ они, как правило, проще (отсутствует импульсный модулятор) и обладают большим быстродействием.

Цифровые электронные устройства (ЦЭУ) реализуют квантование исходного сигнала $x(t)$ как по времени, так и по величине. Поэтому в фиксированные моменты времени такие сигналы только приближенно соответствуют значениям $x(t)$. Очевидно, чем больше дискретных значений, которые может принимать сигнал, т. е. чем больше уровней дискретизации, тем точнее соответствует дискретный сигнал аналоговому. Однако в любом случае мы имеем дело с конечным числом его значений. Таким образом, в дискретном сигнале нарушена непрерывность представления информации как по величине, так и во времени.

В свою очередь, конечному числу дискретных значений исходной физической величины можно поставить в соответствие некоторое число. Процесс замены дискретных уровней сигнала последовательностью чисел носит название *кодирования*, а совокупность полученных чисел называется *кодом сигнала*. Таким образом, процесс непосредственного преобразования и передачи сигналов можно заменить процессом преобразования и передачи кодов, поставленных в соответствие исходным сигналами.

Устройства, занимающиеся формированием, преобразованием и передачей кодов, поставленных в соответствие реальным значениям физических переменных, называют *цифровыми устройствами*. Передача кодов, каждый из которых, как правило, представляется некоторой последовательностью однотипных импульсов, требует

некоторого времени. Очевидно, что это время больше времени, необходимого для передачи той же информации в импульсной и тем более непрерывной системах. Поэтому при прочих равных условиях количество информации, передаваемой цифровым способом, минимально.

Достоинства ЦЭУ: высокая помехоустойчивость; высокая надежность; возможность длительного хранения информации без ее потери; экономическая эффективность, обусловленная высокой технологичностью и повторяемостью устройств; энергетическая эффективность, а также совместимость с интегральной технологией.

Недостатки ЦЭУ: малое быстродействие; малая точность.

Однако меньшее быстродействие цифровых устройств с лихвой окупается возможностью унификации самих цифровых элементов, что позволяет с помощью их большого количества успешно решать вопросы повышения точности и быстродействия ЦЭУ.

Минимально возможный объем, который может занимать ЭУ, в конечном счете определяется количеством теплоты, выделяемой в этом объеме. Поэтому использование дискретных методов обработки информации позволяет реализовать ДЭУ в значительно меньшем объеме, чем в случае аналоговой информации.

Ранее мы отметили, что способность реализации сложных алгоритмов обработки информации в минимальных объемах с минимальными затратами и высокой надежностью работы является основной причиной повсеместного использования электронных устройств. Сказанному в полной мере отвечают цифровые электронные устройства, которые, несмотря на меньшее быстродействие и точность по сравнению с другими рассмотренными типами ЭУ, получают в настоящее время все большее распространение.

В заключение следует отметить, что все современные ЭУ, независимо от типа, являются, как правило, твердотельными устройствами, принцип действия которых основан на протекании электрического тока через полупроводниковые материалы.

Контрольные вопросы

1. Сколько поколений элементной базы можно выделить к настоящему времени?
2. В чем принципиальное отличие элементной базы III-го и IV-го поколений?
3. Что общего между элементной базой II-го, III-го и IV-го поколений?
4. Что понимается под квантованием сигнала по уровню и по времени?
5. Какие типы электронных устройств Вы знаете?

6. Каковы основные признаки аналоговых, импульсных и цифровых электронных устройств?
7. Какие параметры электрических сигналов могут использоваться в аналоговых, импульсных и цифровых устройствах для отображения реальной физической величины?
8. Какие электронные устройства могут обеспечить наибольшую точность отображения информации о реальной физической величине?
9. Какие параметры импульсов используются для отображения реальной физической величины при амплитудной, широтной и фазовой модуляциях?
10. Что понимается под кодированием информации в цифровых устройствах?
11. Что является причиной широкого распространения цифровых устройств?

ГЛАВА 2.

ПРИНЦИПЫ ФУНКЦИОНИРОВАНИЯ И ХАРАКТЕРИСТИКИ ПОЛУПРОВОДНИКОВЫХ ПРИБОРОВ

2.1. ПОЛУПРОВОДНИКОВЫЕ ДИОДЫ

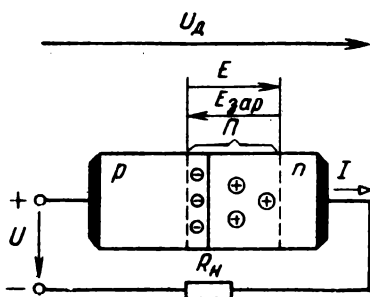
Полупроводниковый диод — это полупроводниковый прибор с одним выпрямляющим электрическим переходом и двумя выводами, в котором используется то или иное свойство выпрямляющего перехода. В качестве выпрямляющего электрического перехода используется электронно-дырочный (p - n) переход, разделяющий p - и n -области кристалла полупроводника (рис. 2.1).

К p - и n -областям кристалла привариваются или припаиваются металлические выводы, и вся система заключается в металлический, металлокерамический, стеклянный или пластмассовый корпус.

Одна из полупроводниковых областей кристалла, имеющая более высокую концентрацию примесей (следовательно, и основных носителей заряда), называется *эмиттером*, а другая, с меньшей концентрацией, — *базой*. Если эмиттером является p -область, для которой основными носителями заряда служат дырки p_p ¹, а базой n -область (основные носители заряда — электроны n_n), то выполняется условие $p_p \gg n_n$.

¹ p_p — обозначения дырок в p -области; тогда обозначение дырок в n -области, для которой они являются неосновными носителями зарядов, будет соответственно p_n .

Рис. 2.1. Схема включения полупроводникового диода и пространственное распределение объемных зарядов p - n -перехода при отсутствии внешнего напряжения



Принцип работы. Рассмотрим случай, когда внешнее напряжение на выводах диода отсутствует. Тогда в результате встречной диффузии дырок (из p - в n -область) и электронов (из n - в p -область) в объеме полупроводникового кристалла, расположенного вблизи границы раздела двух областей с различной проводимостью, заряды неподвижных ионов примесей окажутся нескомпенсированными (акцепторов для p -области и доноров для n -области). Эти заряды создадут по обе стороны раздела полупроводникового кристалла область объемного заряда. Для сохранения электрической нейтральности полупроводниковой структуры количество диффундируемых через p - n -переход основных носителей заряда из одной области должно равняться количеству диффундируемых основных носителей заряда из другой области. С учетом того, что концентрация электронов n_n в базе значительно меньше концентрации дырок p_p в эмиттере, область объемного заряда со стороны базы будет больше, чем со стороны эмиттера. Образованный в результате встречной диффузии объемный заряд создаст электрическое поле с напряженностью $E_{зар}$, препятствующее дальнейшей встречной диффузии основных носителей заряда. Таким образом, на границе p - n -перехода образуется контактная разность потенциалов, численно характеризующаяся *высотой потенциального барьера*. Диффузия практически прекращается, когда энергия носителей заряда недостаточна, чтобы преодолеть созданную высоту потенциального барьера.

Если к выводам диода приложить прямое напряжение (см. рис. 2.1), то создаваемое им электрическое поле E будет компенсировать $E_{зар}$ и в область базы (по мере возрастания напряжения U) будет вводиться (инжектировать¹) все большее количество дырок (неосновных носителей заряда для n -области базы), которые и образуют прямой ток диода I . Встречной инжекцией n_n в область эмиттера можно пренебречь, учитывая, что $p_p \gg n_n$.

Если к выводам диода приложить обратное напряжение ($-U$), то создаваемое им электрическое поле ($-E$), совпадая по направлению с $E_{зар}$, ковышает потенциальный барьер и препятствует переходу основных носителей заряда в соседнюю область. Однако суммарная напряженность электрических полей спо-

¹ Инжекция — ввод неосновных (для рассматриваемой области полупроводника) носителей заряда под действием прямого внешнего напряжения.

способствует извлечению (экстракции) неосновных носителей заряда: n_p — из p - в n -область и p_n — из n - в p -область, которые и образуют обратный ток.

Количество неосновных носителей заряда значительно изменяется при изменении температуры, возрастая с ее повышением. Поэтому обратный ток p - n -перехода, образованный за счет неосновных носителей, называют *тепловым током* I_0 . Температурное изменение I_0 определяется известной зависимостью

$$I_0(T) = I_0 2^{\frac{(T-T_0)}{\Delta T}} \quad (2.1)$$

где I_0 — значение теплового тока при комнатной температуре $T_0 = 300$ К; ΔT — значение приращения температуры, соответствующее удвоению значения теплового тока. Значение ΔT зависит от материала полупроводника и составляет примерно 10 К для германия и 7 К для кремния.

Вольт-амперная характеристика (ВАХ) диода описывается выражением

$$I = I_0 [\exp(U_D / \varphi_T) - 1], \quad (2.2)$$

где U_D — напряжение на p - n -переходе; $\varphi_T = kT/q$ — тепловой потенциал, равный контактной разности потенциалов φ_k на границе p - n -перехода при отсутствии внешнего напряжения (при $T = 300$ К, $\varphi_T = 0,025$ В); k — постоянная Больцмана; T — абсолютная температура; q — заряд электрона.

При отрицательных напряжениях порядка 0,1 ... 0,2 В экспоненциальной составляющей, по сравнению с единицей, можно пренебрегать ($e^{-4} \approx 0,02$), при положительных напряжениях, превышающих 0,1 В, можно пренебрегать единицей ($e^4 \approx 54,6$), поэтому ВАХ, описываемая этими выражениями, будет иметь вид, приведенный на рис. 2.2, а.

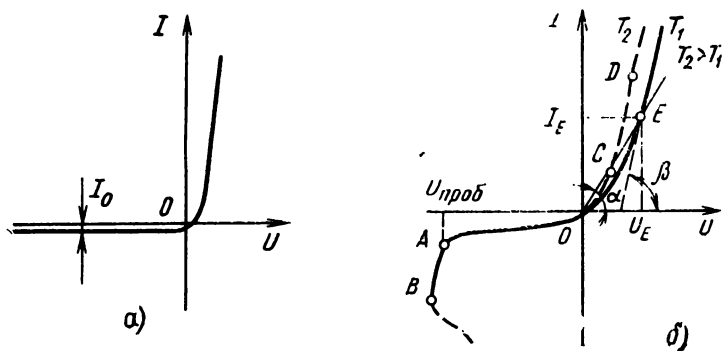


Рис. 2.2. Статические вольт-амперные характеристики идеального p - n -перехода (а) и реального диода (б)

По мере возрастания положительного напряжения на p - n -переходе прямой ток диода резко возрастает. Поэтому незначительное изменение прямого напряжения приводит к значительному изменению тока, что затрудняет задание требуемого значения прямого тока с помощью напряжения. Вот почему для p - n -переходов характерен режим заданного прямого тока.

Следует отметить, что приведенная ВАХ (см. рис. 2.2, а) является *идеальной ВАХ* p - n -перехода. Она не учитывает рекомбинационно-генерационных процессов, происходящих в объеме и на поверхности p - n -перехода, считая его бесконечно тонким и длинным.

Реальный p - n -переход не является бесконечно тонким и поэтому при обратном напряжении происходит генерация пар электрон — дырка, образующая *ток генерации* $I_{\text{ген}}$. Причем с увеличением обратного напряжения растет толщина p - n -перехода (эффект Эрли¹), а, следовательно, и количество генерируемых пар. Вот почему с возрастанием обратного напряжения одновременно возрастает и обратный ток (рис. 2.2., б).

Протяженность реального p - n -перехода также не бесконечна. Поверхность полупроводникового кристалла характеризуется нарушениями кристаллической решетки и различными загрязнениями, что обуславливает рекомбинационно-генерационные процессы на поверхности p - n -перехода и приводит к появлению дополнительного тока — *тока утечки* $I_{\text{ут}}$. Таким образом, обратный ток реального диода

$$I_{\text{обр}} = I_0 + I_{\text{ген}} + I_{\text{ут}}.$$

При нарушениях технологического процесса, когда появляется возможность попадания различных загрязнений на поверхность полупроводникового диода, ток утечки может составлять основную часть обратного тока диода, значительно превышая токи $I_{\text{ген}}$ и I_0 и даже шунтируя p - n -переход.

Относительная доля $I_{\text{ген}}$ и I_0 в обратном токе диода зависит от типа исходного полупроводникового материала. Так, для германия $I_{\text{ген}}/I_0 \ll 1$. Для кремния $I_{\text{ген}}/I_0 \approx 1000$.

Ток $I_{\text{ут}}$ также зависит и от типа применяемого полупроводникового материала. Для германиевых диодов всегда $I_{\text{ут}} < I_{\text{ген}} + I_0$. Для некоторых типов кремниевых диодов наоборот $I_{\text{ут}} > I_{\text{ген}} + I_0$.

С учетом сказанного приближенно можно считать, что для германиевых диодов $I_{\text{обр}} \approx I_0$, т. е. обратным током является тепловой ток, поэтому он в большой степени подвержен температурным из-

¹ Эффект Эрли заключается в том, что при увеличении модуля обратного напряжения, приложенного к p - n -переходу, увеличивается область, обедненная подвижными носителями заряда — электронами и дырками, в результате чего толщина p - n -перехода возрастает.

менениям и превышает значения обратных токов кремниевых диодов на несколько порядков. Для кремниевых диодов $I_{обр} = I_{ген} + I_{ут}$.

Реальные обратные токи германиевых диодов, для которых I_0 на 7...8 порядков больше, чем для кремниевых, отличаются от обратных токов кремниевых диодов примерно на 3 порядка.

Вольт-амперная характеристика реального диода имеет вид, приведенный на рис. 2.2,б (сплошная линия). Из нее следует, что при определенном значении обратного напряжения $U_{обр} = U_{проб}$ начинается лавиннообразный процесс нарастания тока $I_{обр}$, соответствующий электрическому пробое p - n -перехода (отрезок AB на рис. 2.2,б). Если в этот момент ток не ограничить, то электрический пробой переходит в тепловой (участок $BAХ$ после точки B). Такой процесс нарастания тока $I_{обр}$ характерен для кремниевых диодов. В германиевых диодах при увеличении обратного напряжения тепловой пробой p - n -перехода наступает практически одновременно с началом лавиннообразного процесса нарастания тока $I_{обр}$. Электрический пробой обратим, т. е. после уменьшения напряжения $U_{обр}$ работа диода соответствует пологому участку обратной ветви $BAХ$. Тепловой пробой необратим, так как разрушает p - n -переход.

Тепловой пробой обусловлен ростом числа носителей в p - n -переходе. При некотором значении пробивного напряжения ($U_{проб}$) мощность, выделяющаяся в диоде ($P_d = U_{обр} I_{обр}$), не успевает отводиться от перехода, что ведет к увеличению его температуры и, следовательно, обратного тока и дальнейшему повышению температуры. Возникает положительная обратная связь и переход вследствие перегрева разрушается. Не трудно видеть, что напряжение теплового пробоя сильно зависит от тока $I_{обр}$ и условий охлаждения прибора. Так как для диодов, изготовленных на основе германия, $I_{обр}$ больше, чем для диодов на основе кремния, то для первых вероятность теплового пробоя выше, чем для вторых. Поэтому максимальная рабочая температура окружающей среды и, следовательно, перехода для кремниевых диодов выше, чем для германиевых (соответственно 75...90°С против 150...200°С).

Прямая ветвь $BAХ$ реального диода (см. рис. 2.2,б) также отличается от $BAХ$ идеального p - n -перехода. Это объясняется тем, что выражение (2.1) не учитывает влияния объемного сопротивления базы R_b диода при больших уровнях инжекции¹. Действительно, концентрация основных носителей заряда в области базы, как уже отмечалось, значительно меньше, чем в области эмиттера, что выражается в существенном различии сопротивлений

¹ Когда число инжектируемых неосновных для области базы носителей заряда становится значительно больше основных (для нашего случая $p_n \gg n_n$), уровень инжекции считается большим.

этих областей ($R_B \gg R_E$). Значение R_B зависит от типа диода и может изменяться от десятых долей до нескольких десятков ом. Наличие существенного объемного сопротивления базы приводит к неравенству значений напряжений на выводах диода (U_D) и на его электронно-дырочном переходе (U_{BE}). Эта разница тем выше, чем больше прямой ток диода, ибо $U_{BE} = U_D - IR_B$. В то же время аналитическое выражение (2.2) для ВАХ идеального p - n -перехода не учитывает падение напряжения в области базы, равное IR_B , и подразумевает под $U = U_D$ только значение U_{BE} . Подставив в выражение (2.1) реальное значение U_{BE} и пренебрегая единицей для больших уровней инжекции получим уравнение, описывающее прямую ветвь ВАХ реального диода

$$I = I_{обр} e^{\frac{U_D - IR_B}{\varphi_T}}$$

или

$$U = \varphi_T \ln(I/I_{обр}) + IR_B.$$

При $I \gg I_{обр}$, что соответствует большим уровням инжекции, слагаемым, включающим $\ln(I/I_{обр})$, можно пренебречь. Тогда прямая ветвь ВАХ реального диода описывается линейной зависимостью $U = IR_B$. Этот участок ВАХ называют *омическим участком* прямой ветви.

Строго говоря, сопротивление R_B не остается постоянным при изменении прямого тока диода. Сопротивление базы зависит от плотности тока, т. е. I , и связанное с ним повышение концентрации избыточных неосновных носителей в базе приводит к уменьшению R_B . Явление уменьшения сопротивления базовой области полупроводникового прибора вследствие инжекции в нее неосновных носителей из прямосмещенного p - n -перехода называется *модуляцией сопротивления базы*.

Совместное влияние R_B и модуляции этого сопротивления приводят к сохранению экспоненциального характера ВАХ в области больших токов. Однако линейность ВАХ реальных диодов в области больших токов для большинства случаев является допустимой аппроксимацией.

Прямой ток диода также зависит от температуры окружающей среды, возрастая с ее повышением, хотя в значительно меньшей степени, чем обратный ток. Характер изменения прямой ветви ВАХ при изменении температуры показан на рис. 2.2,б (штриховая кривая для $T_2 > T_1$, где $T_1 = T_0 \approx 300$ К — комнатная температура). При расчете падения напряжения на прямосмещенном полупроводниковом диоде можно полагать, что значение прямого падения напряжения уменьшается примерно на 2,0 ... 2,2 мВ, при из-

менении температуры на 1 К, т. е. $U(T) - U(T_0) = -(2,0 \dots 2,2) (T - T_0)/1000$ В.

Для оценки температурной зависимости прямой ветви ВАХ диода служит температурный коэффициент напряжения (ТКН), K^{-1} .

$$\text{ТКН} = \Delta U / (U \Delta T). \quad (2.3)$$

Этот коэффициент показывает относительное изменение прямого напряжения за счет изменения температуры на 1 К при некотором значении прямого тока.

Соппротивление и емкости диода. Полупроводниковый диод характеризуется *статическим и дифференциальным* (динамическим) сопротивлениями, легко определяемыми по ВАХ. Дифференциальное сопротивление (r_d) численно равно отношению бесконечно малого приращения напряжения к соответствующему приращению тока в заданном режиме работы диода и может быть определено графически как котангенс угла между касательной в рассматриваемой рабочей точке ВАХ диода и осью абсцисс (штриховая линия на рис. 2.2, б с углом наклона β):

$$r_d = dU/dI \approx \Delta U/\Delta I = (m_U/m_I) \operatorname{ctg} \beta, \quad (2.4)$$

где ΔU и ΔI — конечные приращения напряжения и тока вблизи рабочей точки E ; m_U и m_I — масштабы осей напряжения и тока.

Статическое сопротивление ($R_{ст}$) численно равно отношению напряжения на элементе U_E к протекающему через него току I_E (см. рис. 2.2, б). Это сопротивление равно котангенсу угла наклона прямой, проведенной из начала координат через заданную рабочую точку ВАХ, к оси абсцисс:

$$R_{ст} = U_E/I_E = (m_U/m_I) \operatorname{ctg} \alpha. \quad (2.5)$$

В зависимости от того, на каком участке ВАХ расположена заданная рабочая точка, значение $R_{ст}$ может быть меньше, равно или больше значения r_d . Однако $R_{ст}$ всегда положительно, в то время как r_d может быть и отрицательным, как, например, в случае туннельного диода.

При работе на высоких частотах и в импульсных режимах начинает играть роль емкость диода C_d , измеряемая между выводами диода при заданных значениях напряжения и частоты. Эта емкость включает емкость перехода $C_{пер}$, образованную диффузионной ($C_{диф}$), зарядной (барьерной $C_{зар}$) емкостями, и емкость C_k корпуса диода

$$C_d = C_{диф} + C_{зар} + C_k.$$

Диффузионная емкость возникает в приконтактном слое p - n -перехода за счет изменения количества диффундируемых дырок и электронов, т. е. за счет изменения заряда, вызванного изменением

прямого напряжения. Как любая емкость, она может быть представлена как изменение заряда ΔQ , отнесенное к вызвавшему его изменению напряжения ΔU

$$C_{\text{диф}} = \Delta Q / \Delta U. \quad (2.6)$$

Зависимость $C_{\text{диф}}$ от значения прямого тока $I_{\text{пр}}$ имеет вид:

$$C_{\text{диф}} = \frac{q}{kT} (I_{\text{пр}} + I_{\text{обр}}) \tau_p. \quad (2.7)$$

где τ_p — время жизни¹ дырок в базе диода n -типа.

Диффузионная емкость будет тем больше, чем больше прямой ток через переход и чем больше время жизни неосновных носителей заряда для области базы диода.

Из выражения (2.7) следует, что диффузионная емкость обращается в нуль при $I_{\text{пр}} = -I_{\text{обр}}$.

Особенностью диффузионной емкости является то, что она представляет собой до некоторой степени фиктивную емкость. Наличие этой емкости не связано, например, с протеканием токов смещения через переход. Однако это замечание касается только физического содержания диффузионной емкости. На внешних зажимах полупроводникового диода эта емкость будет давать емкостный фазовый сдвиг между током и напряжением.

Зарядная емкость возникает при обратном напряжении на переходе и обусловлена изменением в нем объемного заряда. Как видно из рис. 2.1, область объемного заряда представляет собой двойной слой противоположных по знаку неподвижных объемных зарядов. Этот двойной слой можно уподобить обкладкам плоского конденсатора, заряженного до некоторого потенциала $\psi_k = E_{\text{зар}}$. Когда приложено внешнее запирающее напряжение, разность потенциалов между электронной и дырочной областями полупроводника увеличивается, что приводит к увеличению объемных зарядов в электронной и дырочной областях полупроводника. Так как объемные заряды создаются неподвижными, связанными с кристаллической решеткой ионами атомов доноров и акцепторов, то увеличение объемного заряда может быть связано только с расширением области объемного заряда в основном в сторону области слаболегированного полупроводника (область базы). Другими словами, при повышении запирающего напряжения, приложенного к переходу, увеличивается область, обедненная подвижными носителями заряда — электронами или дырками. Отношение изменения объемного заряда $\Delta Q_{\text{зар}}$ к вызвавшему его изменению запирающего напряжения $\Delta U_{\text{обр}}$ будет равно величине *зарядной* (или иначе *барьерной*) емкости. Барьерная емкость будет тем больше,

¹ Временем жизни называется интервал, в течение которого концентрация неравновесных носителей заряда уменьшается в «е» раз.

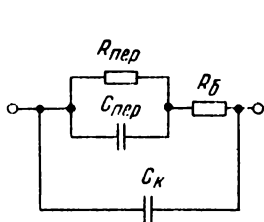


Рис. 2.3. Схема замещения полупроводникового диода

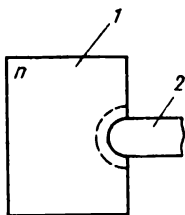


Рис. 2.4. Структура точечного диода:
1 — пластина полупроводника; 2 — металлическая проволока

чем больше концентрация подвижных носителей заряда на границе области объемного заряда (а, следовательно, чем тоньше слой области объемного заряда) и чем меньше напряжение на переходе.

Таким образом, значение емкости диода C_d определяется режимом его работы. При прямом напряжении $C_d = C_{\text{диф}} + C_k$, при обратном напряжении $C_d = C_{\text{зар}} + C_k$.

С учетом рассмотренных сопротивлений и емкостей частотные свойства диода можно анализировать с помощью его эквивалентной схемы, приведенной на рис. 2.3, где $R_{\text{пер}}$ — сопротивление p - n -перехода. При прямом смещении перехода $R_{\text{пер}}$ составляет десятки доли ома, и поэтому шунтирующим действием диффузионной емкости можно пренебречь.

Совокупность всех этих элементов схемы образует общее сопротивление диода в комплексной форме

$$Z_d = R_d + jX_d.$$

Частотные свойства диода во многом определяются процессами накопления и рассасывания неосновных носителей заряда для области базы. Поэтому, с точки зрения повышения быстродействия, диод должен изготавливаться так, чтобы по возможности ускорить процессы изменения объемного заряда неосновных носителей в области базы или вообще исключить их. Последнего можно добиться при использовании так называемого *выпрямительного перехода Шоттки*. Этот переход образован контактом металл — полупроводник. Соответствующим выбором материалов можно добиться того, что высота потенциального барьера для электронов и дырок в месте контакта будет различной. В результате этого (при прямом смещении) прямой ток диода образуется только за счет движения основных носителей заряда. Неосновные носители заряда из-за высокого потенциального барьера практически не могут перейти из металла в полупроводник. Так, например, при кон-

такте *n*-полупроводника с металлом ток образуется только за счет движения электронов из полупроводника в металл, а процесс движения дырок из металла в полупроводник отсутствует. Таким образом в полупроводнике не создается объемный заряд неосновных для него носителей. Отсюда вытекает, что диоды, выполненные на основе перехода Шотки (диоды Шотки), обладают большим быстродействием, чем диоды с *p-n*-переходом.

Кроме указанного, диоды Шотки отличаются от диодов с *p-n*-переходом меньшим прямым падением напряжения из-за меньшей высоты потенциального барьера для основных носителей и большей допустимой плотностью тока, что связано с хорошим теплоотводом. Эти преимущества делают предпочтительным использование диодов Шотки при изготовлении мощных высококачественных выпрямительных диодов.

Следует также отметить, что прямая ветвь вольт-амперной характеристики диода Шотки из-за меньшего сопротивления ближе к идеальной.

Технология изготовления полупроводниковых диодов. На практике находят применение точечные, плоскостные (сплавные) и диффузионные диоды.

Точечный диод образуется в месте контакта небольшой пластины полупроводника и острия металлической проволоки — пружины. Поэтому линейные размеры перехода меньше его ширины. Для более надежного контакта через переход пропускают импульс тока в несколько ампер, который вплавляет острие металла в полупроводник. Происходит диффузия металла в полупроводниковую пластину и образуется полусферический *p-n*-переход (штриховая линия на рис. 2.4). Благодаря малой площади диод обладает очень малой емкостью перехода и используется до частот порядка сотен мегагерц. Малая площадь перехода определяет также небольшой допустимый ток диода. Точечные диоды обычно выполняют на основе германия.

Типовые параметры этого класса приборов иллюстрируются на примере точечного диода типа Д18: $C_d \approx 1$ пФ; $r_d \approx 10$ Ом; $R_d \text{ обр} \approx 1$ МОм; $U_d \text{ обр} \approx 20$ В; $\tau_b \approx 50$ нс.

Плоскостные сплавные диоды имеют плоский электрический переход, линейные размеры которого, определяющие его площадь, значительно больше ширины *p-n*-перехода. Переход в таких диодах может выполняться методом сплавления полупроводниковой пластины с металлом. На пластину исходного полупроводника 2 накладывают металл или сплав 1, содержащий донорные или акцепторные примеси (рис. 2.5, а). Затем этот материал нагревают до температуры, достаточной для того, чтобы часть полупроводника растворилась в полученном расплаве (заштрихованная область на рис. 2.5, б). При последующем охлаждении происходит

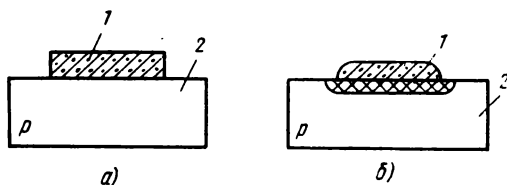


Рис. 2.5. Структура плоскостного диода до впаивания металла (а) и после его впаивания в пластину полупроводника (б):

1 — металл; 2 — полупроводниковая пластина

рекристаллизация исходного полупроводника с примесью впаиванного металла и образуется *p-n*-переход.

Диффузионные диоды изготавливаются посредством диффузии в полупроводниковую пластину примеси, находящейся в газообразной, жидкой или твердой фазах. Если диффузия примеси проводится через отверстия в защитном слое, нанесенном на поверхности полупроводника, то получают так называемый планарный *p-n*-переход.

Диффузионные диоды отличаются от сплавных меньшей собственной емкостью и малым значением постоянной времени. Так, у диффузионного диода КД512А $C_d \approx 1 \dots 2$ пФ; $\tau_b \approx 3$ нс.

Следует отметить, что при интегральной технологии в качестве диодов, как правило, используются транзисторы в диодном включении. Наиболее часто с этой целью используют эмиттерный переход транзистора.

Классификация диодов представлена в табл. 2.1. Рассмотрим некоторые из них, наиболее широко применяемые на практике.

Выпрямительный диод, условное графическое обозначение которого приведено на рис. 2.6, 1, использует вентильные свойства *p-n*-перехода и применяется в выпрямителях переменного тока. В качестве исходного материала при изготовлении выпрямительных диодов используют в основном германий и кремний.

Выпрямительный диод представляет собой электронный ключ (ЭК), управляемый приложенным к нему напряжением. При прямом напряжении ключ замкнут, при обратном — разомкнут. Однако в обоих случаях этот ключ не является идеальным. При подаче прямого напряжения за счет падения напряжения $U_{пр}$ на открытом диоде выпрямленное напряжение, снимаемое с нагрузочного устройства, несколько ниже входного напряжения. Значение $U_{пр}$ открытого диода не превышает для германиевых диодов 0,5 В, а у кремниевых 1,5 В. Основными параметрами выпрямительных диодов являются:

$I_{пр\text{ ср max}}$ — максимальное (за период входного напряжения) значение среднего прямого тока диода;

Классификация диодов

Признак классификации	Наименование диода
Площадь перехода	Плоскостной Точечный
Полупроводниковый материал	Германиевый Кремниевый Арсенид галлиевого
Назначение	Выпрямительный Импульсный Сверхвысокочастотный Стабилитрон (стабилатор) Варикап и т. д.
Принцип действия	Лавинно-пролетный Туннельный Диод Шоттки Излучающий Фотодиод Диод Ганна

$U_{обр доп}$ — допустимое наибольшее значение постоянного обратного напряжения диода;

f_{max} — максимально допустимая частота входного напряжения;

$U_{пр}$ — прямое падение напряжения на диоде при заданном прямом токе.

Выпрямительные диоды классифицируют также по мощности и частоте.

По мощности: маломощные ($I_{пр ср max} \leq 0,3 \text{ A}$); средней мощности ($0,3 \text{ A} < I_{пр ср max} \leq 10 \text{ A}$); большой мощности ($I_{пр ср max} > 10 \text{ A}$).

По частоте: низкочастотные ($f_{max} < 10^3 \text{ Гц}$); высокочастотные ($f_{max} > 10^3 \text{ Гц}$).

В качестве выпрямительных применяются также диоды, выполненные на выпрямляющем переходе металл — полупроводник (диоды Шоттки). Их отличает меньшее, чем у диодов с $p-n$ -переходом, напряжение $U_{пр}$ и более высокие частотные характеристики.

Импульсный диод — полупроводниковый диод, имеющий малую длительность переходных процессов и использующий (как и выпрямительный диод) при своей работе прямую и обратную ветви ВАХ.

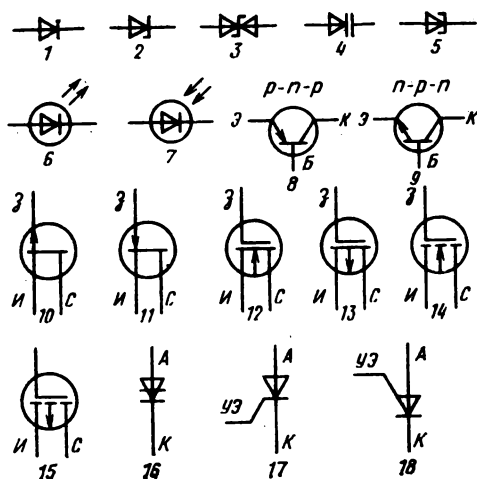


Рис. 2.6. Условные графические обозначения полупроводниковых приборов:

1 — выпрямительный и импульсный диод; 2 — стабилитрон и стабилитор; 3 — симметричный стабилитрон; 4 — варикап; 5 — туннельный диод; 6 — излучающий диод; 7 — фотодиод; 8 — биполярный транзистор $p-n-p$ -типа; 9 — биполярный транзистор $n-p-n$ -типа; 10 — полевой транзистор с управляющим $p-n$ -переходом и n -каналом; 11 — полевой транзистор с управляющим $p-n$ -переходом и p -каналом; 12 — МДП-транзистор с встроеным n -каналом; 13 — полевой транзистор с встроеным p -каналом; 14 — МДП-транзистор с индуцированным n -каналом; 15 — МДП-транзистор с индуцированным p -каналом; 16 — диодистор; 17, 18 — тринистор с управлением соответственно по катоду и аноду, УЭ — управляющий электрод

Длительность переходных процессов в диоде обусловлена перезарядом емкостей $C_{\text{диф}}$ и $C_{\text{зар}}$. При малых уровнях инжекции основную роль в переходных процессах играет процесс перезаряда барьерной емкости $C_{\text{зар}}$. При больших уровнях инжекции процессы накопления и рассасывания заряда являются преобладающими. Последнее явление определяет быстродействие диодов и характеризуется специальным параметром — *временем восстановления* $t_{\text{вос}}$ его обратного сопротивления. Поэтому кроме параметров $I_{\text{пр ср тах}}$, $U_{\text{обр}}$, $U_{\text{пр}}$ характеризующих выпрямительные свойства, для импульсных диодов вводится параметр $t_{\text{вос}}$, характеризующий их быстродействие.

Для повышения быстродействия (уменьшения $t_{\text{вос}}$) импульсные диоды изготавливают в виде точечных структур, что обеспечивает минимальную площадь $p-n$ -перехода, а, следовательно, и минимальное значение зарядной емкости $C_{\text{зар}}$. Одновременно для достижения минимального времени восстановления диодов толщину базы делают как можно меньше.

В качестве импульсных находят применение и диоды Шоттки.

Сверхвысокочастотный диод (СВЧ диод) — полупроводниковый диод, предназначенный для преобразования и обработки

сверхвысокочастотного сигнала (до десятков и сотен гигагерц). Сверхвысокочастотные диоды широко применяются в устройствах генерации и усиления электромагнитных колебаний СВЧ диапазона, умножения частоты, модуляции, регулирования и ограничения сигналов и т. п. Типичными представителями данной группы диодов являются смесительные (получение сигнала суммы или разности двух частот), детекторные (выделение постоянной составляющей СВЧ сигнала) и переключательные (управление уровнем мощности сверхвысокочастотного сигнала) диоды. Условное графическое обозначение импульсных и СВЧ диодов аналогично обозначению выпрямительных диодов (рис. 2.6, 1).

Стабилитрон и стабистор применяются в нелинейных цепях постоянного тока для стабилизации напряжения. Отличие стабилитрона от стабистора заключается в используемой для стабилизации напряжения ветви ВАХ. Как видно из рис. 2.2, б, ВАХ диода имеет участки AB и CD , на которых значительному изменению тока соответствует незначительное изменение напряжения при сравнительно линейной их зависимости. Для стабилизации высокого напряжения ($U > 3$ В) используют обратную ветвь (участок AB) ВАХ. Применяемые для этой цели диоды называют стабилитронами. Для стабилизации небольших значений напряжений ($U \leq 1$ В например, в интегральных схемах) используют прямую ветвь (участок CD) ВАХ, а применяемые в этом случае диоды называют стабисторами. Условное обозначение стабилитрона и стабистора показано на рис. 2.6, 2.

Стабилитроны и стабисторы изготавливают, как правило, из кремния. При использовании высоколегированного кремния (высокая концентрация примесей, а, следовательно, и свободных носителей заряда) напряжение стабилизации понижается, а с уменьшением степени легирования кремния — повышается. Напряжение стабилизации лежит в диапазоне от 3 до 180 В.

К основным параметрам стабилитрона относятся: $U_{ст}$ — номинальное напряжение стабилизации при заданном токе; r_d — дифференциальное сопротивление при заданном токе; $I_{ст\ min}$ — минимально допустимый ток стабилизации; P_{max} — максимально допустимая рассеиваемая мощность; температурный коэффициент напряжения (ТКН) стабилизации (выражается в K^{-1}), равный в соответствии с (2.3) $TKH = \Delta U_{ст} / (U_{ст\ ном} \Delta T)$, где $\Delta U_{ст}$ — отклонение напряжения $U_{ст}$ от номинального значения $U_{ст\ ном}$ при изменении температуры в интервале ΔT .

В схемах двуполярной стабилизации напряжения применяется симметричный стабилитрон, условное графическое обозначение которого показано на рис. 2.6, 3.

Варик — полупроводниковый диод, действие которого основано на использовании зависимости зарядной емкости $C_{зар}$ от

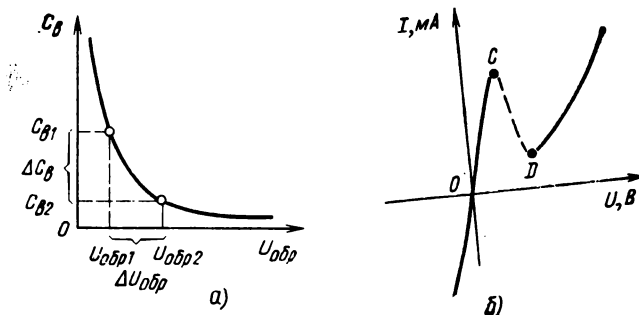


Рис. 2.7. Вольт-фарадная характеристика варикапа (а) и ВАХ туннельного диода (б)

значения приложенного напряжения. Это позволяет применять варикап в качестве элемента с электрически управляемой емкостью.

Основной характеристикой варикапа служит вольт-фарадная характеристика (рис. 2.7, а) — зависимость емкости варикапа $C_{\text{в}}$ от значения приложенного обратного напряжения. В выпускаемых промышленностью варикапах значение емкости $C_{\text{в}}$ может изменяться от единиц до сотен пикофарад.

Основными параметрами варикапа являются: $C_{\text{в}}$ — емкость, измеренная между выводами варикапа при заданном обратном напряжении; K_C — коэффициент перекрытия по емкости, используемый для оценки зависимости $C_{\text{в}} = f(U_{\text{обр}})$ и равный отношению емкостей варикапа при двух заданных значениях обратного напряжения ($K_C = 2 \dots 20$).

Зависимость параметров варикапа от температуры характеризуется температурным коэффициентом емкости $\text{ТКЕ}_{\text{в}} = \Delta C_{\text{в}} / (C_{\text{в}} \Delta T)$, где $\Delta C_{\text{в}} / C_{\text{в}}$ — относительное изменение емкости варикапа при изменении температуры ΔT окружающей среды.

Условное графическое обозначение варикапа приведено на рис. 2.6, 4.

Туннельный диод — занимает особое место среди полупроводниковых диодов из-за свойственной ему внутренней положительной обратной связи по напряжению и хороших динамических свойств. Его ВАХ имеет участок отрицательного дифференциального сопротивления (участок CD на рис. 2.7, б). Это объясняется тем, что при очень малых толщинах запирающего слоя (10...10 нм и меньше) наблюдается туннельный переход зарядов из валентной зоны в зону проводимости. Туннельный диод, благодаря своей ВАХ, нашел широкое применение в качестве ключевого тензодатчика. Условное графическое обозначение туннельного диода приведено на рис. 2.6, 5.

Излучающий диод — полупроводниковый диод, излучающий из области *p-n*-перехода кванты энергии. Излучение испускается через прозрачную стеклянную пластину, размещенную в корпусе диода.

По характеристике излучения излучающие диоды делятся на две группы: диоды с излучением в видимой области спектра, получившие название *светодиоды*; диоды с излучением в инфракрасной области спектра, получившие название *ИК-диоды*. Принцип действия обеих групп диодов одинаков и базируется на самопроизвольной рекомбинации носителей заряда при прямом токе через выпрямляющий электрический переход. Известно, что рекомбинация носителей заряда сопровождается освобождением кванта энергии. Спектр частот последней определяется типом исходного полупроводникового материала.

Основными материалами для изготовления светодиодов служат фосфид галлия, арсенид-фосфид галлия, карбид кремния. Большую часть энергии, выделяемой в этих материалах при рекомбинации носителей заряда, составляет тепловая энергия. На долю энергии видимого излучения в лучшем случае приходится 10 ... 20%. Поэтому КПД светодиодов невелик.

Исходными материалами для изготовления ИК-диодов являются арсенид и фосфид галлия. Полная мощность излучения этой группы диодов лежит в пределах от единиц до сотен милливатт при напряжении на диоде 1,2 ... 3 В в прямом токе от десятков до сотен миллиампер.

Условное графическое обозначение излучающих диодов показано на рис. 2.6, б.

Светодиоды применяют в качестве световых индикаторов, а ИК-диоды — в качестве источников излучения в оптоэлектронных устройствах.

Фотодиод — полупроводниковый прибор, принцип действия которого основан на использовании внутреннего фотоэффекта — генерации в полупроводнике под действием квантов света (фотонов) свободных носителей заряда.

Фотодиод используют для преобразования светового излучения в электрический ток (см. § 3.4). Условное графическое обозначение фотодиода приведено на рис. 2.67.

Маркировка полупроводниковых диодов, разработанных после 1964 г., предусматривает шесть символов. Первый символ — буква (для приборов общего применения) или цифра (для приборов специального назначения), указывающая исходный полупроводниковый материал, из которого изготовлен диод: Г (1) — германий, К (2) — кремний, А (3) — GaAs. Второй символ — буква, обозначающая подкласс диода: Д — выпрямительные, высокочастотные (универсальные) и импульсные диоды; В — варикапы; С — стабилитроны и стабилсторы; Л — светодиоды. Третий символ — цифра, указывающая назначение диода (у стабилитронов — мощность рассеяния): например, 3 — переключаемый, 4 — универсальный

и т. д. Четвертый и пятый символы — двузначное число, указывающее порядковый номер разработки (у стабилитронов — номинальное напряжение стабилизации). Шестой символ — буква, обозначающая параметрическую группу прибора (у стабилитронов — последовательность разработки).

Примеры маркировки диодов:

ГД412А — германиевый (Г), диод (Д), универсальный (4), номер разработки 12, группа А;

КС196В — кремниевый (К), стабилитрон (С), мощность рассеяния не более 0,3 Вт (1), номинальное напряжение стабилизации 9,6 В (96), третья разработка (В).

Для полупроводниковых диодов с малыми размерами корпуса используется цветная маркировка в виде меток, наносимых на корпус прибора.

2.2. БИПОЛЯРНЫЕ ТРАНЗИСТОРЫ

Биполярный транзистор — полупроводниковый прибор с двумя взаимодействующими выпрямляющими электрическими переходами и тремя (или более) выводами, усилительные свойства которого обусловлены явлениями инжекции и экстракции неосновных носителей заряда. Роль выпрямляющего электрического перехода (как и в диоде) выполняет p - n -переход. В биполярном транзисторе используются одновременно два типа носителей зарядов — электроны и дырки (отсюда и название — биполярный). Переходы транзистора образованы тремя областями с чередующимися типами проводимости. В зависимости от порядка чередования этих областей различают транзисторы p - n - p - и n - p - n -типа. В микроэлектронике главную роль играют транзисторы n - p - n -типа. На рис. 2.6, 8, 9 показаны условные графические обозначения биполярного транзистора.

Работа биполярного транзистора основана на взаимодействии двух p - n -переходов; это обеспечивается тем, что толщина b средней области транзистора (базы) выбирается меньше длины свободного пробега L (диффузионной длины) носителей заряда в этой области (обычно $b \ll L$).

Принцип работы биполярного транзистора рассмотрим на примере транзистора n - p - n -типа, для которого концентрация основных носителей в n -области существенно выше, чем в p -области, т. е. справедливо неравенство $n_n \gg p_p$. Для данной структуры (рис. 2.8, а) левую n -область, которая в нашем примере будет инжектировать электроны в соседнюю p -область, называют *эмиттером*, правую n -область, которая в дальнейшем должна экстрактировать находящиеся в соседней p -области электроны, называют *коллектором*, а среднюю область — *базой*. Соответственно примы-

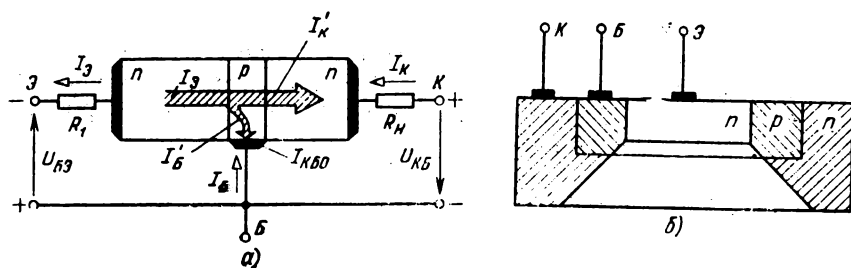


Рис. 2.8. Схема распределения токов в транзисторе n - p - n -типа (а) и реальная структура биполярного транзистора (б)

кающий к эмиттеру p - n -переход (Π_1) называют эмиттерным, а примыкающий к коллектору (Π_2) — коллекторным. Металлические выводы, привариваемые или припаяваемые к полупроводниковым областям, называют соответственно эмиттерным, коллекторным и базовым выводами.

Приложим к эмиттерному переходу прямое ($U_{EБ}$), а к коллекторному — обратное ($U_{КБ}$) напряжения. В результате через эмиттерный переход Π_1 в область базы будут инжектировать электроны (инжекцией дырок из области базы в эмиттерную область пренебрегаем), образуя эмиттерный ток транзистора I_E . Поток электронов, обеспечивающий ток I_E через переход Π_1 , показан на рис. 2.8,а широкой заштрихованной стрелкой.

Часть инжектированных в область базы электронов рекомбинируют с основными для этой области носителями заряда — дырками, образуя ток базы I'_B (см. рис. 2.8,а). Другая часть инжектированных электронов, которая достигает коллекторного перехода (Π_2), с помощью электрического поля, создаваемого напряжением $U_{КБ}$, подвергается экстракции (экстрактируется) во вторую n -область транзистора — коллектор, образуя через переход Π_2 коллекторный ток I'_C . Уменьшение потока электронов через коллекторный переход (а, следовательно, и коллекторного тока) по сравнению с потоком дырок через эмиттерный переход можно учесть следующим соотношением:

$$I'_C = \alpha I_E, \quad (2.8)$$

где $\alpha = 0,95 \dots 0,99$ — коэффициент передачи тока эмиттера¹.

¹ Коэффициент передачи тока эмиттера α равен отношению соответствующих приращений коллекторного (ΔI_C) и эмиттерного (ΔI_E) токов, в связи с чем его более точное название — динамический (дифференциальный) коэффициент передачи тока эмиттера. Однако на практике часто название динамический и обозначение Δ опускают, подразумевая отношение значений токов на линейных участках их зависимости.

Через запертый коллекторный переход будет создаваться обратный ток $I_{КБ0}$, образованный потоком из n - в p -область неосновных для коллекторной области носителей заряда — дырок p_n , который совместно с током I_K' образует выходной ток транзистора

$$I_K = I_K' + I_{КБ0} \quad (2.9)$$

и ток в базовом выводе

$$I_B = I_B' - I_{КБ0}.$$

С учетом (2.8) равенство (2.9) примет вид

$$I_K = \alpha I_E + I_{КБ0}. \quad (2.10)$$

Учитывая, что $I_E \gg I_{КБ0}$ можно на практике использовать соотношение

$$I_K \approx \alpha I_E. \quad (2.11)$$

Разность между эмиттерным и коллекторным токами в соответствии с первым законом Кирхгофа (и как видно из рис. 2.8, а) представляет собой базовый ток

$$I_B = I_E - I_K. \quad (2.12)$$

Заменив I_E в (2.12) его значением (2.11), получим

$$I_B = I_K/\alpha - I_K \quad \text{или} \quad I_B = [(1 - \alpha)/\alpha] I_K.$$

Отсюда $I_K/I_B = \alpha/(1 - \alpha) = \beta$ или

$$I_K = \beta I_B, \quad (2.13)$$

где $\beta = \alpha/(1 - \alpha)$ — динамический коэффициент передачи тока базы.

Учитывая приведенные ранее значения α , становится очевидным, что $\beta \gg 1$.

Из выражений (2.11) и (2.13) следует, что транзистор представляет собой управляемый элемент, поскольку значение его коллекторного тока I_K зависит от значений токов эмиттера I_E и базы I_B . При этом значение тока I_K существенно зависит от эффективности взаимодействия двух p - n -переходов, которое, в свою очередь, обеспечивается соотношением $b \gg L$, позволяющим уменьшить рекомбинацию инжектированных в область базы неосновных носителей заряда.

Уменьшению рекомбинации инжектированных в область базы носителей заряда (а, следовательно, повышению эффективности взаимодействия двух p - n -переходов) способствует также значительно меньшая концентрация основных носителей заряда в области базы по сравнению с концентрацией их в эмиттерной области.

Один из наиболее распространенных на практике вариантов реальной структуры биполярного транзистора приведен на рис. 2.8, б. Как видно из рисунка, каждый из переходов имеет донную и боковые части. Рабочая (активная) область транзистора расположена под донной частью эмиттерного перехода (на рис. 2.8, б эта область не заштрихована). Остальные (заштрихованные) области структуры являются пассивными, т. е. в известной мере паразитными. Их наличие неизбежно и объясняется особенностями технологического процесса изготовления структуры биполярного транзистора в полупроводниковой пластине. Пассивные участки можно в первом приближении моделировать в эквивалентной схеме транзистора резисторами, подключенными к рабочим слоям базы и коллектора.

Основные свойства транзистора определяются процессами в базе. Если концентрация примесей по всему объему базового слоя одинакова, т. е. база однородна, то движение носителей заряда в ней (при отсутствии приложенного к транзистору внешнего напряжения) носит чисто диффузионный характер. Если же база неоднородна, то за счет образовавшегося в ней внутреннего электрического поля движение носителей будет комбинированным: диффузия сочетается с дрейфом носителей заряда в этом поле. Транзисторы с однородной базой называются *диффузионными*, с неоднородной — *дрейфовыми*. Последние обладают лучшими частотными свойствами и получили наибольшее распространение.

Сопротивление обратного смещенного коллекторного перехода (при подаче на него обратного напряжения) очень велико (несколько мегаом). Поэтому в цепь коллектора можно включать нагрузочные резисторы с весьма большими сопротивлениями, не изменяя значения коллекторного тока. Соответственно в цепи нагрузки будет выделяться значительная мощность. Сопротивление прямосмещенного эмиттерного перехода, напротив, весьма мало (десятки ом). Поэтому при почти одинаковых значениях эмиттерного и коллекторного токов мощность, потребляемая в цепи эмиттера, оказывается существенно меньше мощности, выделяемой в цепи нагрузки. Это указывает на то, что транзистор является полупроводниковым прибором, усиливающим мощность.

С другой стороны, малые значения входного напряжения (прямое смещение эмиттерного перехода, составляющее десятые доли вольта) и большие значения выходного напряжения (обратное смещение коллекторного перехода, составляющее десятки вольт) указывают на то, что этот управляемый нелинейный элемент может применяться для усиления напряжения.

Режимы работы. Каждый переход биполярного транзистора можно включить либо в прямом, либо в обратном направлении. В за

висимости от этого различают следующие четыре режима работы транзистора.

Нормальный или активный режим — на эмиттерный переход подано прямое напряжение, а на коллекторный — обратное. Именно этот режим работы транзистора, как можно видеть из рис. 2.8, а, соответствует максимальному значению коэффициента передачи тока эмиттера. К тому же он обеспечивает минимальные искажения усиливаемого сигнала.

Инверсный режим — к коллекторному переходу подведено прямое напряжение, а к эмиттерному — обратное. Исходя из реальной структуры биполярного транзистора (см. рис. 2.8, б), инверсный режим работы приводит к значительному уменьшению коэффициента передачи тока эмиттера по сравнению с работой транзистора в нормальном режиме (если учитывать при этом, кроме реальной структуры, также более слабое легирование коллекторного слоя по сравнению с эмиттерным при изготовлении транзисторных структур) и поэтому на практике применяется крайне редко.

Двойной инжекции или насыщения — оба перехода (эмиттерный и коллекторный) находятся под прямым напряжением. Выходной ток в этом случае не зависит от входного и определяется только параметрами нагрузки. Из-за малого напряжения между выводами коллектора и эмиттера режим насыщения используется для замыкания цепей передачи сигнала.

Режим отсечки — к обоим переходам подведены обратные напряжения. Так как выходной ток транзистора в режиме отсечки практически равен нулю, этот режим используется для размыкания цепей передачи сигналов.

Основным режимом работы биполярного транзистора в аналоговых электронных устройствах является нормальный режим. Режимы насыщения и отсечки обычно применяются совместно для осуществления коммутации как силовых, так и информационных цепей.

Схемы включения и основные параметры. Биполярный транзистор как усилительное устройство может быть представлен в виде четырехполюсника. В зависимости от того, какой из трех выводов транзистора является общим для входа и выхода четырехполюсника, различают схему включения транзистора с общей базой (ОБ), общим эмиттером (ОЭ) и общим коллектором (ОК). Схемы, приведенные на рис. 2.9, а, б, представляют собой схему включения транзистора с ОЭ и используются наиболее часто.

Полярность подключаемого внешнего источника зависит от типа транзистора (для $p-n-p$ — рис. 2.9, а, для $n-p-n$ — рис. 2.9, б).

В случае включения транзистора в схему с ОЭ входным током является ток базы, а выходным — ток коллектора. В схеме с ОБ

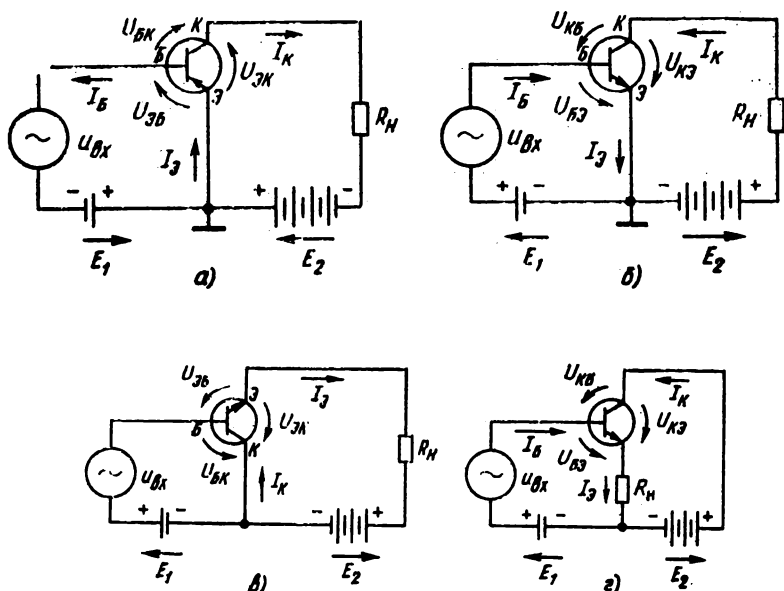


Рис. 2.9. Включение биполярного транзистора $p-n-p$ (а) и $n-p-n$ -типов (б) в схеме с ОЭ и $n-p-n$ -типа в схеме с ОК (в, г)

выходным током (как и в схеме с ОЭ) является ток коллектора, а входным — ток эмиттера (см. рис. 2.8, а).

Особое место из всех схем включения транзистора занимает схема с ОК, где входным током является ток базы, а выходным — ток эмиттера. По аналогии с предыдущими схемами включения $n-p-n$ -транзистора схема с ОК имеет вид, представленный на рис. 2.9, в. Однако такое подключение источников E_1 и E_2 к выводам транзистора создает инверсный режим его работы, что приводит, как уже отмечалось ранее, к значительному уменьшению значения коэффициента передачи тока эмиттера α (а следовательно, и β). Поэтому на практике применяют схему с ОК, приведенную на рис. 2.9, г и обеспечивающую нормальный режим работы $n-p-n$ -транзистора и сохранение тока базы — входным, а тока эмиттера — выходным.

Так как нагрузка в схеме с ОК включена в эмиттерную цепь, то эта схема чаще называется схемой *эмиттерного повторителя*.

Основными параметрами, характеризующими транзистор как активный нелинейный четырехполюсник (при любой схеме включения), являются *коэффициенты усиления*:

по току $k_I = \Delta I_{\text{вых}} / \Delta I_{\text{вх}}$;

по напряжению $k_U = \Delta U_{\text{вых}} / \Delta U_{\text{вх}}$;

по мощности $k_P = k_I k_U = \Delta P_{\text{вых}} / \Delta P_{\text{вх}}$;

а также:

входное сопротивление $R_{\text{вх}} = U_{\text{вх}} / I_{\text{вх}}$;

выходное сопротивление $R_{\text{вых}} = U_{\text{вых}} / I_{\text{вых}}$.

Ниже приводится расчет указанных параметров транзистора для каждой схемы его включения.

В схеме с ОБ

$$k_{I_B} = \Delta I_K / \Delta I_{\text{Э}} = \alpha;$$

$$R_{\text{вх Б}} = U_{\text{Э Б}} / I_{\text{Э}},$$

где $R_{\text{вх Б}}$ — сопротивление открытого эмиттерного перехода, составляющее, как уже отмечалось, десятки ом;

$$k_{U_B} = \frac{\Delta U_H}{\Delta U_{\text{Э Б}}} = \frac{\Delta I_K R_H}{\Delta I_{\text{Э}} R_{\text{вх Б}}} = \frac{R_H}{R_{\text{вх Б}}},$$

где $k_{U_B} \gg 1$, так как $R_H \gg R_{\text{вх Б}}$.

Таким образом, схема с ОБ характеризуется малым входным сопротивлением, отсутствием усиления по току, большим усилением по напряжению и мощности.

В схеме с ОЭ:

$$k_{I_{\text{Э}}} = \Delta I_K / \Delta I_B = \beta;$$

$$R_{\text{вх Э}} = \frac{U_{\text{Э Б}}}{I_B} = \frac{U_{\text{Э Б}} I_{\text{Э}}}{I_{\text{Э}} \cdot I_B} = R_{\text{вх Б}} \frac{I_K + I_B}{I_B} = R_{\text{вх Б}} (B + 1),$$

где B — статический коэффициент передачи тока базы (в отличие от дифференциального коэффициента передачи тока базы β).

Для проведения сравнительных расчетов значений параметров транзистора при различных схемах его включения примем $B \approx \beta$. Тогда

$$R_{\text{вх Э}} = R_{\text{вх Б}} (\beta + 1) \approx \beta R_{\text{вх Б}};$$

$$k_{U_{\text{Э}}} = \frac{\Delta U_H}{\Delta U_{\text{Э Б}}} = \frac{\Delta I_K R_H}{\Delta I_B R_{\text{вх Э}}} = \beta \frac{R_H}{R_{\text{вх Б}}} \approx \frac{R_H}{R_{\text{вх Б}}},$$

где $k_{U_{\text{Э}}} \gg 1$, так как $R_H \gg R_{\text{вх Б}}$.

Таким образом, схема с ОЭ имеет большее, чем схема с ОБ, входное сопротивление и усиливает сигнал как по току, так по напряжению и мощности.

В схеме с ОК:

$$k_{I_K} = \frac{\Delta I_{\text{Э}}}{\Delta I_B} = \frac{\Delta I_K + \Delta I_B}{\Delta I_B} = \beta + 1,$$

т. е. схема с ОК имеет $k_{I_K} \gg 1$;

$$R_{вх К} = \frac{U_{КБ}}{I_B} = \frac{U_{ЭБ} + U_H}{I_B} = \frac{U_{ЭБ} I_{Э}}{I_B I_{Э}} + \frac{U_H}{I_B} = \frac{U_{ЭБ}}{I_{Э}} \frac{I_{Э}}{I_B} + \frac{I_{Э} R_H}{I_B} =$$

$$= R_{вх Б} (\beta + 1) + R_H (\beta + 1) = (R_H + R_{вх Б}) (\beta + 1);$$

$$k_{UК} = \frac{\Delta U_H}{\Delta U_{КБ}} = \frac{\Delta U_H}{\Delta U_{ЭБ} + \Delta U_H} = \frac{\Delta I_{Э} R_H}{\Delta I_{Э} R_{вх Б} + \Delta I_{Э} R_H} = \frac{R_H}{R_{вх Б} + R_H},$$

$$k_{IK} = \Delta I_{Э} / \Delta I_B = (\Delta I_K + \Delta I_B) / \Delta I_B = \beta + 1;$$

$$R_{вх} = \frac{U_{ЭБ} + U_H}{I_B} = \frac{U_{ЭБ} + R_H (I_K + I_B)}{I_B} = (R_{вх Б} + R_H) (\beta + 1),$$

т. е. $k_{UК} \approx 1$.

Таким образом, схема с ОК (схема эмиттерного повторителя) имеет значительно большее значение входного сопротивления, чем любая другая схема включения транзистора, и усиливает сигнал по току и мощности. Большое значение входного сопротивления схемы с ОК предопределяет широкое применение на практике эмиттерного повторителя в качестве согласующего устройства.

Полученные значения параметров транзистора для различных схем его включения представлены в табл. 2.2. Анализ данных свидетельствует об универсальности схемы с ОЭ (см. рис. 2.9, б), обеспечивающей усиление транзистора как по току, так и по напряжению. Этим объясняется широкое применение указанной схемы включения транзистора в нелинейных цепях. Высокие значения β обуславливают также усилительное свойство транзистора

Таблица 2.2

Основные показатели биполярного транзистора
для различных схем его включения

Вид схемы	Токи		Напряжения		Основные параметры			Примечание
	$I_{вх}$	$I_{вых}$	$U_{вх}$	$U_{вых}$	k_I	k_U	$R_{вх}$	
С общей базой	$I_{Э}$	I_K	$U_{ЭБ}$	U_H	α	$\alpha \frac{R_H}{R_{вх Б}}$	$\frac{U_{ЭБ}}{I_{Э}}$	$k_I < 1$, $k_U > 1$
С общим эмиттером	I_B	I_K	$U_{ЭБ}$	U_H	β	$\beta \frac{R_H}{R_{вх Б}}$	$\frac{U_{ЭБ}}{I_{Э}} (\beta + 1)$	$k_I > 1$, $k_U > 1$
С общим коллектором	I_B	$I_{Э}$	$U_{КБ}$	U_H	$\beta + 1$	$\frac{R_H}{R_H + R_{вх Б}}$	$R_H (\beta + 1)$	$k_I > 1$, $k_U < 1$

по току, заключающееся в возможности малыми входными токами (током I_B) управлять существенно большими токами (током $I_K \approx \beta I_B$) в выходной (нагрузочной) цепи.

Каждой схеме включения транзистора соответствуют свои статические характеристики, представляющие собой функциональную зависимость токов через транзистор от приложенного напряжения. Из-за нелинейного характера указанных зависимостей их представляют в графической форме.

Транзистор как четырехполюсник характеризуется входной и выходной статическими ВАХ, показывающими соответственно зависимость входного тока от входного напряжения (при постоянном значении выходного напряжения транзистора) и выходного тока от выходного напряжения (при постоянном входном токе транзистора). Статические входные и выходные ВАХ биполярного транзистора $n-p-n$ -типа для схем включения с ОЭ и ОБ приведены на рис. 2.10. Очевидно, что они имеют явно выраженный нелинейный характер. При этом входные ВАХ (рис. 2.10, а, в) подобны прямой ветви ВАХ диода, а выходные (рис. 2.10, б, г) характеризуются вначале резким возрастанием выходного тока I_K при возрастании выходного напряжения $U_{КЭ}$, а затем, по мере дальнейшего роста напряжения, незначительным его увеличением. Переход значений выходного тока на пологий участок соответствует границе области режима насыщения транзистора, когда оба перехода открыты ($U_{БЭ} > 0$ и $U_{КБ} > 0$). При этом на выходных характеристиках транзистора, включенного с ОБ, явно видны области двух режимов его работы: нормального режима, соответствующего обратному напряжению на коллекторном переходе (I квадрант) и режима двойной инжекции, соответствующего прямому смещению коллекторного перехода (II квадрант).

При включении транзистора в схему с ОЭ выходные характеристики полностью располагаются в I-м квадранте. В то же время изменение положительного значения входного тока начинается не от нулевого значения входного напряжения, как в случае схемы с ОБ, а при некотором его положительном значении из-за падения напряжения на эмиттерном переходе от тока $I_Э$ при $U_{КЭ} \neq 0$.

На выходной характеристике транзистора можно выделить три области, отвечающие различным режимам работы транзистора: *насыщения* (заштрихованная область левее линии OA — режим двойной инжекции); *отсечки* (заштрихованная область ниже линии OB^1 , соответствующая закрытому состоянию транзистора, когда $U_{БЭ} < 0$ и $U_{КЭ} < 0$; *активной* (незаштрихованная область

¹ Следует отметить, что самая нижняя выходная характеристика, для которой $I_K = I_{КБ0}$, соответствует току базы $I_B = -I_{КБ0}$, а не $I_B = 0$. Однако практически область отсечки можно считать уже область, расположенную ниже выходной характеристики, соответствующей $I_B = 0$.

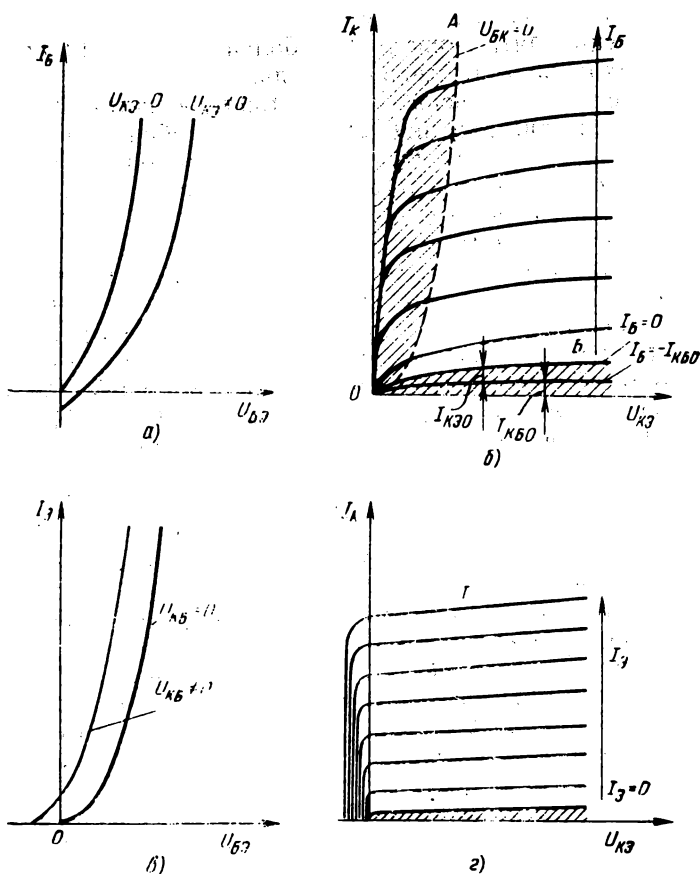


Рис. 2.10. Входные (а, в) и выходные (б, г) статические характеристики транзистора *n-p-n*-типа, включенного с ОЭ и ОБ

между линиями *ОА* и *ОБ*), соответствующая активному состоянию транзистора, когда $U_{БЭ} > 0$ и $U_{КЭ} < 0$ — нормальный режим работы транзистора. Статические характеристики используются для расчета нелинейных цепей, содержащих транзистор.

Эквивалентные схемы применяются для анализа цепей, содержащих транзисторы.

Исходя из того, что биполярный транзистор есть совокупность двух встречно включенных взаимодействующих *p-n*-переходов, его можно представить в виде эквивалентной схемы на постоянном токе, показанной на рис. 2.11 и представляющей собой физическую модель транзистора.

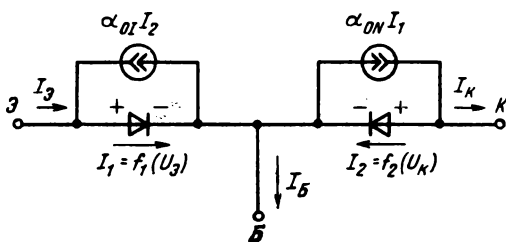


Рис. 2.11. Эквивалентная схема транзистора в виде модели Эберса—Молла

Эквивалентная схема биполярного транзистора на постоянном токе, являющаяся нелинейной физической моделью биполярного транзистора, называется моделью Эберса — Молла. Представленная модель характеризует только активную область транзистора, не учитывая его пассивную (паразитную) область. Отображение пассивной области базы и коллектора за счет введения в эквивалентную схему соответствующих резисторов сильно усложнило бы ее использование, а сама схема потеряла бы свою наглядность. Модель Эберса — Молла хорошо отражает обратимость транзистора — принципиальную равноправность обоих его переходов. Эта равноправность особенно ярко проявляется в режиме двойной инжекции, когда на обоих переходах действуют прямые напряжения. В таком режиме каждый переход одновременно инжектирует носители в базу и собирает носители, дошедшие от другого перехода. Токи инжектируемых носителей обозначены через I_1 (входной ток) и I_2 (выходной ток), а токи собираемых носителей — через $\alpha_{0N}I_1$ и $\alpha_{0I}I_2$, где α_{0N} и α_{0I} статические коэффициенты передачи тока соответственно при нормальном и инверсном включении транзистора. Собираемые токи в данной модели обозначаются с помощью источников (генераторов) тока.

Как видно из рис. 2.11

$$\left. \begin{aligned} I_{\text{Э}} &= I_1 - \alpha_{0I} I_2, \\ I_{\text{К}} &= \alpha_{0N} I_1 - I_2. \end{aligned} \right\} \quad (2.14)$$

Исходя из известной зависимости (2.1) для электронно-дырочного перехода можно записать выражения для токов инжектируемых носителей:

$$\left. \begin{aligned} I_1 &= I'_{\text{ЭБ0}} (e^{U_{\text{ЭБ}}/T} - 1); \\ I_2 &= I'_{\text{КБ0}} (e^{U_{\text{КБ}}/T} - 1). \end{aligned} \right\} \quad (2.15)$$

Подставив (2.15) в (2.14), получим

$$\left. \begin{aligned} I_{\text{Э}} &= I'_{\text{ЭБ0}} (e^{U_{\text{ЭБ}}/T} - 1) - \alpha_{0I} I'_{\text{КБ0}} (e^{U_{\text{КБ}}/T} - 1); \\ I_{\text{К}} &= \alpha_{0N} I'_{\text{ЭБ0}} (e^{U_{\text{ЭБ}}/T} - 1) - I'_{\text{КБ0}} (e^{U_{\text{КБ}}/T} - 1). \end{aligned} \right\} \quad (2.16)$$

Разность токов $I_{\text{Э}}$ и $I_{\text{К}}$ составляет ток базы:

$$I_{\text{Б}} = (1 - \alpha_{0N}) I'_{\text{ЭБ0}} (e^{U_{\text{ЭБ}}/T} - 1) + (1 - \alpha_{0I}) I'_{\text{КБ0}} (e^{U_{\text{КБ}}/T} - 1). \quad (2.17)$$

Выражения (2.16) и (2.17) называются формулами Эберса — Молла. Они являются математической моделью транзистора и составляют основу для анализа его работы. Следует отметить, что в этих формулах положительными считаются прямые напряжения на эмиттерном и коллекторном переходах. Кроме того, необходимо иметь в виду, что параметры $I'_{КБ0}$ и $I'_{ЭБ0}$ в этих формулах — это тепловые, а не обратные токи переходов, которые в случае кремния намного превышают тепловые. Только тогда, когда на оба перехода заданы обратные напряжения, формулы (2.16) и (2.17) теряют силу и обратные токи следует оценивать с учетом тока термогенерации.

Рассмотренная выше физическая модель биполярного транзистора — модель Эберса — Молла — по своей сути нелинейна и обычно применяется для анализа работы транзистора только при больших изменениях напряжения и тока.

Большому классу электронных схем свойственен такой режим работы транзистора, при котором на фоне сравнительно больших постоянных токов и напряжений действуют малые переменные составляющие. В этом случае постоянные и переменные составляющие сигнала могут анализироваться отдельно и анализ постоянных составляющих осуществляется с помощью физической модели Эберса — Молла, а при анализе переменных составляющих используется малосигнальная эквивалентная схема, состоящая из линейных элементов. Параметры ее элементов получают линеаризацией исходных характеристик транзисторов в окрестности режима работы по постоянному току (см. гл. 4).

Из малосигнальных эквивалентных схем биполярного транзистора наиболее часто встречается Т-образная. Такая схема для включения транзистора с ОБ может быть легко получена из рис. 2.11 заменой эмиттерного и коллекторного диодов их дифференциальными сопротивлениями $r_{Э}$ и $r_{К}$, а статических коэффициентов α_{0V} и α_{0I} передачи тока — дифференциальными коэффициентами при нормальном α_N и инверсном α_I включении перехода. Если транзистор работает в нормальном режиме, то из эквивалентной схемы можно исключить источник тока $\alpha_I I_2$ и α_N обозначить через α .

При этом учет сопротивления R_B базового слоя не усложняет анализ малосигнальной схемы. Таким образом, малосигнальная эквивалентная схема транзистора для схемы с ОБ принимает вид, показанный на рис. 2.12. Положительное направление тока эмиттера выбрано произвольно, поскольку знак приращения Δ (обозначение Δ на схеме для простоты опущено) может быть любым. Коллекторная и эмиттерная емкости изображены штриховыми линиями, так

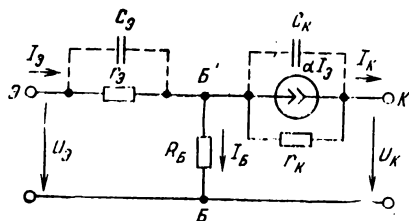


Рис. 2.12. Малосигнальная эквивалентная схема транзистора для включения с ОБ.

как они учитываются только при высоких частотах, а в низкочастотных схемах их можно не показывать.

Дифференциальное сопротивление эмиттерного перехода

$$r_{\varepsilon} = \varphi_1 / I_{\varepsilon} \quad (2.18)$$

где I_{ε} — постоянная составляющая эмиттерного тока.

Дифференциальное сопротивление коллекторного перехода, обусловленное эффектом Эрли,

$$r_K = (K \sqrt{U_K}) / I_{\varepsilon} \quad (2.19)$$

где $K = L \gamma 2qN / (e \varepsilon_0) / b$; L — длина свободного пробега в области базы; N — концентрация примеси; e — относительная диэлектрическая проницаемость среды; ε_0 — абсолютная диэлектрическая проницаемость свободного пространства; b — толщина базы; U_K — модуль обратного напряжения.

Из выражений (2.18) и (2.19) видно, что как сопротивление r_{ε} , так и сопротивление r_K обратно пропорциональны постоянной составляющей тока I_{ε} . Сопротивление базы R_B является суммой сопротивлений ее активной и пассивной областей. Расчет этих сопротивлений затрудняется из-за сложных траекторий базового тока и геометрии базового слоя, а также его неоднородностью. Типичными для планарных (изготовленных с помощью планарной технологии) транзисторов можно считать значения $R_B = 50 \dots 200$ Ом.

Для включения транзистора с ОЭ Т-образная эквивалентная схема имеет вид, представленный на рис. 2.13, а. Чтобы обе эквивалентные схемы (рис. 2.12 и 2.13, а) были равноценны, они как четырехполюсники должны иметь одинаковые параметры в режимах холостого хода и короткого замыкания. Приравняв напряжения холостого хода u_{ε} / r_K и $\beta I_B r_K^*$ в указанных схемах и учитывая, что в режиме холостого хода $I_{\varepsilon} \approx I_B$, получаем

$$\beta r_K^* \approx \alpha r_K$$

Отсюда

$$r_K^* = \frac{\alpha}{\beta} r_K$$

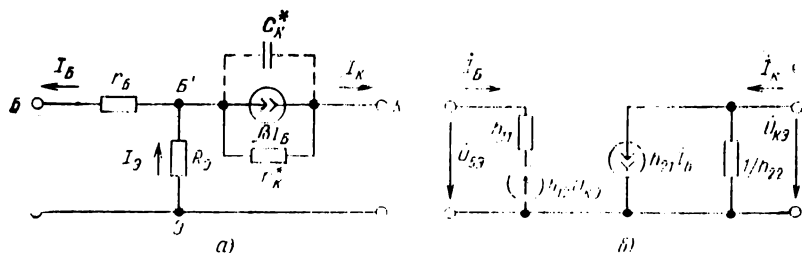


Рис. 2.13. Малосигнальные эквивалентные схемы транзистора для включения с ОЭ:

а — Т-образная; б — h-параметрах

Переходя от α к β и учитывая, что $\beta = \alpha / (1 - \alpha)$, получаем

$$r_K^* \approx r_K / (\beta + 1).$$

В то же время коллекторная емкость

$$C_K^* = (\beta + 1) C_K.$$

Таким образом, в схеме с ОЭ активное и емкостное сопротивления коллекторной цепи значительно (в $\beta + 1$ раз) меньше, чем для транзистора в схеме с ОБ.

Параметры эквивалентной схемы могут быть определены либо расчетным, либо экспериментальным путем. Однако расчет не всегда обеспечивает требуемую точность из-за трудности учета контролируемых и неконтролируемых явлений в транзисторе. В свою очередь, при выполнении эксперимента для измерения сопротивлений резисторов необходим доступ к точке B' (см. рис. 2.12 и 2.13, а), что практически неосуществимо для современных транзисторов. Поэтому очень часто транзистор представляют четырехполюсником, заменяя физические эквивалентные схемы более удобными на практике эквивалентными схемами в h - и y -параметрах.

Эквивалентная схема в h -параметрах отражает зависимость выходного тока I_2 и входного напряжения U_1 от его входного тока I_1 и выходного напряжения U_2 транзистора. Эта зависимость определяется системой уравнений:

$$\begin{cases} \Delta U_1 = h_{11} \Delta I_1 + h_{12} \Delta U_2; \\ \Delta I_2 = h_{21} \Delta I_1 + h_{22} \Delta U_2, \end{cases}$$

где ΔU_1 и ΔU_2 — изменения входного и выходного напряжений соответственно; ΔI_1 и ΔI_2 — изменения соответствующих токов.

Система уравнений может быть конкретизирована в зависимости от схемы включения, например n - p - n -транзистора. Так, для схемы с ОЭ

$$\begin{cases} \Delta U_{БЭ} = h_{11Э} \Delta I_Б + h_{12Э} \Delta U_{КЭ}; \\ \Delta I_К = h_{21Э} \Delta I_Б + h_{22Э} \Delta U_{КЭ}. \end{cases} \quad (2.20)$$

Коэффициенты уравнений (2.20) определяют экспериментально с помощью опытов короткого замыкания на выходе и обратного холостого хода на входе транзистора. При коротком замыкании

$$\begin{aligned} h_{11Э} &= \left(\frac{\Delta U_{БЭ}}{\Delta I_Б} \right)_{U_{КЭ}=0} = R_{вх Э} = R_{вх Б} (\beta + 1); \\ h_{21Э} &= \left(\frac{\Delta I_К}{\Delta I_Б} \right)_{U_{КЭ}=0} = \beta. \end{aligned}$$

При обратном холостом ходе

$$h_{21Э} = \left(\frac{\Delta U_{БЭ}}{\Delta U_{КЭ}} \right)_{I_{Б=0}} \approx 0;$$

$$h_{22Э} = \left(\frac{\Delta I_{К}}{\Delta U_{КЭ}} \right)_{I_{Б=0}} = 1/r_{К}^*.$$

Полученные h -параметры имеют следующий физический смысл: $h_{11Э}$ и $h_{21Э}$ — входное сопротивление и коэффициент передачи тока эмиттера при коротком замыкании на выходе транзистора; $h_{12Э}$ и $h_{22Э}$ — величины, обратные коэффициенту усиления по напряжению (коэффициент обратной связи по напряжению) и выходному сопротивлению (выходная проводимость) при обратном холостом ходе на входе транзистора. На практике h -параметры применяют, как правило, для анализа низкочастотных схем.

Учитывая, что $h_{12Э}$ у современных транзисторов приближается к нулю, он в большинстве случаев при расчете схем не принимается во внимание.

Приведенная система уравнений (2.20) с учетом того, что для малых синусоидальных напряжений и токов приращения заменяются комплексными величинами, может быть записана в виде

$$\left. \begin{aligned} \dot{U}_{БЭ} &= h_{12Э} \dot{I}_{Б} + h_{12Э} \dot{U}_{КЭ}; \\ \dot{I}_{К} &= h_{21Э} \dot{I}_{Б} + h_{22Э} \dot{U}_{КЭ}. \end{aligned} \right\} \quad (2.21)$$

Система уравнений (2.21) соответствует схеме замещения, показанной на рис. 2.13, б, которую часто называют малосигнальной схемой замещения транзистора, включенного с ОЭ.

Источник $h_{21Э} \dot{I}_{Б}$ эквивалентной схемы называют зависимым источником тока, так как значение тока этого источника зависит от тока другой ветви — тока базы. Этот источник характеризует усиление входного тока $\dot{I}_{Б}$. Аналогично источник $h_{12Э} \dot{U}_{КЭ}$ называют зависимым источником ЭДС. Он характеризует обратную связь по выходному напряжению.

Эквивалентная схема транзистора в y -параметрах обычно используется для анализа высокочастотных схем. В этом случае независимыми переменными являются напряжения U_1 и U_2 , а зависимыми — токи I_1 и I_2 . Тогда систему уравнений, характеризующих работу транзистора как четырехполюсника, можно представить в общем виде

$$\left. \begin{aligned} \Delta I_1 &= y_{11} \Delta U_1 + y_{12} \Delta U_2; \\ \Delta I_2 &= y_{21} \Delta U_1 + y_{22} \Delta U_2. \end{aligned} \right\}$$

Для схемы с ОЭ (транзистор *n-p-n*-типа) имеем

$$\left. \begin{aligned} \Delta I_B &= y_{11\bar{3}} \Delta U_{B\bar{3}} + y_{12\bar{3}} \Delta U_{K\bar{3}}; \\ \Delta I_K &= y_{21\bar{3}} \Delta U_{B\bar{3}} + y_{22\bar{3}} \Delta U_{K\bar{3}}. \end{aligned} \right\} \quad (2.22)$$

Коэффициенты системы уравнений (2.22) определяются при прямом и обратном коротком замыкании четырехполюсника.

Для случая прямого короткого замыкания

$$y_{11\bar{3}} = \left(\frac{\Delta I_B}{\Delta U_{B\bar{3}}} \right)_{U_{K\bar{3}}=0}$$

— величина обратная входному сопротивлению, т. е. входная проводимость при коротком замыкании;

$$y_{21\bar{3}} = \left(\frac{\Delta I_K}{\Delta U_{B\bar{3}}} \right)_{U_{K\bar{3}}=0}$$

— проводимость прямой передачи, т. е. величина, характеризующая воздействие входного напряжения на выходной ток при коротком замыкании.

Для случая обратного короткого замыкания

$$y_{12\bar{3}} = \left(\frac{\Delta I_B}{\Delta U_{K\bar{3}}} \right)_{U_{B\bar{3}}=0}$$

— проводимость обратной передачи, т. е. величина, характеризующая воздействие выходного напряжения на входной ток при обратном коротком замыкании;

$$y_{22\bar{3}} = \left(\frac{\Delta I_K}{\Delta U_{K\bar{3}}} \right)_{U_{B\bar{3}}=0}$$

— выходная проводимость при обратном коротком замыкании.

Следует подчеркнуть, что опыты короткого замыкания и холостого хода осуществляются по переменному току.

Переходя к комплексным переменным, получим следующую систему уравнений:

$$\left. \begin{aligned} \dot{I}_B &= y_{11\bar{3}} \dot{U}_{B\bar{3}} + y_{12\bar{3}} \dot{U}_{K\bar{3}}; \\ \dot{I}_K &= y_{21\bar{3}} \dot{U}_{B\bar{3}} + y_{22\bar{3}} \dot{U}_{K\bar{3}}. \end{aligned} \right\} \quad (2.23)$$

Система уравнений (2.23) соответствует схеме замещения, показанной на рис. 2.14, которую также называют малосигнальной схемой замещения транзистора для схемы с ОЭ, но уже в *y*-параметрах.

Источник $y_{12\bar{3}} \dot{U}_{K\bar{3}}$ эквивалентной схемы называют зависимым источником тока, так как значение тока этого источника зависит от напряжения другой ветви; для случая включения транзистора в схему с ОЭ — от выходного напряжения $U_{K\bar{3}}$. Аналогично источ-

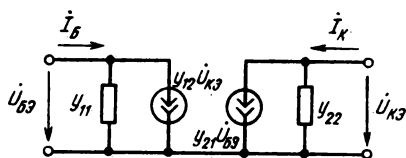


Рис. 2.14. Модель транзистора в y -параметрах

ник $y_{21} \dot{U}_{бэ}$ называют зависимым источником тока от входного напряжения $\dot{U}_{бэ}$.

Зависимость параметров биполярного транзистора от частоты. Пусть на вход транзистора, включенного по схеме с ОБ, подается импульс тока $i_э$ амплитудой, равной 1 (рис. 2.15). Ток в цепи коллектора появится только через какое-то время задержки $t_э$, определяемое временем прохождения неосновных носителей зарядов через базу, причем фронт коллекторного импульса будет нарастать постепенно, так как скорость диффузии носителей зарядов через базу будет различна (вначале коллекторного перехода достигнут наиболее быстрые неосновные носители заряда, а затем уже все остальные).

Поэтому, как видно из рис. 2.15, помимо фазового сдвига произошло также искажение формы входного сигнала на выходе.

Подадим теперь на вход транзистора некоторую постоянную составляющую $I_{э0}$ и серию импульсов $I_э = 1$, причем как показано на рис. 2.16, a штриховой линией $I_{э0} \gg I_э = 1$. Пусть вначале длительность импульса входного тока $i_э$ больше чем $2t_ф$ (считаем $2t_ф = t_ф + t_{сн}$) для $i_к$ на рис. 2.15. Тогда, пренебрегая величиной $t_э$, будем иметь изменение $i_к$, соответствующее рис. 2.16, a . Уменьшая длительность импульса до величины, равной $2t_ф$, получаем изменение $i_к$, показанное на рис. 2.16, $б$. При дальнейшем уменьшении длительности импульса (при повышении частоты входного сигнала) амплитуда выходного сигнала уменьшается, а следовательно, уменьшается коэффициент передачи тока транзистора.

Частота, при которой модуль $|h_{21 б}| = |\alpha|$ уменьшается в $\sqrt{2}$ раз относительно своего значения, измеренного на низкой частоте, называется *предельной частотой усиления* по току и обозначается $f_а$.

С изменением частоты, вполне очевидно, будет изменяться также величина фазового сдвига выходного тока транзистора по отношению к входному.

Следует подчеркнуть вполне очевидную вещь, что чем тоньше база (т. е. меньше величина b), тем в меньшей степени искажается сигнал на выходе и допускается работа транзистора на более вы-

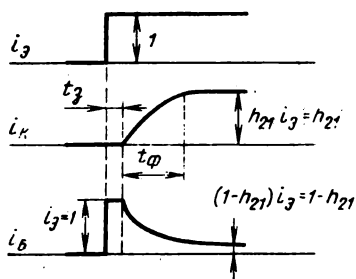


Рис. 2.15. Переходные процессы при включении транзистора в схеме с ОБ

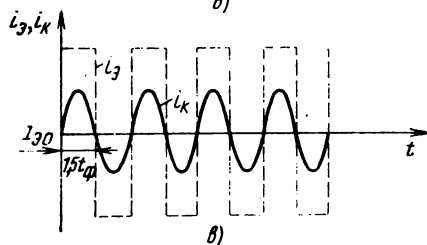
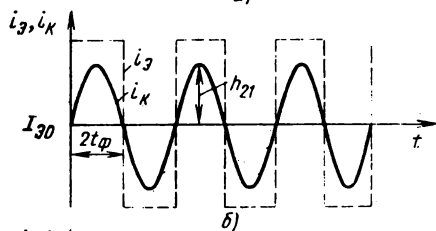
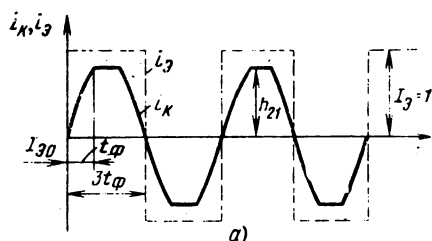


Рис. 2.16. Временные диаграммы токов эмиттера и коллектора

соких частотах. Поэтому чем более высокочастотный транзистор, тем тоньше у него должна быть база.

С повышением частоты на работу транзистора начинают оказывать влияние эмиттерные и коллекторные емкости переходов.

Наличие токов смещения через переход связано только с зарядными емкостями и не связано с диффузионными. Поэтому в эквивалентных схемах при высоких частотах под C_K и $C_Э$ понимают зарядные емкости.

Рассмотрим эмиттерный переход (см. рис. 2.12). Полный ток эмиттера будет состоять из двух составляющих:

тока через $r_Э$, связанного с инжекцией зарядов в базу и управлением коллекторным переходом;

тока смещения через емкость $C_Э$, не связанного с инжекцией.

С ростом частоты будет падать емкостное сопротивление $C_Э$, следовательно, с ростом частоты будет возрастать доля второй составляющей в полном токе эмиттера и уменьшится, соответственно, первая. В связи с этим коэффициент передачи тока будет уменьшаться.

Влияние зарядной емкости коллекторного перехода на его свойства оказывается значительно более сильным. Хотя емкость коллекторного перехода значительно меньше зарядной емкости эмиттерного перехода, активное сопротивление коллекторного перехода может в десятки тысяч раз превосходить сопротивление эмиттерного перехода. Вследствие этого приходится считаться с появлением тока смещения через зарядную емкость коллекторного перехода на частотах значительно меньших, чем в случае эмиттерного перехода.

Если осуществить на выходе транзистора короткое замыкание и пренебречь сопротивлением r_k по сравнению с R_B , то емкость окажется соединенной параллельно с сопротивлением базы R_B . Постоянная времени такой цепочки называется *постоянной времени базы* и характеризует инерционность транзистора

$$\tau_B = R_B C_K.$$

Частотные свойства транзистора в схеме включения с ОЭ часто характеризуют *граничной частотой* коэффициента передачи тока ($f_{гр}$ или f_T), под которой понимают такое ее значение, когда $|h_{21 \varepsilon}| = 1$.

Для характеристики генераторных транзисторов используют понятие *максимальной частоты генерации* f_{max} , которая может быть получена в схеме автогенератора при $K_p = 1$.

Классификация биполярных транзисторов. Выпускаемые промышленностью дискретные биполярные транзисторы классифицируют обычно по двум параметрам: по мощности и частотным свойствам.

По мощности они подразделяются на маломощные ($P_{вых} \leq 0,3$ Вт), средней мощности ($0,3 \text{ Вт} < P_{вых} \leq 1,5$ Вт) и мощные ($P_{вых} > 1,5$ Вт); по частотным свойствам — на низкочастотные ($f_a \leq 0,3$ МГц), средней частоты ($0,3 \text{ МГц} < f_a \leq 3$ МГц), высокой частоты ($3 \text{ МГц} < f_a \leq 30$ МГц) и сверхвысокой частоты ($f_a > 30$ МГц).

2.3. ПОЛЕВЫЕ ТРАНЗИСТОРЫ

Полевой транзистор — полупроводниковый прибор, усилительные свойства которого обусловлены потоком основных носителей, протекающим через проводящий канал, и управляемым электрическим полем.

Полевой транзистор в отличие от биполярного иногда называют униполярным, так как его работа основана на использовании только основных носителей заряда — либо электронов, либо дырок. Поэтому в полевых транзисторах отсутствуют процессы изменения (накопления и рассасывания) объемного заряда неосновных носителей, оказывающие заметное влияние на быстроту

ствие биполярных транзисторов. Основным способом движения носителей заряда, образующих ток полевого транзистора, является их дрейф в электрическом поле. Проводящий слой, в котором создается рабочий ток полевого транзистора, называют *каналом*.

Полевой транзистор — полупроводниковый усилительный прибор, которым управляет не ток (как биполярным транзистором), а напряжение (электрическое поле, отсюда и название — *полевой*), осуществляющее изменение площади поперечного сечения проводящего канала, в результате изменяется выходной ток транзистора. Управление же электрическим полем предполагает отсутствие статического входного тока, что позволяет уменьшить мощность, требуемую для управления транзистором.

Токопроводящие каналы могут быть приповерхностными (транзисторы с изолированным затвором) и объемными (транзисторы с управляющим *p-n*-переходом). Приповерхностный канал представляет собой либо обогащенный слой, образующийся за счет донорных примесей в полупроводнике, либо инверсный слой, возникающий под действием внешнего поля. Такой полевой транзистор имеет классическую структуру металл — диэлектрик — полупроводник (МДП-структуру), в которой роль диэлектрика, как правило, играет оксид (например, двуокись кремния SiO_2). Поэтому полевой транзистор с такой структурой часто называют МДП- или МОП-транзистором (металл — оксид — полупроводник).

Металлический электрод, создающий эффект поля, называют *затвором* (З), два других электрода — *исток* (И) и *сток* (С). Исток и сток в принципе обратимы. Истоком служит тот из них, из которого при соответствующей полярности напряжения между истоком и стоком в канал поступают основные носители заряда, а стоком — тот, через который эти носители уходят из канала. В зависимости от того, какой из выводов является общим для входа и выхода, различают три схемы включения полевого транзистора: с общим истоком (ОИ), с общим затвором (ОЗ) и общим стоком (ОС). Наибольшее распространение на практике нашла схема с ОИ.

Принцип работы полевого транзистора. В полевом транзисторе с объемным каналом площадь поперечного сечения канала меняется за счет изменения площади обедненного слоя обратного включенного *p-n*-перехода. На рис. 2.17 показан полевой транзистор с управляющим *p-n*-переходом, включенный по схеме с ОИ. При ее анализе все напряжения будем рассматривать с учетом их знаков.

На *p-n*-переход (затвор) — исток) подается обратное напряжение $U_{зи}$. При его уменьшении глубина d обедненного слоя (заштрихованная область на рис. 2.17 — область объемного заряда)

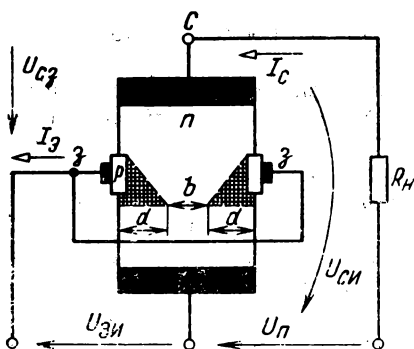


Рис. 2.17. Полевой транзистор с управляющим *p-n*-переходом

возрастает, а токопроводящее сечение b канала сужается. При этом увеличивается сопротивление канала, а следовательно, снижается выходной ток I_c транзистора. Поскольку напряжение $U_{зи}$ прикладывается к *p-n*-переходу в обратном направлении, ток I_z ничтожно мал и практически не зависит от управляющего напряжения.

Для полевых транзисторов входная характеристика (зависимость I_z от $U_{зи}$ при фиксированном значении $U_{си}$) не имеет практического применения и при расчетах используют только передаточные и выходные ВАХ. На рис. 2.18 приведены выходные и передаточные характеристики полевого транзистора с управляющим *p-n*-переходом для схемы включения с ОИ. Эти характеристики, подобно характеристикам биполярного транзистора, имеют нелинейный характер, а, следовательно, полевой транзи-

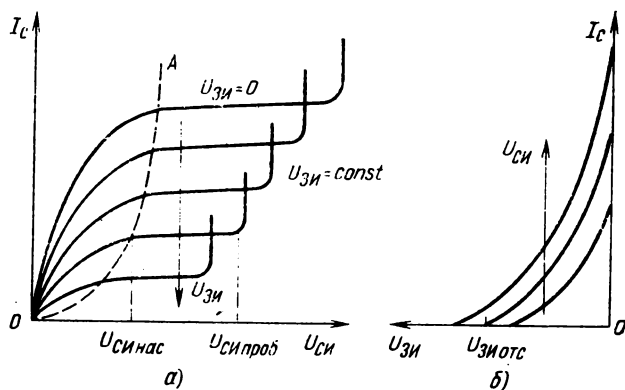


Рис. 2.18. Статические вольт-амперные характеристики полевых транзисторов с управляющим *p-n*-переходом (схема ОИ):

a — выходные; *б* — передаточные

стор, как и биполярный, является управляемым нелинейным элементом цепи. Однако при сравнении их выходных характеристик очевидны существенные различия.

На начальном участке изменения выходного напряжения полевого транзистора крутизна его ВАХ с изменением входного сигнала не остается постоянной, как в случае биполярного транзистора (см. рис. 2.10, б). Как видно из рис. 2.18, а с уменьшением $U_{зи}$ крутизна ВАХ уменьшается, а следовательно, возрастает выходное сопротивление транзистора. Это указывает на зависимость выходного сопротивления полевого транзистора от управляющего напряжения на этом участке ВАХ.

Изменение выходного тока I_c полевого транзистора при изменении $U_{си}$ происходит до определенного значения выходного напряжения, равного напряжению насыщения $U_{си\text{ нас}}$ (проекция на ось абсцисс точки пересечения штриховой кривой OA с соответствующей ВАХ транзистора). Это напряжение равно $U_{си\text{ нас}} = U_{зи} - U_{зи\text{ отс}}$, где $U_{зи\text{ отс}}$ — управляющее напряжение, при котором $I_c = 0$ (режим отсечки), а $U_{зи}$ — управляющее напряжение, соответствующее рассматриваемой ВАХ транзистора.

При дальнейшем возрастании выходного напряжения ток I_c остается неизменным вплоть до пробивного напряжения $U_{си\text{ проб}}$.

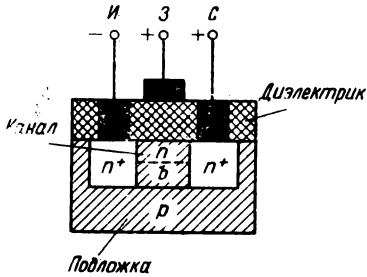
Физику происходящих при этом процессов в полевом транзисторе можно объяснить следующим образом.

Как уже отмечалось, при входном напряжении $U_{зи} = U_{зи\text{ отс}}$, соответствующем обратному напряжению на $p-n$ -переходе (затвор — исток), при котором токопроводящий канал транзистора будет полностью перекрыт, выходной ток I_c транзистора будет равен нулю (см. рис. 2.18, б). При $U_{зи} > U_{зи\text{ отс}}$ в токопроводящем канале появляется проток шириной b и по нему от стока к истоку начинает протекать ток I_c , создающий на сопротивлении канала падение напряжения. Это напряжение, складываясь с напряжением $U_{зи}$, по мере приближения к стоку, приводит к увеличению напряжения на обратно смещенном $p-n$ -переходе, т. е. к сужению канала при приближении к истоку, как это показано на рис. 2.17. Рост тока I_c приводит к увеличению падения напряжения на канале и к уменьшению его ширины, в результате уменьшается ток I_c , протекающий между стоком и истоком.

Однако уменьшение тока стока приводит к уменьшению падения напряжения на канале и к уменьшению фактического (суммарного) напряжения на обратно смещенном $p-n$ -переходе, что увеличивает ширину b канала, а следовательно, и ток I_c . В результате, в структуре полевого транзистора, приведенного на рис. 2.17, устанавливается динамическое равновесие и при $U_{си} > U_{си\text{ нас}}$ ток стока поддерживается на уровне насыщения $I_{c\text{ нас}}$.

Как видно из рис. 2.18, а с уменьшением напряжения $U_{зи}$ про-

Рис. 2.19. Структура МДП-транзистора



бывное напряжение транзистора $U_{СИ \text{ проб}}$ уменьшается. При этом всегда выполняется равенство

$$U_{СИ \text{ проб}} = U_{СИ \text{ проб}} (\text{при } U_{ЗИ} = 0) + U_{ЗИ}.$$

Если $U_{ЗИ} = U_{ЗИ \text{ отс}}$, транзистор заперт (режим отсечки) и $I_C = 0$. В случае открытого транзистора для любого значения выходного тока I_C будет соблюдаться равенство

$$U_{ЗИ} - U_{СИ \text{ нас}} = U_{ЗИ \text{ отс}} = -U_{СЗ \text{ нас}},$$

где $U_{ЗИ \text{ нас}}$ — напряжение между стоком и затвором в режиме насыщения транзистора.

Из сравнения приведенных на рис. 2.18 ВАХ видно, что полярности управляющего и выходного напряжений полевого транзистора с управляющим p - n -переходом не совпадают.

Реальная структура МДП-транзистора с каналом n -типа показана на рис. 2.19. Металлический затвор изолирован от полупроводниковой подложки слоем диэлектрика (отсюда эквивалентное название МДП-транзистора — полевой транзистор с изолированным затвором). Пусть напряжение на затворе отсутствует, т. е. $U_{ЗИ} = 0$. Если между стоком и истоком подвести напряжение указанной на рис. 2.19 полярности, то при нулевом потенциале на затворе на пути от истока к стоку окажутся два встречно включенных p - n -перехода. Поэтому токопроводящее сечение канала b будет обладать большим сопротивлением, а выходной ток I_C окажется ничтожно мал (примерно равен обратному току p - n -переходов). Если подать на затвор отрицательное напряжение $U_{ЗИ}$, то поверхностный слой подложки p -типа, прилегающий к металлизированной пластине затвора, обогатится дырками и значение тока I_C практически не изменится. Если же приложить к затвору небольшое положительное напряжение $U_{ЗИ}$ и постепенно его повышать, то дырки под действием поля, создаваемого положительным напряжением затвора, будут уходить из поверхностного слоя вглубь подложки, а электроны — притягиваться, образуя обогащенный электронами поверхностный слой подложки, примыкающий к пла-

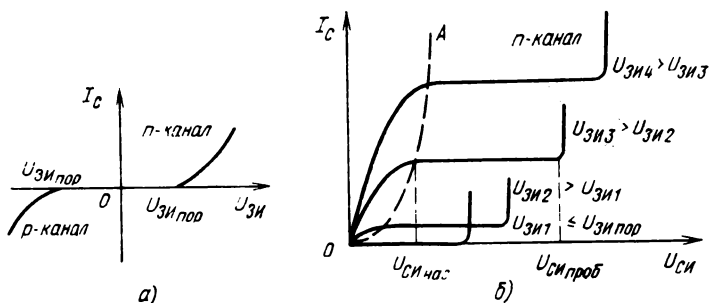


Рис. 2.20. Передаточные (а) и выходные (б) ВАХ МДП-транзистора с индуцированным каналом

стине затвора. Количество этих электронов значительно меньше, чем в областях подложки n^+ -типа¹, примыкающих к истоку и стоку. Однако этого количества электронов по отношению к основным носителям заряда для p -области становится достаточным (по мере возрастания положительного напряжения на затворе) для образования слоя противоположной проводимости по отношению к подложке p -типа — инверсного слоя (слоя n -типа). Этот инверсный слой и является токопроводящим каналом n -типа, замыкающим две другие n^+ -области подложки, примыкающие к истоку и стоку. Такой канал называется *индуцированным*, т. е. наведенным полем затвора. Таким образом, индуцированные каналы отсутствуют в равновесном состоянии и образуются под действием внешнего напряжения определенной полярности и определенного значения. Напряжение на затворе, при котором возникает токопроводящий канал, называется *пороговым*. Если выбрать подложку n -типа, а области истока и стока сделать p^+ -типа, то получится МДП-транзистор с индуцированным p -каналом.

Передаточные и выходные ВАХ для МДП-транзистора при включении с ОИ приведены на рис. 2.20. При этом выходные характеристики приведены только для индуцированного канала n -типа. Выходные характеристики МДП-транзисторов с индуцированным каналом p -типа будут расположены в III квадранте, симметрично приведенным на рис. 2.20, б. Из переходных характеристик на рис. 2.20, б, видно, что, во-первых, полярности входного и выходного напряжений всегда совпадают и, во-вторых, увеличение $U_{ЗИ}$ ведет к увеличению I_C . Исключение составляет только выходная кривая, соответствующая $U_{ЗИ1}$, так как $U_{ЗИ1} \leq U_{ЗИ\text{ пор}}$.

¹ Если концентрации основных носителей заряда в контактируемых полупроводниковых областях резко отличаются (на два порядка и более), то область с большей концентрацией отмечается символом «+».

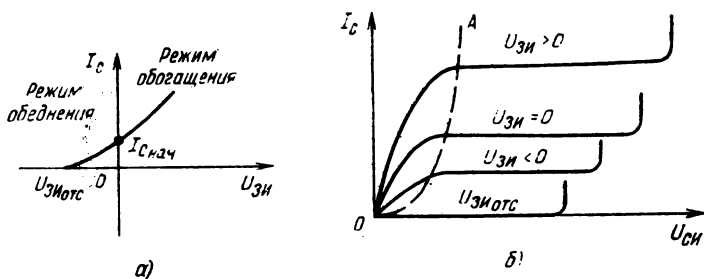


Рис. 2.21. Передаточные (а) и выходные (б) ВАХ МДП-транзистора со встроенным n -каналом

В МДП-транзисторах со встроенным каналом у поверхности полупроводника под затвором (при нулевом напряжении на затворе относительно истока) существует инверсный слой — проводящий (встроенный) канал. Этот канал практически реализуют в виде тонкого приповерхностного слоя с помощью ионного легирования. МДП-транзисторы со встроенным каналом могут работать при обеих полярностях напряжения на затворе. Передаточные и выходные ВАХ данного транзистора, включенного по схеме с ОИ, показаны на рис. 2.21.

Из анализа этих характеристик видно, что при отсутствии управляющего напряжения, когда $U_{ЗИ} = 0$, значение выходного тока транзистора I_C отлично от нуля и равно некоторому значению, которое называют *начальным током стока* — $I_{C \text{ нач}}$ (см. рис. 2.21, а).

При значениях выходного тока $I_C < I_{C \text{ нач}}$ полярности входного и выходного напряжений противоположны, а при $I_C > I_{C \text{ нач}}$ их полярности совпадают. При любом значении управляющего напряжения, большем его значения, соответствующего режиму отсечки ($I_C = 0$, $U_{ЗИ} = U_{ЗИ \text{ отс}}$), т. е. при $|U_{ЗИ}| > |U_{ЗИ \text{ отс}}|$ выходной ток I_C отличен от нуля и возрастает с возрастанием выходного напряжения, достигая своего предельного значения (граница режима насыщения — показана на рис. 2.20, б и 2.21, б штриховой линией OA) при выходном напряжении

$$U_{СИ \text{ нас}} = U_{ЗИ} - U_{ЗИ \text{ пор}}. \quad (2.24)$$

Основными параметрами, характеризующими полевой транзистор как нелинейный элемент, являются:

коэффициент усиления по напряжению

$$k_U = \mu = \Delta U_{СИ} / \Delta U_{ЗИ} \text{ при } I_C = \text{const};$$

крутизна (определяется по передаточной характеристике)

$$s = \Delta I_C / \Delta U_{ЗИ} \text{ при } U_{СИ} = \text{const};$$

дифференциальное выходное (внутреннее R_i) сопротивление

$$r_{\text{вых}} = R_i = \Delta U_{\text{си}} / \Delta I_{\text{с}} \text{ при } U_{\text{зи}} = \text{const};$$

дифференциальное сопротивление участка затвор — сток

$$R_{\text{зс}} = \Delta U_{\text{зс}} / \Delta I_{\text{с}}.$$

Это сопротивление учитывает обратную связь между выходом и входом полевого транзистора.

Входное сопротивление $r_{\text{вх}}$ полевого транзистора очень велико (несколько мегаом), поскольку значение тока затвора $I_{\text{з}}$ очень мало.

Значение параметра R_i определяют при работе транзистора в режиме насыщения как котангенс угла наклона выходной характеристики. Так как для полевых транзисторов режиму насыщения соответствует пологая часть выходной характеристики, то в рабочей области этот угол мал и, следовательно, внутреннее сопротивление оказывается достаточно большим (сотни килоом).

Крутизна s передаточной характеристики отражает степень влияния входного напряжения на выходной ток, т. е. эффективность управляющего действия затвора, и составляет 1 ... 5 мА/В. Первые три параметра связаны соотношением $\mu = sR_i$.

Условные обозначения полевых транзисторов приведены на рис. 2.6, 10 ... 15.

Температурная зависимость характеристик полевых транзисторов. Ранее было отмечено, что усилительные свойства полевых транзисторов (ПТ) связаны с процессом перемещения основных для полупроводника носителей заряда, т. е. ток ПТ определяется концентрацией основных носителей. Однако известно, что концентрация основных носителей в полупроводнике почти не зависит от температуры. Поэтому и свойства ПТ слабо изменяются с изменением температуры.

Основными параметрами ПТ, зависящими от температуры, являются: напряжение отсечки и пороговое напряжение.

На рис. 2.22 приведены переходные характеристики ПТ с управляющим p - n -переходом и изолированным затвором. Из приведенных характеристик следует, что для любого типа ПТ существует такое значение тока стока (соответствующее точке H на рис. 2.22), при котором его величина не зависит от температуры.

Это объясняется действием в этом приборе двух противоположных механизмов. Так, для полевого транзистора с управляющим p - n -переходом при повышении температуры окружающей среды растет собственное сопротивление полупроводникового материала, что приводит как к непосредственному уменьшению тока стока, так и к дополнительному подзапираанию p - n -перехода из-за наличия составляющей падения напряжения на канале. Указанные

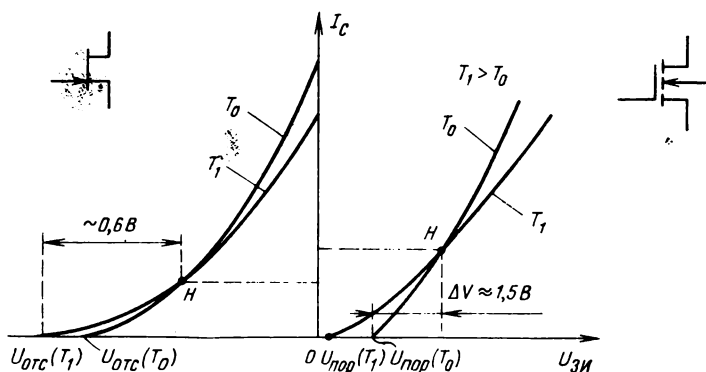


Рис. 2.22. Зависимость передаточных характеристик полевого транзистора от температуры

причины при увеличении температуры ведут к уменьшению тока стока. Этот эффект особенно сильно проявляется при больших токах стока. Однако увеличение температуры ведет к уменьшению толщины p - n -перехода, что расширяет канал. Последнее вызывает увеличение тока стока, что особенно заметно при малых его значениях. Поэтому при некоторых значениях тока стока оба фактора компенсируют друг друга и величина тока стока не зависит от изменения температуры.

Для МДП-транзистора с увеличением температуры также характерно уменьшение тока стока, что объясняется ростом собственного сопротивления полупроводника. В то же время увеличение температуры ведет к увеличению числа пар электрон — дырка в канале, т. е. к увеличению концентрации носителей заряда. Естественно, это вызывает рост тока стока, особенно при небольших его собственных значениях. Следовательно, и в МДП-транзисторе существуют две противоположные тенденции, степень проявления которых зависит от абсолютной величины тока стока. Следствием этого является наличие на передаточной характеристике прибора точки H , для которой ток стока не зависит от изменения температуры окружающей среды.

Важно отметить еще одну особенность ПТ. В режиме больших токов стока повышение температуры окружающей среды приводит к уменьшению тока I_c , т. е. в приборе отсутствует положительная обратная связь по температуре, присущая биполярным транзисторам. Увеличение температуры автоматически приводит к снижению мощности, рассеиваемой в ПТ. Таким образом, ПТ менее склонны к тепловому пробую, чем биполярные.

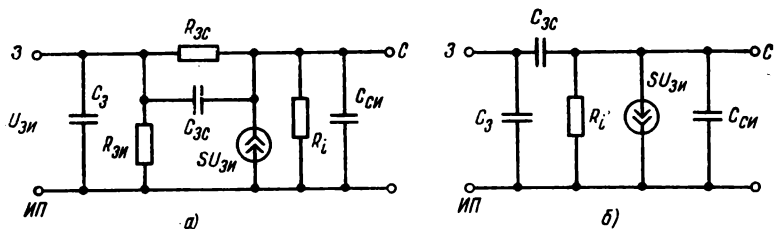


Рис. 2.23. Эквивалентные схемы полевого транзистора с управляющим p - n -переходом (а) и изолированным затвором (б)

Эквивалентные схемы полевых транзисторов. Рассмотрим наиболее распространенные схемы замещения полевых транзисторов. На рис. 2.23, а приведена схема замещения ПТ с управляющим p - n -переходом, а на рис. 2.23, б — с изолированным затвором. В этих схемах принято, что вывод подложки электрически соединен с истоком. Такое включение наиболее часто используется при разработке схем на ПТ.

Следует отметить, что входное и выходное сопротивления ПТ носят явно выраженный емкостный характер. Активная составляющая входного тока для ПТ управляющим p - n -переходом обусловлена током обратного смещенного p - n -перехода и весьма мала.

Отличительные особенности полевого транзистора. Из принципа действия полевого транзистора вытекают две основные его особенности: в установившемся режиме работы входной ток полевого транзистора стремится к нулю (т. е. $r_{вх} \rightarrow \infty$); инерционность полевого транзистора в отличие от биполярного обусловлена только процессами перезаряда его входной и выходной емкостей.

Казалось бы, что отсутствие процессов изменения объемного заряда неосновных носителей дает преимущество полевому транзистору в быстродействии перед биполярным транзистором. Однако следует отметить, что конструкция полевого транзистора предполагает получение больших значений его входных и выходных емкостей. Последнее с увеличением частоты входного сигнала приводит к фактическому падению коэффициента усиления каскада на полевом транзисторе. Действительно, по постоянному току коэффициент усиления полевых транзисторов стремится к бесконечности (входной ток стремится к нулю). При увеличении частоты входного сигнала входной ток полевого транзистора, определяемый его входной емкостью, растет, что эквивалентно снижению значения коэффициента усиления. Поэтому принято считать, что в общем случае по быстродействию, усилению и частотным свой-

ствам полевой транзистор, как правило, не имеет преимуществ перед биполярным транзистором.

Однако разработка полевого транзистора с так называемым коротким каналом [6] позволила создать полупроводниковый высокочастотный транзистор сравнительно большей мощности (50 ... 100 Вт), не осуществленный в настоящее время в биполярном варианте.

Полевые транзисторы имеют преимущество перед биполярными транзисторами в большей температурной стабильности их характеристик. Это объясняется тем, что основная температурная нестабильность характеристик биполярного транзистора обусловлена сильной зависимостью количества неосновных носителей заряда в полупроводнике. Учитывая, что полевой транзистор работает с использованием только основных носителей зарядов, которые в меньшей степени подвержены температурному влиянию, в нем отсутствует положительная обратная связь по температуре, присущая биполярным транзисторам.

Основными преимуществами полевого транзистора являются его большое входное сопротивление по постоянному току и высокая технологичность. Последнее обуславливает широкое применение полевых транзисторов при разработке цифровых интегральных схем.

Дискретные полевые транзисторы, выпускаемые отечественной промышленностью, классифицируют по мощности и частоте аналогично биполярным.

Маркировка транзисторов, применяемая с 1972 г., предусматривает шестисимвольное буквенно-цифровое обозначение. При этом каждый символ несет следующую информацию о транзисторе. Первый символ — буква или цифра, указывает (как и в случае маркировки диодов) исходный полупроводниковый материал. Второй символ — буква, обозначает класс прибора: П — полевые, Т — биполярные транзисторы. Третий символ — цифра (от 1 до 9), указывает на энергетическую и частотную характеристики биполярного и полевого транзисторов в соответствии с табл. 2.3. Чет-

Таблица 2.3

Частотная и энергетическая характеристика транзистора, определяемые третьим символом маркировки

Мощность рассеяния, Вт	Рабочая частота, МГц		
	До 3	3 ... 30	Более 30
0,3	1	2	3
0,3 ... 1,5	4	5	6
1,5	7	8	9

вертый и пятый символы — цифры (от 01 до 99), указывают порядковый номер разработки приборов. Деление по группам (шестой символ — буква) осуществляют по каким-либо параметрам прибора: коэффициенту передачи тока, обратному напряжению и др.). Например, маркировка КТ905А означает: кремниевый биполярный транзистор, мощность рассеяния более 1,5 Вт, рабочая частота выше 30 МГц, 5-я по порядку разработка, относится по своим параметрам к группе А.

В настоящее время вводится семисимвольная маркировка полупроводниковых приборов, которая отличается от существующей трехзначным номером разработки, соответствующим четвертому, пятому и шестому символам маркировки.

2.4. ТИРИСТОРЫ

Тиристор — полупроводниковый прибор с двумя устойчивыми состояниями, имеющий три (или более) выпрямляющих перехода, который может переключаться из закрытого состояния в открытое, и наоборот. Различают диодные (неуправляемые) и триодные (управляемые) тиристоры. Диодный тиристор называют *динистором*, а триодный — *тринистором*.

Динистор, условное обозначение которого приведено на рис. 2.6, 16, представляет собой двухполюсную четырехслойную *p-n-p-n*-структуру. Электрод, обеспечивающий электрическую связь с внешней *n*-областью, называется *катодом*, а с внешней *p*-областью — *анодом*. С учетом знаков приложенного к структуре внешнего напряжения переходы 1 и 3 смещены в прямом направлении, а все напряжение падает на переходе 2, который работает в режиме коллектора. Рассматриваемую структуру динистора можно представить состоящей из двух транзисторов $p_1-n_1-p_2$ и $n_2-p_2-n_1$, у которых области n_1 и p_2 условно разделены (рис. 2.24). Переход 1 представляет собой эмиттерный переход первого транзистора, через который дырки инжектируют из области p_1 в область n_1 , выполняющую роль базы для этого транзистора. Пройдя базу и коллекторный переход 2, инжектированные дырки появляются в коллекторе p_2 первого транзистора, который в то же время служит базой второго транзистора.

Этот ток определяется выражением $I_p = I_{p\text{ ко}} + \alpha_1 I_n$, где $I_{p\text{ ко}}$ — обратный дырочный ток коллекторного перехода; α_1 — коэффициент передачи тока эмиттера первого транзистора.

Появление дырок в базе p_2 второго транзистора ($n_2 = p_2 = n_1$) приводит к образованию некомпенсированного объемного заряда. Этот заряд, понижая высоту потенциального барьера эмиттерного перехода 3 второго транзистора, вызывает встречную инжекцию электронов из эмиттерной области n_2 второго транзистора в об-

Описанные процессы определяют ВАХ динистора, показанную на рис. 2.25, на прямой ветви которой можно выделить две устойчивые зоны: область III с малыми значениями тока I_n при больших значениях напряжения U_a и область отпирания I с большими значениями тока I_n при малых значениях напряжения U_a . Точки A и B соответствуют условию $\alpha_\Sigma = 1$ и называются соответственно точками включения и удержания динистора, а соответствующие им токи называются *током включения* ($I_{вкл}$) и *током удержания* ($I_{уд}$). Между точками A и B лежит зона II, в которой динистор обладает отрицательным дифференциальным сопротивлением.

В соответствии со вторым законом Кирхгофа для схемы, показанной на рис. 2.24, имеем $U_n = U_a + R_n I$. Решением этого уравнения будет точка пересечения линии нагрузки R_n и ВАХ динистора (рабочая точка). Если напряжение U_a на динисторе (рис. 2.25) достигает напряжения включения $U_{вкл}$, то рабочая точка скачкообразно переходит из состояния A в A'. При уменьшении напряжения рабочая точка из B скачкообразно переходит в B'.

Обратная ветвь ВАХ динистора может быть разделена на две области: IV (область обратного смещения) и V (область пробоя структуры).

Таким образом, управление током I_n динистора возможно только за счет изменения значения и направления напряжения внешнего источника, приложенного между анодом и катодом прибора.

Тринистор представляет собой четырехслойную полупроводниковую структуру, в которой одна из базовых областей сделана управляющей (рис. 2.26). В зависимости от того, база какого условного транзистора сделана управляющей, различают *тринисторы с анодным и катодным управлением*. Базовый вывод дает возможность управлять током близлежащего эмиттера. Для этого на управляющий электрод (УЭ) необходимо подать напряжение

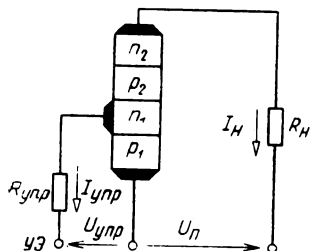


Рис. 2.26. Схема включения и структура тринистора

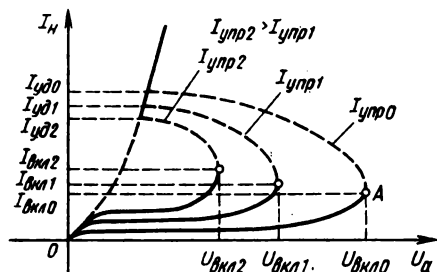


Рис. 2.27. Вольт-амперные характеристики тринистора

такой полярности, которая обеспечит отпирание соответствующего эмиттерного перехода. В этом случае процессы отпирания и запи- рания тиристора, т. е. управление его током I_n осуществляются не за счет изменения приложенного между анодом и катодом на- пряжения внешнего источника (как у динистора), а за счет изме- нения напряжения на управляющем электроде, который является, как видно из рис. 2.26, входным электродом включенного в элект- рическую цепь тринистора.

На рис. 2.27 приведены ВАХ тринистора, а на рис. 2.6, 17, 18 — его условные обозначения. Как видно из рис. 2.27, с возраста- нием $U_{упр}$, а следовательно, и $I_{упр}$ уменьшается напряжение вклю- чения тринистора, и при достаточно большом значении $I_{упр}$ вид прямой ветви ВАХ тринистора аналогичен прямой ветви ВАХ диода.

2.5. ИНТЕГРАЛЬНЫЕ СХЕМЫ

Интегральную схему или сборку можно получить либо в пла- стине твердого материала, либо на ее поверхности. В первом слу- чае в теле полупроводникового материала создают слои резисто- ров, структуры транзисторов, диодов и конденсаторов, несущие заданные электронные функции. Такие ИС называются *полупро- водниковыми*. На рис. 2.28 показаны электрическая схема и про- филь структуры полупроводниковой ИС.

Во втором случае все элементы интегральной схемы (кроме активных) наносят на диэлектрическую пластину (подложку) в виде поликристаллических или аморфных слоев (пленок), выпол- няющих заданные функции пассивных элементов. Полученную ИС при необходимости помещают в корпус с внешними выводами. Активные элементы (диоды и транзисторы) «навешивают» на плен- очную схему, в результате чего получают смешанную (пленочно- дискретную) ИС, которую называют *гибридной*. Электрическая

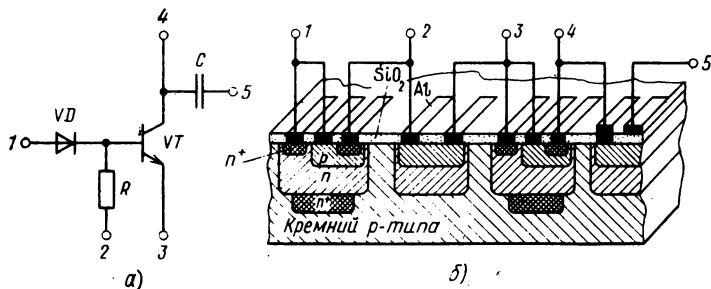


Рис. 2.28. Электрическая схема (а) и профиль структуры (б) полупроводни- ковой ИС (выводы диода — 1, резистора — 2, транзистора — 3, 4, конденсато- ра — 5)

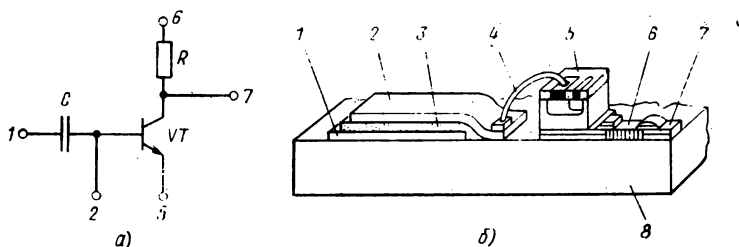


Рис. 2.29. Электрическая схема (а) и профиль структуры (б) гибридной ИС:
 1 — нижняя обкладка конденсатора; 2 — верхняя обкладка конденсатора; 3 — слой диэлектрика; 4 — соединительная шина; 5 — транзистор с контактами; 6 — резистор с контактами; 7 — контактная площадка; 8 — диэлектрическая подложка

схема и профиль структуры гибридной ИС показаны на рис. 2.29. Гибридная ИС (ГИС) — это гибкий, дешевый, оперативно проектируемый тип ИС, хорошо приспособленный к решению специальных и достаточно сложных задач. Спецификой ГИС могут быть либо высокие номиналы резисторов и конденсаторов, недостижимые в полупроводниковых ИС, либо прецизионность резисторов, обусловленных тем, что их номиналы можно подгонять до завершения технологического цикла и помещения ГИС в корпус, либо повышенная функциональная сложность.

Однако наиболее распространены на практике и перспективны полупроводниковые ИС, так как они позволяют создавать надежные и достаточно сложные в функциональном отношении электронные устройства малых размеров при незначительной их стоимости.

Характерной особенностью полупроводниковой ИС является отсутствие среди ее элементов катушки индуктивности и тем более трансформатора. Это объясняется тем, что до сих пор не удалось использовать в твердом теле какие-либо физические явления, эквивалентные электромагнитной индукции. Поэтому при разработке ИС стараются реализовать необходимую функцию без использования индуктивностей или применяют навесные индуктивные элементы. В качестве резисторов и конденсаторов в полупроводниковых ИС используют соответственно сопротивление и зарядную емкость p - n -перехода, что позволяет обеспечить единый технологический цикл изготовления структур транзисторов, диодов, резисторов и конденсаторов при производстве полупроводниковых ИС (см. рис. 2.28, б).

В настоящее время различают два класса полупроводниковых ИС: биполярные ИС и МДП-ИС. Основным элементом биполярных ИС — p - n - p -транзистор, а МДП-ИС — МДП-транзистор с индуцированным каналом. Все остальные элементы схемы (диоды,

резисторы и конденсаторы) изготавливают на базе основного элемента и одновременно с ним.

Функциональную сложность ИС принято характеризовать *степенью интеграции*, т. е. числом элементов (чаще всего транзисторов), входящих в состав интегральной схемы. Для количественной оценки степени интеграции используют условный коэффициент $K = \lg N$, где N — число элементов, входящих в ИС. Если $K \leq 1$ (т. е. $N \leq 10$), ИС называют простой; $1 < K \leq 2$ — средней ИС (СИС); $2 < K \leq 3$ — большой ИС (БИС); $K > 3$ (т. е. $N > 1000$) — сверхбольшой ИС (СБИС).

Приведенное деление ИС в зависимости от степени интеграции является приближенным и может корректироваться в зависимости от типа ИС и применяемого к ней класса транзисторов, как это показано в табл. 2.4 для полупроводниковых ИС. Из приведенной таблицы видно, что применение цифровых методов обработки информации способствует более эффективному решению вопроса микроминиатюризации электронных средств. Однако применение цифровых методов не всегда возможно.

Так, при разработке конкретного электронного устройства к последнему могут предъявляться требования, выполнение которых методами цифровой электроники будет неоптимальным, например, с точки зрения стоимости или других показателей, или вообще недостижимыми. В первую очередь это касается требуемого быстродействия и точности ЭУ. Поэтому поиск оптимального решения должен базироваться на использовании всего набора имею-

Таблица 2.4

Классификация ИС по степени интеграции в зависимости от типа ИС и применяемого класса транзисторов

Наименование ИС	Тип ИС	Класс транзистора	Число элементов на кристалле
ИС	Цифровая	Биполярный } Униполярный }	1 ... 100
СИС	Аналоговая	Биполярный	1 ... 30
	Цифровая	Униполярный } Биполярный }	101 ... 1000 101 ... 500
БИС	Аналоговая	Униполярный } Биполярный }	31 ... 100
	Цифровая	Униполярный } Биполярный }	1001 ... 10000 501 ... 2000
СБИС	Аналоговая	Униполярный } Биполярный }	101 ... 300
	Цифровая	Униполярный } Биполярный }	10000 2000
	Аналоговая	Униполярный } Биполярный }	300

щихся ЭУ, а именно устройств аналоговой, импульсной и цифровой электроники.

В заключение следует отметить, что применение ИС вместо дискретных элементов в качестве элементной базы электронных устройств дает значительные преимущества по надежности, габаритам, стоимости и другим показателям. Это связано с тем, что при использовании ИС отпадает необходимость в многочисленных паяных соединениях — основном факторе снижения надежности, резко сокращаются габариты и масса электронных устройств (благодаря отсутствию корпусов и внешних выводов у каждого элемента ИС), существенно снижается их стоимость за счет исключения множества сборочных и монтажных операций.

Контрольные вопросы

1. Какие типы диодов Вы знаете? Приведите их условные обозначения.

2. Каков принцип маркировки диодов и транзисторов?

3. Как определяют дифференциальное и статическое сопротивление полупроводниковых приборов?

4. Какие виды пробоя p - n -перехода существуют и в чем их отличие?

5. В чем заключается принцип действия биполярного транзистора?

6. Какие возможны схемы включения биполярных транзисторов и их основные параметры?

7. Поясните статические характеристики биполярного транзистора и их зависимость от температуры.

8. В чем различие принципа действия и основных характеристик полевого транзистора с p - n -переходом и МДП-транзистора?

9. Какие схемы включения униполярных транзисторов и их основные характеристики Вам известны?

10. Какими преимуществами обладают полевые транзисторы по сравнению с биполярными?

11. Какие режимы работы биполярного и полевого транзистора Вам известны и в чем их особенности?

12. Какие эквивалентные схемы биполярного и полевого транзистора Вам известны?

13. Чем объясняются зависимости параметров биполярного и полевого транзисторов от частоты входного сигнала?

14. В чем отличие работы транзистора от диода?

15. Объясните условие образования лавинообразного тока через тиристор.

16. В чем отличие полупроводниковых интегральных схем от гибридных в микроминиатюризации электронных средств?

ГЛАВА 3.

ПОЛУПРОВОДНИКОВЫЕ ДАТЧИКИ И ИНДИКАТОРНЫЕ ПРИБОРЫ

3.1. ПОЛУПРОВОДНИКОВЫЕ ДАТЧИКИ ТЕМПЕРАТУРЫ

В качестве датчиков температуры широкое применение находят полупроводниковые терморезисторы, диоды и транзисторы.

Полупроводниковым терморезистором называется прибор, принцип действия которого основан на использовании терморезисторного эффекта, заключающегося в значительном изменении сопротивления полупроводникового материала при изменении температуры.

Полупроводниковые терморезисторы выгодно отличаются от проволочных приборов не только большими собственными сопротивлениями, но и малыми размерами. На их основе создают устройства, обладающие повышенными точностью и быстродействием.

К недостаткам полупроводниковых терморезисторов следует отнести нелинейность их характеристик $R = f(T, ^\circ\text{C})$ и значительный технологический разброс параметров.

Аналитическая зависимость сопротивления терморезистора от температуры (T) имеет вид

$$R_T = AT^\gamma \exp(B/T),$$

где A , γ и B — постоянные, определяемые свойствами полупроводникового материала и конструкцией терморезистора. Для большинства существующих терморезисторов $\gamma \ll 1$ и поэтому при расчетах можно пользоваться более простым выражением

$$R_T \approx A \exp(B/T). \quad (3.1)$$

Из выражения (3.1) следует, что с ростом температуры сопротивление терморезистора уменьшается.

Температурную чувствительность терморезисторов принято характеризовать величиной их температурного коэффициента сопротивления (TKR), типовое значение которого лежит в диапазоне от -2 до $-8,5\%/^\circ\text{C}$.

В настоящее время разработаны терморезисторы с положительным значением TKR.

При измерении температуры с помощью полупроводниковых диодов используют температурные зависимости либо обратного тока p - n -перехода ($I_{\text{обр}}$), либо прямого падения напряжения на p - n -переходе ($U_{\text{пр}}$). Напомним, что обратный ток реального диода складывается из трех составляющих: тока утечки $I_{\text{ут}}$, тока генера-

ции, обусловленного регенерацией и рекомбинацией носителей в области p - n -перехода ($I_{\text{ген}}$) и теплового тока I_0 .

Ток утечки определяется поверхностными энергетическими состояниями и слабо зависит от температуры. Его уровень, в основном, определяет обратное напряжение p - n -перехода. Ток генерации зависит как от обратного напряжения p - n -перехода, так и от его температуры. Тепловой ток практически не зависит от обратного напряжения и полностью определяется температурой p - n -перехода. Этот ток практически для всех диодов определяется выражением

$$I_0 = qVn_i^2/\tau N_B, \quad (3.2)$$

где q — заряд электрона; V — объем полупроводникового кристалла, в котором генерируемые носители участвуют в образовании теплового тока; n_i — собственная концентрация носителей заряда материала полупроводника; τ — время жизни основных носителей заряда; N_B — концентрация основных носителей заряда в области базы.

При высоких температурах с достаточной точностью можно полагать, что

$$I_{\text{обр}} \approx I_0 \approx N \exp\left(-\frac{qE_g U_T}{kT}\right), \quad (3.3)$$

где N — постоянная, мало зависящая от температуры; E_g — ширина запрещенной зоны полупроводника; U_T — константа, равная $0.5 \dots 1$; k — постоянная Больцмана.

Типовая зависимость $I_{\text{обр}} = \varphi(T, ^\circ\text{C})$ для различных диодов приведена на рис. 3.1.

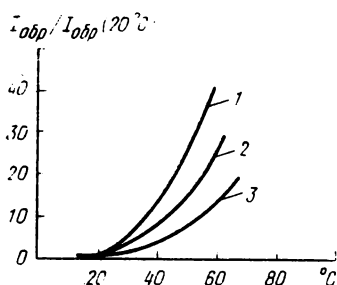


Рис. 3.1. Относительные изменения обратных токов диодов ($I_{\text{обр}}$) от температуры:

1 — германиевый сплавно-диффузионный переход; 2 — германиевый сплавный переход; 3 — кремниевый диффузионный переход

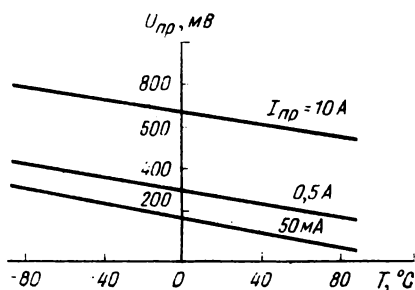


Рис. 3.2. Зависимость прямого смещения p - n -перехода от температуры

Прямое падение напряжения на p - n -переходе может быть определено из выражения для вольт-амперной характеристики идеального p - n -перехода

$$I_{\text{пр}} = \frac{kT}{q} \ln \left(\frac{I_{\text{пр}}}{I_{\text{обп}}} + 1 \right), \quad (3.4)$$

где $I_{\text{пр}}$ — прямой ток p - n -перехода. Используя выражение (3.4) для ТКН диода, можно записать

$$\text{ТКН} = \frac{\partial U_{\text{пр}}}{\partial T} = -2 \frac{mB}{eC} + K \ln I_{\text{пр}}, \quad (3.5)$$

где K — постоянная, определяемая типом составляющей тока диода (диффузионная — 0,198, рекомбинационная: низкий уровень инжекции — 0,375, высокий уровень инжекции — 0,596).

Реальная величина ТКН прямого падения напряжения на диоде лежит в диапазоне от -1 до $-3,5$ мВ/°С. На рис. 3.2 приведены типовые зависимости $U_{\text{пр}} = \psi(T, ^\circ\text{C}, I_{\text{пр}})$ для германиевого сплавного диода. На практике наиболее часто для измерения температуры используют зависимости $U_{\text{пр}} = \varphi(T, ^\circ\text{C})$, что объясняется следующими причинами. Во-первых, при выполнении условия $I_{\text{пр}} = \text{const}$ зависимость $U_{\text{пр}} = \varphi(T, ^\circ\text{C})$ носит линейный характер. Во-вторых, напряжение $U_{\text{пр}}$ легко поддается непосредственному измерению. Пренебрегая падением напряжения на омическом сопротивлении диода, можно полагать, что $U_{\text{д}} \approx U_{\text{пр}}$. Тогда для диода, как датчика температуры, можно записать

$$U_{\text{д}}(T, ^\circ\text{C}) = U_{\text{до}} + \text{ТКН}(T_{\text{д}} - T_0),$$

где $U_{\text{до}}$ — падение напряжения на диоде при температуре T_0 ; $T_{\text{д}}$ — измеряемая температура.

Использование биполярных транзисторов позволяет значительно улучшить характеристики термопреобразователей. Исследования показали, что наилучших результатов можно добиться при использовании режима работы транзистора, при котором эмиттерный и коллекторный переходы транзистора, включенного по схеме с ОБ, смещены в прямом направлении (рис. 3.3). Для схемы с ОБ n - p - n -транзистора (рис. 3.3) при заданном токе эмиттера температурный коэффициент коллекторного тока практически постоянен до температуры 80 ... 100 °С для германиевых и 120 ... 150 °С для кремниевых транзисторов. Реальная погрешность изменения тока не превышает 2 ... 3%. При этом значение температурного коэффициента тока коллектора практически не зависит от самого тока коллектора и может плавно регулироваться изменением значений I_0 и $R_{\text{к}}$.

На рис. 3.4 приведены экспериментальные зависимости $I_{\text{к}} = \varphi(T, ^\circ\text{C})$, полученные для транзисторов разного типа при различных значениях $R_{\text{к}}$.

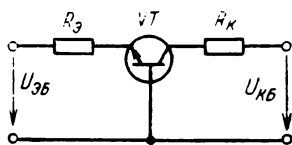


Рис. 3.3. Режим встречной инжекции *p-n-p*-транзистора, включенного в схему с ОБ

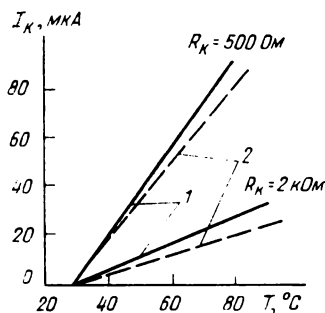


Рис. 3.4. Температурные зависимости коллекторного тока транзисторов:
1 — транзистор МП21; 2 — транзистор ГТ109Б

На практике широкое распространение получил датчик температуры на двух транзисторах, технологически выполненных на одном кристалле (рис. 3.5). Этот датчик, хотя и обладает меньшей чувствительностью, чем датчик на одиночном транзисторе, но выгодно отличается от него меньшей нелинейностью преобразования.

Зависимость пределов изменения выходного напряжения от пределов изменения температуры для схемы на рис. 3.5 описывается выражением

$$\Delta U_{\text{вых}}(T, ^\circ\text{C}) = \Delta T \frac{2k}{q} \ln \frac{I_{K2}}{I_{K1}}, \quad (3.6)$$

где k — постоянная Больцмана; q — заряд электрона.

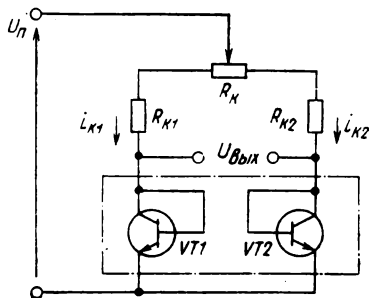


Рис. 3.5. Датчик температуры на базе двух идентичных *p-n-p*-транзисторов

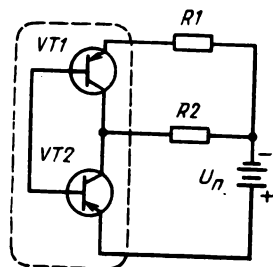


Рис. 3.6. Схема полупроводникового датчика температуры с высоким коэффициентом преобразования

Из приведенного выражения можно сделать важный практический вывод: выходное напряжение датчика, приведенного на рис. 3.5, прямо пропорционально изменению температуры и не зависит ни от свойств полупроводникового материала, ни от технологии изготовления транзистора ($k/q = \text{const} \approx 0,079 \text{ мВ/}^\circ\text{С}$). Данный датчик дает хорошие результаты при измерении температуры среды в широком диапазоне (от -25 до $+100^\circ\text{С}$).

Для получения высокого коэффициента преобразования в узком диапазоне изменения температур может быть применен датчик, схема которого приведена на рис. 3.6. В данной схеме транзистор $VT1$ выполняет роль чувствительного элемента. Для этого его эмиттерный переход смещен в обратном направлении. Транзистор $VT2$ включен по схеме с ОЭ и выполняет роль усилителя. При изменении температуры изменяется падение напряжения на обратносмещенном эмиттерном переходе $VT1$, а следовательно, изменяется базовый ток транзистора $VT2$, что приводит к изменению падения напряжения на резисторе $R2$.

3.2. МАГНИТОПОЛУПРОВОДНИКОВЫЕ ПРИБОРЫ

Работа магнитополупроводниковых приборов основана на использовании явлений в полупроводниковых структурах, связанных с воздействием на них магнитного поля. Их массовое применение за последние годы в качестве элементной базы ЭС обусловлено бурным развитием автоматики, магнитной записи информации, устройств ввода и считывания информации и т. п. Магнитополупроводниковые приборы дают возможность полной электрической развязки входных и выходных цепей, бесконтактного преобразования малых механических перемещений в электрические сигналы, детектирования величины и направления индукции магнитного поля с высокой локальностью, создания не искрящих механических коммутаторов в электрических цепях, бесконтактного измерения электрических токов.

Многообразие типов магнитополупроводниковых приборов обусловлено многообразием гальваномагнитных явлений, на базе которых они функционируют.

В настоящее время в магнитополупроводниковых приборах используются следующие гальваномагнитные явления.

Эффект Холла — возникновение поперечной разности потенциалов на гранях кристалла при прохождении через него электрического тока в поперечном ему магнитном поле.

Эффект магнитосопротивления — возрастание сопротивления полупроводника в магнитном поле.

Эффект Суля — отклонение линий тока инжектированных носителей заряда магнитным полем к одной из граней полупроводника.

Эффект гальваномагниторекомбинационный — изменение концентрации носителей заряда при прохождении тока в поперечном магнитном поле в полупроводнике со смешанной проводимостью при изменении поверхностной рекомбинации.

Эффект магнитодиодный. Магнитное поле приводит к закручиванию движущихся электронов и дырок. Их подвижность уменьшается, следовательно, уменьшается и длина диффузионного смещения. Одновременно удлиняются линии тока, т. е. эффективная толщина базы. Магнитное поле влияет не только на подвижность и направление линий тока, но и на время жизни носителей. Перечисленные явления приводят к сильному изменению неравновесной проводимости диода. В магнитном поле малое начальное изменение длины диффузионного смещения и эффективной толщины базы приводит к сильному изменению сопротивления базы и соответственно прямого тока вследствие резкого изменения концентрации неравновесных носителей заряда. Это и есть магнитодиодный эффект.

Известны и другие гальваномагнитные явления, но они еще не получили широкого практического применения.

Большой практический интерес представляет магнитодиодный эффект, проявляющийся при инжекции носителей из *p-n*-перехода при пропускании прямого тока в диодах с длинной базой, когда длина свободного пробега инжектированных в область базы неравновесных носителей заряда до момента их рекомбинации (длина диффузионного смещения неравновесных носителей заряда) значительно меньше той длины пути, который они должны пройти от инжектирующего *p-n*-перехода до второго (выходного) омического контакта (путь, равный длине базы диода). В этом случае практически все инжектированные в область базы неравновесные носители заряда рекомбинируют на своем пути до омического контакта. Для краткости такие диоды на практике называют «*длинными*» диодами.

При высоких уровнях инжекции прямую ветвь вольт-амперной характеристики (ВАХ) резкого несимметричного диода с омическим вторым контактом можно аппроксимировать соотношением

$$I = I_0 (e^{qU_D / ckT} - 1), \quad (3.7)$$

где q — заряд электрона; U_D — напряжение, приложенное к диоду; k — постоянная Больцмана; T — абсолютная температура; $c = 2(v + \text{ch}d/L)/(v + 1)$ — коэффициент, учитывающий специфику *p-n*-перехода; $v = \mu_n/\mu_p$ — отношение подвижностей электронов и дырок; d — длина базы; $L = l\sqrt{2v/(v + 1)}$ — эффективная длина диффузионного смещения; l — длина диффузионного смещения.

В обычных диодах $d/l \ll 1$ и

$$I \approx 2 \frac{kT \mu_p n_i}{d} (e^{qU_D/2kT} - 1), \quad (3.8)$$

где n_i — собственная концентрация носителей.

В этом случае, как видно из (3.8), прямой ток диода не зависит от L . В «длинных» диодах, т. е. в диодах с большим расстоянием между p - n -переходом и неактивным контактом $e^{d/L} \gg 1$. Тогда

$$I \approx \frac{kT}{q} \frac{\text{ch } d/L}{\rho_0 L (\nu + 1)} (e^{qU_D/c kT} - 1), \quad (3.9)$$

где ρ_0 — удельное сопротивление исходного полупроводника. В этом случае $c \approx e^{d/L}/(\nu + 1)$, т. е. сильно зависит от L . Следовательно, согласно (3.9) любое незначительное изменение длины диффузионного смещения приведет к очень большому изменению прямого тока.

В «длинных» диодах ($d/L \gg 1$) распределение носителей, а следовательно, сопротивление базы определяется длиной диффузионного смещения неравновесных носителей заряда. Уменьшение L приводит к понижению концентрации неравновесных носителей в базе, т. е. повышению ее сопротивления. Это вызывает, в свою очередь, увеличение падения напряжения на базе и, соответственно, его уменьшение на p - n -переходе (при условии постоянства приложенного напряжения). Уменьшение падения напряжения на p - n -переходе вызывает снижение инжекционного тока и, следовательно, дополнительное повышение сопротивления базы, а также новое уменьшение напряжения на p - n -переходе и т. д.

Таким образом, при $e^{d/L} \gg 1$ небольшое уменьшение длины диффузионного смещения вызывает очень сильное снижение проводимости базы диода. Следовательно, воздействуя внешними факторами на длину диффузионного смещения, можно управлять проводимостью базы диода. Так как $L = \sqrt{[2\nu/(\nu + 1)](kT/q)\mu_p\tau_p}$, то изменение L может быть вызвано воздействием либо на эффективное время жизни носителей τ_p , либо на отношение подвижностей электронов и дырок ν .

Длину диффузионного смещения носителей, наряду с другими методами, можно изменять и воздействием магнитного поля. Поскольку при высоких уровнях инжекции концентрации электронов и дырок примерно одинаковы, то ЭДС Холла практически равна нулю. При этом инжектированные из p - n -перехода носители будут двигаться под некоторым углом к направлению внешнего электрического поля. Этот угол называется *углом Холла*.

Магнитодиодный эффект может наблюдаться в любой полупроводниковой структуре, в которой создана положительная или от-

рицательная, неравновесная проводимость. Проводимость считается положительной в том случае, когда концентрация носителей выше равновесной, отрицательной — когда она ниже равновесной. Отрицательная проводимость реализуется, например, при экстракции носителей p - n -переходом, на который подано обратное напряжение, или n - n -переходом, т. е. переходом, образованным на границе полупроводника с различной концентрацией однотипных носителей (в данном случае электронов).

На основе магнитодиодного эффекта был предложен новый гальваноманитный прибор — **магнитодиод** [3]. Магнитодиод представляет собой полупроводниковый прибор с p - n -переходом и невыпрямляющим контактом (омическим или антизапирающим), между которыми находится область высокоомного полупроводника (рис. 3.7, а). Отличие от обычных полупроводниковых диодов состоит только в том, что магнитодиод изготавливается из высокоомного полупроводника с проводимостью, близкой к собственной, и длина базы d в несколько раз больше длины диффузионного смещения носителей L , в то время как в обычных диодах $d < L$. В «длинных» диодах при прохождении электрического тока определяющими становятся процессы, зависящие от рекомбинации и движения неравновесных носителей в базе и на поверхности.

В прямом направлении при высоких уровнях инжекции проводимость магнитодиода определяется инжектированными в базу неравновесными носителями. Падение напряжения происходит не на p - n -переходе, как в диоде, а на высокоомной базе. Если магнитодиод, через который протекает ток, поместить в поперечное магнитное поле, то произойдет увеличение сопротивления базы. Сопротивление базы увеличивается и за счет повышения роли поверхностной рекомбинации отклоняющихся к поверхности полупроводника носителей заряда. Эквивалентную схему магнитодиода можно представить в виде магниторезистора с последовательно включенным усилителем. Типичная ВАХ магнитодиода приведена на рис. 3.7, б.

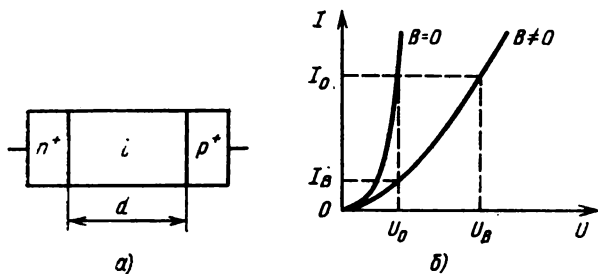


Рис. 3.7. Конструкция (а) и вольт-амперная характеристика (б) магнитодиода

Свойства магнитодиодов характеризуются вольтовой и токовой магниточувствительностями.

Вольтовая магниточувствительность γ_U определяется изменением напряжения на магнитодиоде при изменении магнитного поля B на 1 мТл и постоянном значении тока через магнитодиод:

$$\gamma_U = \left(\frac{\Delta U}{\Delta B} \right)_{I=\text{const}} = \left(\frac{U_B - U_0}{\Delta B} \right)_{I=c} \approx \frac{d}{L} \left(Y + \frac{L}{d} - 1 \right) \frac{ckT}{q} \frac{\Delta L_E}{L_E \Delta B},$$

где U_B — напряжение на магнитодиоде при $B \neq 0$; U_0 — напряжение на магнитодиоде при $B = 0$; L_E — усредненный путь, пройденный носителями за время жизни в направлении внешнего электрического поля; $Y = qU/ckT$ — коэффициент неравновесности при высоких уровнях инжекции.

Токовая магниточувствительность γ_I определяется изменением тока через магнитодиод при изменении магнитного поля на 1 мТл и постоянном напряжении на магнитодиоде:

$$\gamma_I = \left(\frac{\Delta I}{\Delta B} \right)_{U=\text{const}} \approx j \left(\frac{d}{L} \right) \left(Y + \frac{L}{d} - 1 \right) \frac{\Delta L_E}{L_E \Delta B},$$

где I_0 и I_B — токи магнитодиода при $B = 0$ и $B \neq 0$ соответственно.

Обычно при больших скоростях поверхностной рекомбинации наблюдается зависимость времени жизни носителей от магнитного поля. Если скорость поверхностной рекомбинации на двух гранях одинакова, то время жизни носителей с увеличением магнитного поля уменьшается. Если на одной грани скорость поверхностной рекомбинации больше, чем на другой, то при отклонении носителей к первой наблюдается уменьшение, а ко второй — увеличение времени жизни. В соответствии с этим изменяется и длина диффузионного смещения носителей. Если изменение эффективного времени их жизни достаточно велико, то оно может превысить влияние изменения подвижности и искривления линий тока и будет определять магниточувствительность магнитодиода.

Магнитотранзисторы находят в последнее время широкое применение в качестве преобразователей, чувствительных к магнитному полю. Рассмотрим вначале работу *биполярного магнитотранзистора*.

В «тонких» (обычных) транзисторах, которые чаще используются и были подробно нами рассмотрены в гл. 2, длина базы d намного меньше длины диффузионного смещения носителей ($d \ll L$). В этих транзисторах незначительные изменения коэффициента усиления по току эмиттера могут вызвать очень большие изменения тока коллектора. Так как в этих транзисторах коэффициент усиления связан квадратичной зависимостью с длиной диффузионного смещения $h_{21} = 1 - 0,5(d/L)^2$, то любые воздействия

на нее будут приводить к значительному изменению тока. Таким образом, на основе транзисторов возможно создание таких же приборов, основанных на управлении длиной диффузионного смещения, как и на «длинных» диодах. Роль сопротивления базы в них играет сопротивление коллекторного p - n -перехода, включенного в обратном направлении.

В транзисторах с «длинной» базой ($d > 3L$) коэффициент усиления значительно меньше единицы и связан экспоненциальной зависимостью с длиной диффузионного смещения следующим выражением: $h_{21} = 2 \exp(-d/L)$. В этих транзисторах также возможно управление током путем воздействия на длину диффузионного смещения. Таким образом, на основе транзисторных структур могут быть созданы приборы с высокой чувствительностью к изменениям длины диффузионного смещения и, следовательно, обладающие высокой чувствительностью к магнитному полю. Возможно создание как «тонких», так и «длинных» магнитотранзисторов.

«Тонкие» магнитотранзисторы обладают высокой магниточувствительностью только при $h_{21} \approx 1$ и при условии, что отличие коэффициента переноса от единицы связано с рекомбинационными процессами. При этом коэффициент инжекции близок к единице.

Вольтовая магниточувствительность «тонких» магнитотранзисторов будет большой при достаточно больших рабочих напряжениях, а токовая — при любых напряжениях. В этом отношении перспективными могут оказаться планарные транзисторы с высокими значениями коэффициента усиления.

В «длинных» магнитотранзисторах на коэффициент усиления сильно влияет поперечное магнитное поле вследствие уменьшения эффективной длины диффузионного смещения. Она уменьшается как из-за искривления линий тока, так и в результате уменьшения подвижности носителей. Продольное магнитное поле также оказывает сильное влияние — увеличивается эффективная длина диффузионного смещения, так как под воздействием сильных магнитных полей практически все инжектированные из эмиттера неравновесные носители движутся по кратчайшему пути к коллектору параллельно оси транзистора. Их рекомбинация заметно снижается, а коэффициент усиления транзистора возрастает.

Дальнейшее развитие идеи увеличения магниточувствительности биполярных «торцевых» транзисторов реализовано в двух-коллекторном магнитотранзисторе (ДМТ) с «горизонтальными» коллекторами. ДМТ представляет собой обычный биполярный p - n - p -транзистор, коллектор в котором разделен на две части (рис. 3.8, а). Принцип его действия заключается в следующем. При включении ДМТ по схеме с общим эмиттером и нагрузочными резисторами в цепях коллекторов (мостовая схема) в отсутствие магнитного поля инжектированные эмиттером носители заряда

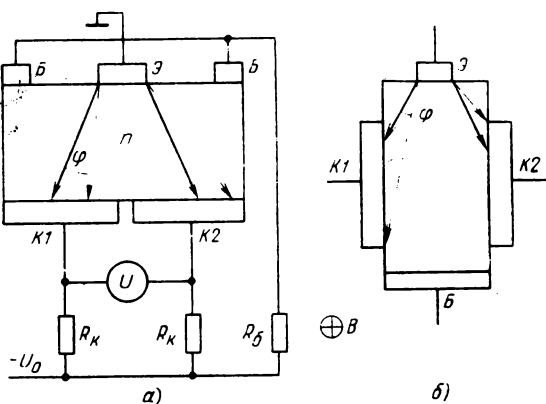


Рис. 3.8. Структуры двухколлекторных магнитотранзисторов с горизонтальными (а) и («торцевыми») (б) коллекторами

(дырки) распределяются между коллекторами примерно поровну. Токи обоих коллекторов равны и напряжение между ними отсутствует. В поперечном магнитном поле B^+ происходит перераспределение инжектированных носителей заряда между коллекторами; при этом ток коллектора $K2$ увеличивается, а ток коллектора $K1$ уменьшается, что вызывает разбаланс моста. Это приводит к изменению напряжения между коллекторами. При этом с ростом магнитного поля оно увеличивается. При изменении направления магнитного поля (B^-) ток коллектора $K2$ уменьшается, а ток коллектора $K1$ увеличивается и соответственно изменяется знак напряжения U между коллекторами.

Наряду с указанным перераспределением инжектированных носителей заряда между коллекторами происходит также изменение эффективной толщины базы. При этом в рассмотренной конструкции в магнитном поле происходит уменьшение эффективной толщины базы левой части транзистора и соответственно увеличение правой части, т. е. ток коллектора $K1$ увеличивается, а ток $K2$ уменьшается. Этот эффект противоположен эффекту перераспределения носителей заряда и приводит к уменьшению магниточувствительности ДМТ.

Этот недостаток устранен в ДМТ с «вертикальными» коллекторами, в котором омические контакты к базе и эмиттеру расположены по разные стороны от коллекторов (рис. 3.8, б). Магнитное поле, наряду с эффектом перераспределения носителей между коллекторами, уменьшает эффективную толщину базы, если ток коллектора $K2$ увеличивается, и соответственно увеличивает толщину базы для коллектора $K1$. Таким образом, изменение эффек-

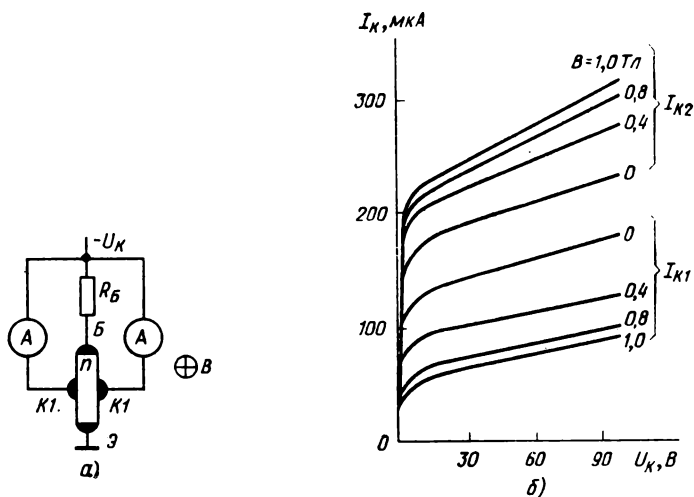


Рис. 3.9. Структура (а) и статические выходные характеристики (б) «торцевого» двухколлекторного магнитотранзистора

тивной толщины базы дополнительно увеличивает ток коллектора К2, а также уменьшает ток коллектора К1. Это приводит к дополнительному росту магниточувствительности ДМТ.

На рис. 3.9 приведены выходные характеристики ДМТ, изготовленного из германия n -типа с $\rho \approx 40$ Ом·см, $L_p \approx 3$ мм и размерами $1 \times 1 \times 4$ мм. Вольт-амперные характеристики коллекторов подобны характеристикам обычного биполярного транзистора. Вследствие некоторого различия коллекторных p - n -переходов (по площади и токам утечки) их токи в отсутствие магнитного поля несколько различаются. С приложением магнитного поля ток одного коллектора увеличивается, а другого уменьшается. Напряжение между коллекторами с ростом магнитного поля растет и при $B > 0,7$ Тл достигает насыщения. Максимальная магниточувствительность и линейность характеристики наблюдаются в области малых магнитных полей. Магниточувствительность достигает значений $\gamma \approx (2 \dots 4) \cdot 10^5$ В/А·Тл при $B < 0,4$ Тл. Она на три порядка больше магниточувствительности датчиков Холла. С понижением температуры наблюдается рост магниточувствительности.

В качестве преобразователей, чувствительных к магнитному полю, применяют также и полевые транзисторы.

Полевой гальваномагниторекомбинационный (ПГМР) магнитотранзистор состоит из полупроводниковой пластины 1, проводимость которой близка к собственной (рис. 3.10, а) и одного-двух металлических полевых электродов 4 для подвода управляющего

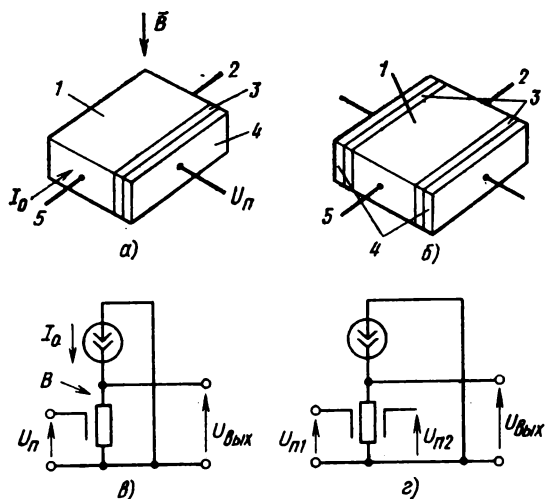


Рис. 3.10. Полевой гальваномагниторекомбинационный магнитотранзистор со структурами МДП (а) и МДПДМ (б) и схемы включения для МДП (в) и МДПДМ (г) соответственно

напряжения, изолированных слоями диэлектрика 3. На торцах пластины расположены токовые электроды 2 и 5. Магнитотранзистор ПГМР имеет МДП-структуру. Существует и другая структура магнитотранзистора: металл — диэлектрик — полупроводник — диэлектрик — металл (МДПДМ) (рис. 3.10, б), в которой управляющее напряжение подводится к обоим полевым электродам.

В основе действия ПГМР магнитотранзистора с МДП-структурой лежит изменение средней концентрации носителей заряда в полупроводнике при воздействии магнитного поля, продольного и поперечного электрических полей. Если ПГМР магнитотранзистор поместить в магнитное поле так, чтобы магнитные силовые линии были перпендикулярны продольной составляющей электрического тока, и приложить к электродам управляющее напряжение, то произойдет перераспределение концентрации носителей заряда по сечению пластины в направлении действия сил Лоренца. При этом в зависимости от разности скоростей поверхностной рекомбинации на гранях пластины, где расположены полевые электроды, и направления сил Лоренца происходит уменьшение или увеличение концентрации носителей по сравнению с равновесной. Это приводит к возрастанию или уменьшению сопротивления ПГМР магнитотранзистора. В табл. 3.1 приведены основные характеристики ПГМР магнитотранзисторов на основе германия.

Таблица 3.1

Основные характеристики магнитотранзисторов

Тип ПГМР	Структура	Выходное сопротивление, кОм	Номинальный ток, мА	Максимальная магниточувствительность, В/Тл	Максимальная вольтовая магниточувствительность, В/Тл	Диапазон индукции, Тл
МТ-1	МДП	120	0,8	$8,7 \cdot 10^4$	70	$10^{-6} \dots 10^{-1}$
МТ-2	МДП	60	1,1	$7 \cdot 10^4$	70	$10^{-7} \dots 10^{-1}$
МТ-3	МДПДМ	120	0,8	$1,25 \cdot 10^5$	100	$10^{-6} \dots 10^{-1}$
МТ-4	МДПДМ	60	1,1	$1 \cdot 10^5$	100	$10^{-7} \dots 10^{-1}$

Примечание. Диапазон температур 220...330 К. Температурный коэффициент магниточувствительности 0,2 %/К. Коэффициент нелинейности характеристики передачи $\pm 0,5$ %.

На рис. 3.11 приведены зависимости выходного напряжения ПГМР магнитотранзисторов от тока и магнитной индукции. Эти магнитотранзисторы обладают линейной характеристикой передачи. Использование ПГМР магнитотранзисторов особенно эффективно при построении измерителей магнитных величин с автоматической коррекцией погрешностей или аналого-цифровым преобразованием входной магнитной величины, различных магнитных и электрических регуляторов устройств автоматики и управления с переменной или адаптируемой структурой.

Магнитотристоры. Любой тристор, как отмечалось в гл. 2, можно представить в виде эквивалентной схемы, состоящей из двух транзисторов, поэтому магниточувствительные свойства тристоров характеризуются магниточувствительными свойствами составляющих транзисторов. Напряжение включения тристора

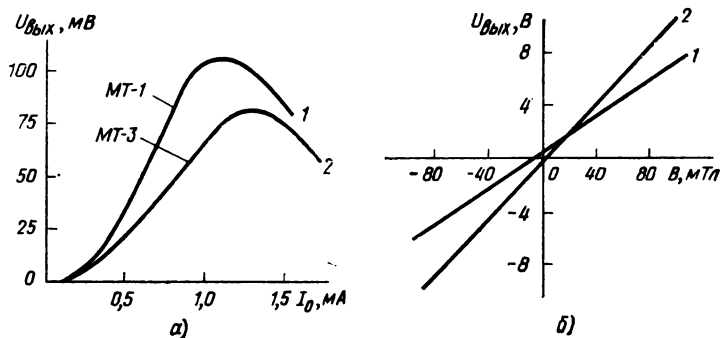


Рис. 3.11. Зависимости выходного напряжения ПГМР магнитотранзисторов со структурой МДП (1) и МДПДМ (2) от тока питания при $B=1$ мТл (а) и от магнитной индукции при $I_0=0,8$ мА (б)

выражается через коэффициенты передачи тока базы h_{21}^1 и h_{21}^2 двух транзисторов:

$$U_{\text{вкл}} = U_{\text{проб}} \sqrt[с]{1 - h_{21}^1 (1 + I_y / I_{\text{вкл}}) - h_{21}^2},$$

где $U_{\text{проб}}$ — напряжение лавинного пробоя коллекторного p - n -перехода; $I_{\text{вкл}}$ — ток включения; I_y — ток управления; $с = 2 \dots 6$. Выпускаемые в настоящее время тиристоры изготавливаются в основном методом двойной диффузии. Длина базы n - p - n -транзистора в структуре достаточно тонкая, и h_{21}^1 в поперечном магнитном поле практически не изменяется.

Длина базы второго p - n - p -транзистора порядка L_p , поэтому h_{21}^2 в магнитном поле изменяется значительно сильнее h_{21}^1 . Площадь коллектора обычно велика, и эффекта отклонения инжектированных носителей заряда от коллектора не наблюдается. Поэтому изменение h_{21}^2 , определяемое только изменением эффективной длины базы, небольшое. В таких тиристорах $U_{\text{вкл}}$ относительно слабо зависит от магнитного поля. Для увеличения магниточувствительности необходимо обеспечить более сильную зависимость h_{21}^2 от индукции магнитного поля. Этого можно достичь использованием эффекта отклонения инжектированных носителей заряда от коллектора. Наиболее удобной конструкцией, обеспечивающей эти условия, является обычный планарный тиристор, на поверхности «длинной» базы которого имеется S -область с повышенной скоростью рекомбинации неосновных носителей заряда (рис. 3.12, а). При инжекции дырок из анода A в n -базу магнитное поле направления B^+ отклоняет их в глубь базы, что уменьшает рекомбинацию и увеличивает h_{21}^2 составляющего p - n - p -транзистора. Это приводит к уменьшению $U_{\text{вкл}}$. При противоположном направлении (B^-) магнитного поля $U_{\text{вкл}}$ соответственно увеличивается.

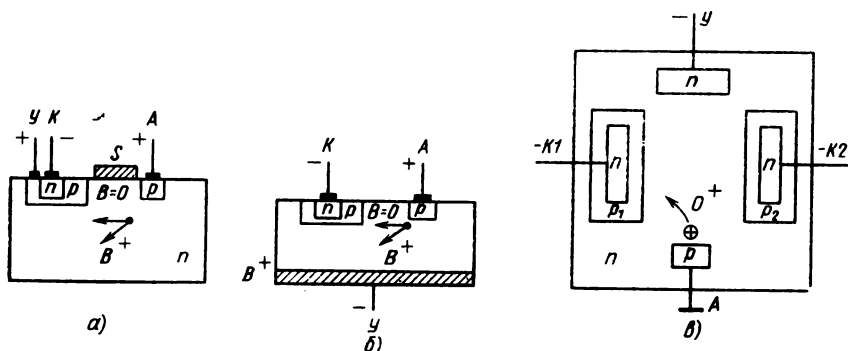
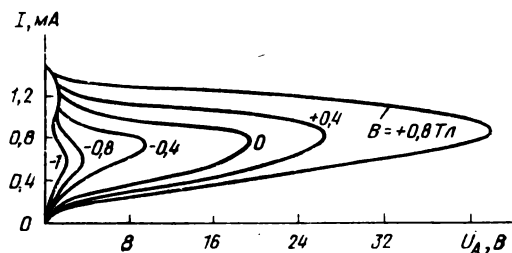


Рис. 3.12. Конструкции одиночных (а, б) и двойного (в) магнитотиристоров:
 A — анод; K — катод; Y — управляющий электрод

Рис. 3.13. Влияние магнитного поля на ВАХ магнитотристора с управляющим электродом «длинной» базой при $U_{A\gamma} = 0.67$ В



Недостатком описанной конструкции является трудность получения области с воспроизводимой скоростью поверхностной рекомбинации. Лучшей стабильностью и воспроизводимостью обладает конструкция, показанная на рис. 3.12, б. Здесь управляющий электрод $У$ базы одновременно является областью, в которой рекомбинируют инжектированные из анода дырки. В этом случае при направлении B^+ магнитного поля h_{21}^2 уменьшается, следовательно $U_{вкл}$ увеличивается. При противоположном направлении магнитного поля h_{21}^2 увеличивается, а $U_{вкл}$ уменьшается.

Обычно управляющий электрод тристора работает в режиме генерации тока. При включении управляющего электрода в режиме генерации напряжения можно дополнительно повысить магниточувствительность. Поперечное магнитное поле приводит к искривлению траекторий движения инжектированных дырок и увеличению сопротивления диода $A-U$ (магнитодиодный эффект). Следовательно, управляющий ток снижается, что приводит к уменьшению h_{21}^2 (направление B^+) и увеличению $U_{вкл}$. При обратном направлении магнитного поля (B^-) изменения управляющего тока и h_{21}^2 противоположны, и магниточувствительность меньше, чем при направлении B^+ (рис. 3.13). Напряжение включения $U_{вкл}$ тристора при малых магнитных полях изменяется почти линейно при обоих направлениях магнитного поля.

На рис. 3.12, в приведена конструкция сдвоенного магнитотристора, представляющего собой два тристора с общими диодом и базой. Если внешнее напряжение меньше $U_{вкл}$ тристоров в отсутствие магнитного поля, то оба тристора выключены. В магнитном поле B^+ инжектированные анодом A дырки отклоняются к коллектору $K1$, $U_{вкл}$ левого тристора уменьшается, и он включается. От анода к катоду $K1$ начинает поступать ток.

При противоположном направлении магнитного поля (B^-) дырки отклоняются к правому коллектору $K2$. При этом левый тристор выключается, а правый включается, и ток течет от анода к катоду $K2$. Описанные выше магнитотристоры изготавливаются по обычной планарной технологии на кремнии n -типа с удельным сопротивлением 100 ... 200 Ом·см и имеют размеры $3 \times 3 \times 0,6$ мм.

3.3. ПРИБОРЫ С ЗАРЯДОВОЙ СВЯЗЬЮ

Немногим более двадцати лет тому назад В. Бойл и Д. Смит показали на примитивном «прародителе» современных приборов с зарядовой связью (ПЗС), что между близко расположенными МОП-конденсаторами возможен обмен зарядами — зарядовая связь. Манипулируя смещениями, прикладываемыми к таким МОП-конденсаторам, можно накапливать заряды, перемещать их, разделять, объединять, т. е. осуществлять аналоговую и цифровую обработку информации на дискретных, но связанных между собой элементах.

ПЗС — полупроводниковый прибор, имеющий большое число близко расположенных и изолированных от подложки затворов (МДП-структур), под которыми может происходить перенос к стоку информационных пакетов неосновных носителей заряда, либо инжектированных из истока, либо возникших в подложке при воздействии оптического излучения.

Из данного определения можно выделить две основные особенности ПЗС. Во-первых, это полупроводниковый прибор, представляющий собой семейство полевых транзисторов. Однако принцип его работы подобно биполярным приборам основан на движении неосновных носителей заряда. Во-вторых, так как единый (непрерывный) проводящий канал между истоком и стоком отсутствует, а движение заряда происходит от затвора к затвору, то для реализации такого движения на затворы необходимо подавать соответствующие напряжения. Поэтому в отличие от всех ранее рассмотренных ППП, ПЗС является динамическим ППП, функционирование которого возможно только при подаче постоянно изменяющегося по величине управляющего напряжения.

Принцип работы ПЗС рассмотрим на примере прибора с тремя секциями затворов переноса носителей заряда, структура которого и временные диаграммы, поясняющие его работу, приведены на рис. 3.14. Прибор выполнен на подложке из n -кремния и имеет две высоколегированные p^+ -области, использующиеся соответственно как исток и сток. Между этими областями расположено семь затворов. Затвор, расположенный непосредственно рядом с истоком, является управляющим, остальные шесть затворов необходимы для переноса неосновных носителей от истока к стоку. Как видно на рис. 3.14, они попарно соединены между собой через два затвора, образуя три секции переноса. Таким образом, прибор, кроме трех традиционных для полевого транзистора выводов — исток, затвор, сток, снабжен еще тремя управляющими (динамическими) выводами.

Для нормального функционирования на секции переноса прибора подаются возрастающие ступенчатые напряжения, причем

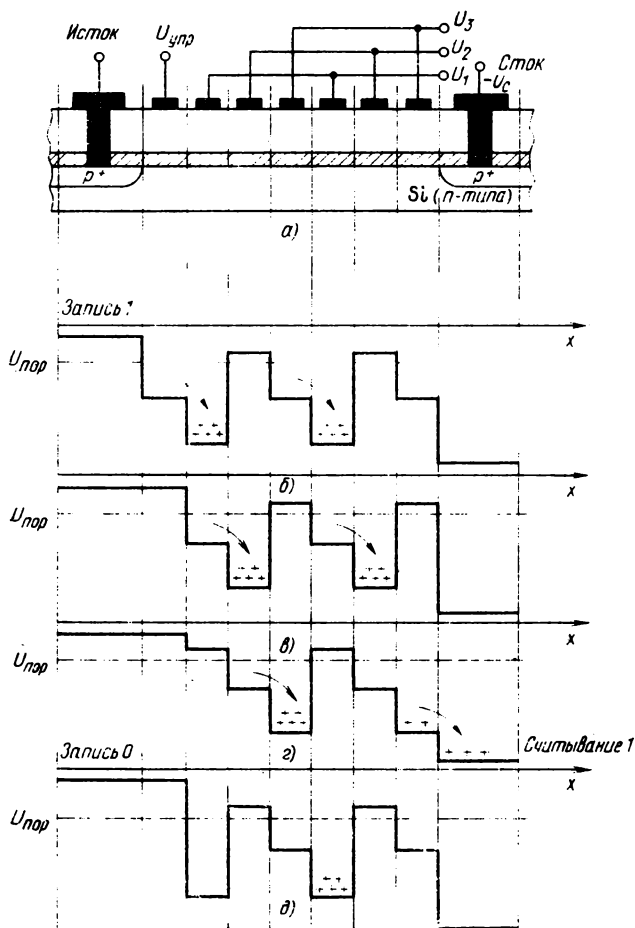


Рис. 3.14. Структура ПЗС (а) и временные диаграммы изменения напряжения на его выводах (б—д)

уровень одного из них меньше по абсолютной величине порогового напряжения МДП-структуры $U_{\text{пор}}$, а двух других — больше. Уровни напряжений циклически изменяются, создавая в теле n -полупроводника сдвигающуюся вслед за изменением ступенчатого напряжения потенциальную яму. Эта яма увлекает за собой неосновные для подложки носители заряда (в рассматриваемом случае — дырки).

Предположим, что в некоторый момент времени на управляющий затвор ПЗС подано напряжение $U_{упр}$, достаточное для образования под ним проводящего канала, а на первую секцию затворов переноса подано максимальное напряжение переноса, большее чем $U_{пор}$, т. е.

$$|U_1| > |U_{упр}| > |U_{пор}|.$$

В этом случае под затвором первой секции переноса существует потенциальная яма, в которую через канал, образованный управляющим затвором, из области истока будут перемещаться неосновные носители заряда — дырки. Под левым затвором секции переноса будет накапливаться некоторый положительный заряд. Этот заряд пропорционален напряжению U_1 (рис. 3.14, б). К моменту циклического изменения напряжений переноса напряжение с управляющего затвора снимается. Канал между истоком и потенциальной ямой запирается, а под левым затвором первой секции переноса образуется некоторый пространственный заряд из инжектированных истоком дырок. После смены напряжений на затворах секций переноса наибольшее по абсолютной величине напряжение будет приложено ко второй секции, т. е.

$$|U_2| > |U_1| > |U_{пор}|.$$

Вследствие этого объемный заряд, накопленный под затвором первой секции, будет перетекать в потенциальную яму, образовавшуюся под затвором второй секции. При этом дополнительная подпитка этого заряда со стороны истока будет отсутствовать, так как проводящий канал заперт $|U_{упр}| < |U_{пор}|$, а перетеканию заряда под затвор третьей секции препятствует напряжение U_3 , которое меньше порогового $|U_3| < |U_{пор}|$ (рис. 3.14, в). Таким образом, на втором такте изменения напряжения переноса весь объемный заряд, накопленный в первом такте под затвором первой секции, переместится под затвор второй секции.

При следующих тактах изменения напряжения переноса объемный заряд будет перемещаться от секции к секции по направлению к стоку.

На шестом такте изменения напряжения переноса объемный заряд достигнет крайнего правого затвора третьей секции и так как

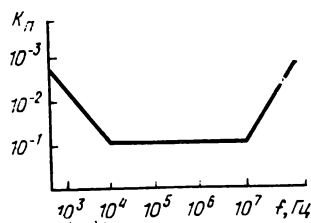
$$|U_3| < |U_c|,$$

то, следовательно, произойдет его экстракция в область стока. Это сопровождается появлением на выводе стока некоторого напряжения или протеканием в соответствующей цепи импульса тока.

Если в начальный момент напряжение на управляющем электроде больше порогового (рис. 3.14, д), т. е.

$$|U_{упр}| < |U_{пор}|,$$

Рис. 3.15. Характер изменения коэффициента потерь от частоты напряжения передачи



то накопление объемного заряда под затвором первой секции не произойдет и через семь тактов напряжения переноса с вывода стока будет снято нулевое напряжение.

Таким образом, прибор способен передавать фиксированные порции электрического заряда от истока к стоку, причем величина этого заряда определяется значением управляющего напряжения $U_{упр}$, а время задержки передачи зависит от частоты изменения напряжения на секции переноса.

Из описания принципа работы прибора видно, что функционирование прибора невозможно без воздействия внешнего циклически изменяющегося напряжения. Частота изменения этого напряжения должна выбираться с учетом следующих соображений. Очевидно, что хранение заряда в потенциальной яме вследствие токов тепловой генерации, природа которых аналогична обратному току p - n -перехода, сопряжено с потерей этого заряда. Поэтому с понижением частоты изменения напряжений переноса величина заряда, достигающая стока, уменьшается. Следовательно, с точки зрения увеличения коэффициента передачи частота изменения напряжения должна увеличиваться. Однако увеличение частоты наталкивается на ограничения, связанные с конечным временем перетекания объемного заряда из одной потенциальной ямы в другую.

Поэтому реальная частота изменения напряжения передачи имеет ограничения как сверху так и снизу и лежит в диапазоне от десятков килогерц до десятков мегагерц.

Основные параметры ПЗС характеризуются либо эффективностью передачи заряда

$$\eta = \frac{\Delta Q_{i+1}}{\Delta Q_i},$$

где ΔQ_i — заряд, находившийся под i -м затвором; ΔQ_{i+1} — заряд, находившийся под $(i+1)$ -м затвором,

либо коэффициентом потерь

$$K_{\pi} = 1 - \eta.$$

На рис. 3.15 приведена типовая зависимость K_{π} от частоты изменения напряжения передачи.

Современные ПЗС представляют собой схемы с большой степенью интеграции. Первые ПЗС насчитывали всего семь конденсаторов, в современных число элементов превышает миллион. Столь внушительный рост за сравнительно небольшой срок объясняется рядом причин. Во-первых, сам принцип зарядовой связи весьма привлекателен своей простотой и изяществом: информация в ПЗС передается зарядами без промежуточных преобразований заряда (тока) в потенциал и обратно, как это происходит, скажем, в цепочке связанных транзисторных элементов. Каждое преобразование характеризуется некоторой неопределенностью, следовательно в ПЗС, где число преобразований сведено к минимуму (на входе и выходе), достижима обработка информации наиболее воспроизводимым образом. Во-вторых, ПЗС обладают исключительной функциональной широтой: пожалуй, кроме генерации сигналов, они могут выполнять любые действия, связанные в основном с накоплением и преобразованием информации.

Таблица 3.2

Сравнительные характеристики ФПЗС и ЭЛТ

Характеристика	ФПЗС	ЭЛТ	Примечание
Пороговая чувствительность	Высокая	—	Выходная емкость меньше у ФПЗС
Разрешение	600 телевизионных (ТВ) линий в матрицах, несколько тысяч ТВ линий при гибридной сборке	—	
Растр	Жесткий (точность $\pm 0,5$ мкм)	Плавающий	Новое качество
Обработка информации внутри прибора	Осуществима	Невозможна	То же
Произвольная выборка	То же	То же	« «
Инерционность	Практически отсутствует	15...40 %	—
Потребляемая мощность, Вт	0,5	5	—
Питающие напряжения, В	5...25	200...10 000	—
Масса, г	5	50	—
Объем, см ³	0,5	5	—
Долговечность, ч	15 000	500...800	—
Механическая прочность, g	До 20 000	1000	—
Взрывоопасность	Нет	Есть	Новое качество То же « «
Микрофонный эффект	Нет	Есть	
Чувствительность к магнитным полям	Нет	Есть	

Можно назвать три основные сферы применения ПЗС: преобразование излучения в электрический сигнал — фоточувствительные ПЗС (ФПЗС); аналоговую обработку информации — линии задержки, фильтры; запоминающие устройства ПЗС (ЗУ). В-третьих, конструктивно-технологические особенности ПЗС таковы, что в них достичь высокой степени интеграции легче, нежели в других БИС. Например, ФПЗС представляют собой регулярный массив сравнительно простых по топологии элементов, к которым нет нужды изготавливать индивидуальные контакты.

Наибольшее развитие и практическое применение в настоящее время получили ФПЗС [4]. Они, по сути, заполнили вакуум в прямом и переносном смысле в такой важной области науки и техники, как телевидение. Впервые в телевидение пришли твердотельные преобразователи излучения в видеосигнал, способные не только заменить вакуумные электронно-лучевые трубки (ЭЛТ), но и привнести с собою новые качества. Жесткий геометрический растр, возможность обработки информации непосредственно на кристалле, нечувствительность к магнитным полям — далеко не полный перечень специфических свойств ФПЗС, не реализуемых в ЭЛТ. Таблица 3.2 достаточно убедительно демонстрирует достоинства ФПЗС.

К настоящему времени во всех развитых странах ФПЗС выпускаются серийно, а также появился специальный термин «твердотельное телевидение».

3.4. ФОТОЭЛЕКТРИЧЕСКИЕ ПРИБОРЫ. ПОНЯТИЕ ОБ ОПТОЭЛЕКТРОННЫХ ПРИБОРАХ

Фотоэлектрическими называют электронные приборы, преобразующие энергию излучения в электрическую энергию. Такие приборы могут строиться на фотоэффекте как в вакууме или газе, так и в полупроводнике. В настоящее время наибольшее распространение получили фотоэлектрические приборы, принцип действия которых основан на внутреннем фотоэффекте в полупроводнике. Суть его заключается в увеличении концентрации свободных носителей заряда под действием внешнего света, а следовательно, и проводимости полупроводниковых материалов. Получаемая таким образом проводимость называется *фотопроводимостью*. Она сочетается с собственной проводимостью полупроводникового материала. Фотопроводимость зависит от интенсивности и спектрального состава внешнего светового потока.

Внутренний фотоэффект может быть реализован в различных типах полупроводниковых приборов. Рассмотрим основные из них.

Фоторезистор — полупроводниковый прибор, электрическое сопротивление которого изменяется в зависимости от интенсивности

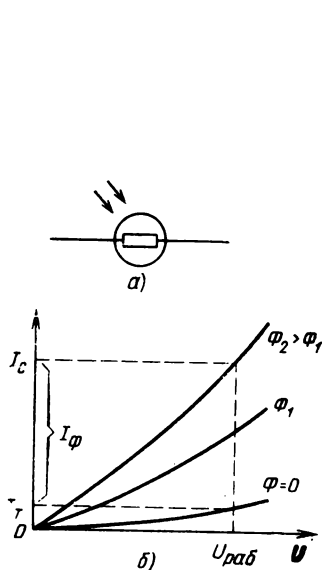


Рис. 3.16. Условное обозначение (а) и вольт-амперные характеристики (б) фоторезистора

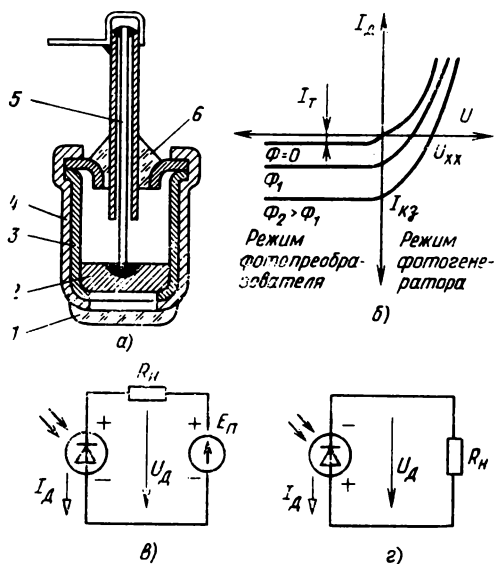


Рис. 3.17. Фотодиод:

а — конструкция (1 — стеклянная линза, 2 — кристалл с $p-n$ -переходом, 3 — кристаллодержатель, 4 — корпус, 5 — внутренний вывод, 6 — герметизация корпуса); б — вольт-амперная характеристика; в — схема включения для фотопреобразовательного режима работы; г — схема включения для фотогенераторного режима работы

и спектрального состава внешнего излучения. На рис. 3.16 показаны условное обозначение и типовые ВАХ фоторезистора для нескольких значений светового потока Φ . При отсутствии внешнего светового потока ($\Phi=0$) сопротивление фоторезистора велико и определяется собственной проводимостью полупроводникового материала. Ток, обусловленный собственной проводимостью, называется *темновым* I_τ . Под действием светового потока сопротивление фоторезистора уменьшается. В этом случае ток называется *световым* I_c . Разность между световым и темновым токами составляет *фототок* I_Φ . Конструктивно фоторезисторы выполняют в металлическом или пластмассовом корпусе с прозрачным окном, под которым расположен полупроводниковый материал.

В настоящее время применяется два вида маркировки фоторезистора: старый и новый. Старый содержит три символа. Первый символ — буквы ΦC (фотосопротивление). Второй символ — буква, указывающая тип светочувствительного материала: А — сернистый свинец, К — сернистый кадмий, Д — селенид кадмия. Третий символ — цифра, обозначающая тип конструктивного исполне-

ния. В новой маркировке буквы ФС заменены на СФ — сопротивление фоточувствительное, а тип светочувствительного материала обозначается цифрой, например СФ2-4.

Фотодиод по структуре аналогичен обычному полупроводниковому диоду. Отличие состоит в том, что его корпус снабжен дополнительной линзой, создающей внешний световой поток, направленный, как правило, перпендикулярно плоскости p - n -перехода (рис. 3.17, а). Прибор может работать в режимах фотопреобразователя и фотогенератора (рис. 3.17, б).

В режиме фотопреобразователя в цепь фотодиода включают внешний источник питания (рис. 3.17, в), обеспечивающий обратное смещение p - n -перехода. Если переход не освещен, то создается обратный темновой ток. При освещении перехода к темновому току добавляется фототок, значение которого не зависит от приложенного напряжения и пропорционально интенсивности светового потока Φ (см. рис. 3.17, б).

В режиме фотогенератора фотодиод сам является источником фото-ЭДС (рис. 3.17, г), значение которой пропорционально интенсивности светового потока. Типовое значение фото-ЭДС $E = U_{xx}$ кремниевого фотодиода составляет 0,5 ... 0,55 В, а значение тока короткого замыкания $I_{кз}$ при среднем солнечном освещении равно 20 ... 25 мА/см².

Маркировка фотодиода содержит буквы ФД (фотодиод) и цифру (порядковый номер разработки, например ФД-3).

Фототранзистор имеет структуру, аналогичную структуре биполярного транзистора (рис. 3.18, а). Он обладает более высокой чувствительностью, чем фотодиод. Световой поток воздействует перпендикулярно плоскости эмиттерного p - n -перехода, генерируя в базе пары носители заряда. Неосновные для базы носители заряда притягиваются коллекторным переходом, увеличивая коллек-

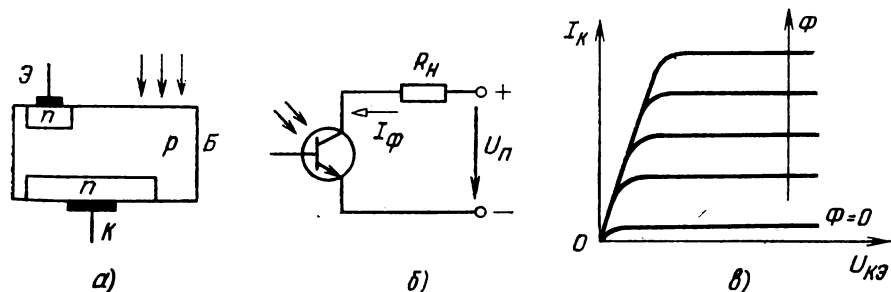


Рис. 3.18. Фототранзистор:

а — структура; б — схема включения; в — семейство выходных характеристик

торный ток. Однако этот ток является только частью тока коллектора, так как уход из базы неосновных носителей создает в ней нескомпенсированный объемный заряд основных носителей. Этот заряд снижает потенциальный барьер эмиттерного перехода. В результате происходит увеличение количества носителей заряда, инжектируемых эмиттером в область базы, а следовательно, и увеличение коллекторного тока. Таким образом, в фототранзисторе происходит усиление фототока, что и объясняет большую чувствительность его по сравнению с фотодиодом.

Из рассмотренного принципа работы фототранзистора следует, что вывод базы является необязательным (см. рис. 3.18, б). Вольт-амперные характеристики фототранзистора, используемого без вывода базы, аналогичны характеристикам биполярного транзистора, включенного по схеме с общим эмиттером. Отличие состоит в том, что управляющим параметром является не ток базы, а световой поток Φ (рис. 3.18, в).

Внутренний фотоэффект в полупроводнике может быть использован для построения и других полупроводниковых приборов: фототиристора, однопереходного фототранзистора и др. Следует отметить, что широкого самостоятельного применения приборы с внутренним фотоэффектом не получили. Объясняется это тем, что значение фототока зависит не только от интенсивности светового потока, но и от его спектрального состава. Изменение последнего приводит к неоднозначным результатам в работе устройств, содержащих указанные приборы. Этого недостатка лишены оптоэлектронные приборы (оптопары).

Оптоэлектронный прибор содержит одновременно источник и приемник световой энергии. Для оптопары как входным, так и выходным параметром является электрический сигнал, причем гальваническая связь между входной и выходной цепями отсутствует. В качестве излучателя оптопары могут быть использованы инфракрасный излучающий диод, светоизлучающий диод, люминесцентный излучатель или полупроводниковый лазер. Наибольшее распространение в настоящее время получил инфракрасный излучающий диод, что объясняется простотой его структуры, управления и высоким КПД. В качестве приемника оптопары находят применение рассмотренные выше фотоэлектрические приборы: фоторезистор, фотодиод, фототранзистор и др. Следует отметить, что оптопара позволила создать аналог разделительного трансформатора, что является особенно актуальным в интегральной микроэлектронике. Условные обозначения оптопары, включающей различные приемники, приведены на рис. 3.19.

Для усиления и согласования выходного сигнала оптопары со стандартным уровнем напряжения, используемым для передачи и преобразования цифровых сигналов, служат оптоэлектронные ИС.

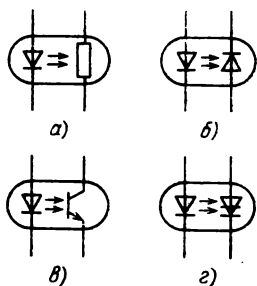


Рис. 3.19. Условные обозначения оптопары:

а — резистивная; б — диодная; в — транзисторная с биполярным транзистором; г — тиристорная

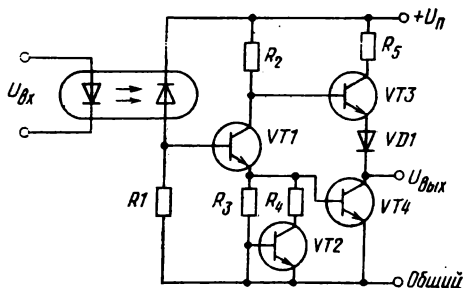


Рис. 3.20. Схема оптоэлектронного переключателя-инвертора

В них применяются, как правило, диодная оптопара (обладающая максимальным быстродействием) и импульсный усилитель. На рис. 3.20 показана принципиальная электрическая схема одного из таких устройств.

Маркировка оптопар включает семь символов. Первый обозначает исходный материал (обычно это буква А — соединение галлия — или цифра 3 — для приборов специального назначения). Второй символ — буква О — оптопара. Третий символ указывает тип приемника оптопары: Д — диод, Т — транзистор, У — тиристор, Р — с открытым оптическим каналом. Четвертый, пятый и шестой символы указывают номер прибора. Седьмой символ — буква, обозначающая классификацию по группам параметров.

Примеры маркировки:

АОД 130А — оптопара диод-диод на основе соединения галлия, номер прибора 130, группа параметров А;

АОТ 110А — оптопара диод-транзистор на основе соединения галлия, номер прибора 110, группа параметров А;

АОУ 115А — оптопара диод-тиристор на основе соединения галлия, номер прибора 115, группа параметров А.

3.5. ИНДИКАТОРНЫЕ ПРИБОРЫ

Индикаторными приборами называют приборы, предназначенные для визуального представления информации. Важность таких приборов трудно переоценить, так как до 80% информации воспринимается человеком через органы зрения. Развитие систем программного управления, автоматического сбора и обработки информации, контрольно-измерительной аппаратуры, вычислительной техники привело к созданию множества разнообразных при-

боров, воспроизводящих информацию в виде, удобном для зрительного восприятия.

Рассмотрим индикаторные приборы, предназначенные для преобразования электрических сигналов в графические образы. В основу действия таких приборов положены различные физические явления и процессы, наибольшее распространение среди которых получили электролюминесценция, процессы в газовом разряде, светоизлучающие процессы в полупроводнике, оптические процессы в жидких кристаллах. Электролюминесценция и процессы, связанные с электрическим разрядом в газах, нашли применение в индикаторных электровакуумных приборах (ЭВП).

Электровакуумным прибором называется электронный прибор, в котором проводимость осуществляется посредством электронов или ионов, движущихся между электродами через вакуум или газ. Электровакуумный прибор конструктивно состоит из герметичного баллона — корпуса прибора, группы электродов, выполненных из стекла, керамики, металла или их комбинаций и предназначенных для образования и распределения облака носителей заряда (например, электронного облака), и внешних выводов, посредством которых прибор соединяют с внешними электрическими цепями. Электроды, предназначенные для испускания (эмиссии) и поглощения носителей электрического заряда, называют соответственно *катодом* и *анодом*. Характер переноса заряда между катодом и анодом можно изменять введением между ними дополнительных электродов. Число используемых в ЭВП электродов и тип носителей заряда определяют конкретные свойства прибора.

Область применения ЭВП в настоящее время ограничена в основном генераторами мощных СВЧ колебаний и индикаторными приборами. Из остальных областей ЭВП практически полностью вытеснены полупроводниковыми приборами.

Явление свечения некоторых материалов при бомбардировке их направленным пучком электронов используется в ЭВП, называемых электронно-лучевыми трубками (ЭЛТ).

Электронно-лучевые трубки, действие которых основано на формировании и управлении по интенсивности и положению одним или более электронными пучками, классифицируют по назначению и способу управления электронным пучком. В зависимости от назначения ЭЛТ подразделяют на приемные, передающие, запоминающие и др. В качестве индикаторных приборов используют приемные трубки.

По способу управления электронным пучком ЭЛТ подразделяют на трубки с электростатическим и магнитным управлением. В первых для управления пучком электронов применяют электрическое поле, а во вторых — магнитное.

Электронно-лучевые трубки с магнитным управлением получили широкое распространение в качестве устройств отображения информации и, в частности, в качестве индикаторных устройств дисплеев ЭВМ.

Электронно-лучевые трубки с электростатическим управлением обеспечивают более высокие частотные свойства, поэтому их широко используют в качестве индикаторов электронных осциллографов.

Рассмотрим работу электронно-лучевой трубки с электростатическим управлением, конструкция которой схематически показана на рис. 3.21, а. Она представляет собой стеклянную колбу, в узкой части которой расположены электронный прожектор (ЭП) и отклоняющая система (ОС). В торцевой части колбы находится экран (Э), покрытый специальным составом — люминофором, способным светиться при бомбардировке электронным пучком. Электронный прожектор состоит из подогреваемого нитью накала (Н), катода (К), модулятора (М) и двух анодов (A_1 и A_2).

Электроны, покинувшие катод, образуют электронное облако, которое под действием поля анодов движется в сторону экрана, формируясь в электронный пучок. Этот пучок проходит модуля-

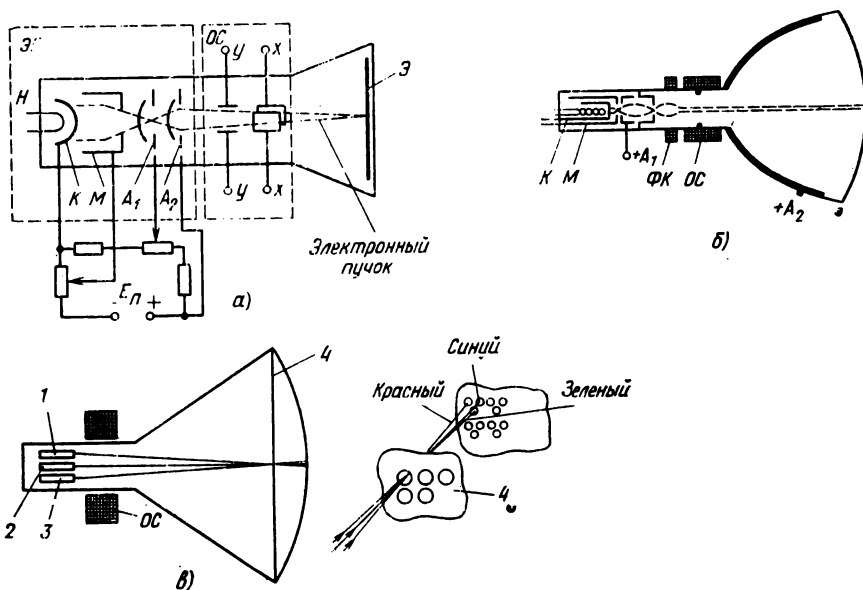


Рис. 3.21. Схематическое устройство ЭЛТ с электростатическим управлением (а), магнитным управлением (б) и цветным изображением (в):

1, 2, 3 — электронный прожектор для получения красного, зеленого и синего цветов соответственно; 4 — цветоотделительная (теневая) маска

тор, выполненный в виде пологого цилиндра с отверстием в донной части. К модулятору прикладывается отрицательное относительно катода напряжение в несколько десятков вольт. Это напряжение создает тормозящее поле, предварительно фокусирующее электронный пучок и изменяющее яркость свечения экрана. Для получения требуемой энергии (скорости) электронного пучка на аноды подается положительное относительно катода напряжение: на анод A_1 — порядка нескольких сотен, а на анод A_2 — нескольких тысяч вольт. Значение напряжения для анода A_2 выбирают из условия установки фокуса второй электростатической линзы в плоскости экрана.

Отклоняющая система ЭЛТ состоит из двух пар взаимно перпендикулярных пластин, расположенных симметрично относительно оси колбы. Напряжение, прикладываемое к пластинам, искривляет траекторию электронного пучка, вызывая тем самым отклонение светового пятна на экране. Значение этого отклонения h_3 прямо пропорционально напряжению U_{OC} на пластинах ОС и обратно пропорционально напряжению U_A , на втором аноде, т. е.

$$h_3 = k_1 U_{OC} / U_A,$$

где k_1 — коэффициент пропорциональности.

Электронно-лучевая трубки с магнитным управлением (рис. 3.21, б), как и ЭЛТ с электростатическим управлением, включает в себя ЭП и ОС. Конструкции ЭП обеих трубок аналогичны. Предварительная фокусировка электронного пучка в трубке с магнитным управлением также осуществляется двумя электростатическими линзами, образованными соответственно электрическими полями между модулятором и первым анодом и между первым и вторым анодами. В функции первого анода, называемого иногда ускоряющим электродом, дополнительно входит экранировка модулятора от второго анода, что почти полностью исключает зависимость яркости свечения экрана от напряжения второго анода.

Внутри ЭЛТ расположен еще один электрод, называемый аквадагом (АК). Аквадаг электрически соединен с вторым анодом.

Основная фокусировка электронного пучка производится неоднородным магнитным полем фокусирующей катушки (ФК), конструктивно расположенной на горловине колбы ЭЛТ. Это поле, возникающее при протекании по ФК постоянного тока, придает электронам вращательное движение вокруг оси пучка, фокусируя его в плоскости экрана.

Магнитная ОС содержит две пары последовательно включенных взаимно перпендикулярных обмоток, конструктивно выполненных в виде единого блока. Результирующее поле, создаваемое этими обмотками, заставляет электроны двигаться по окружности, радиус которой обратно пропорционален напряженности магнит-

ного поля. Покидая поле, электроны пучка двигаются по касательной к исходной траектории, отклоняясь от геометрической оси колбы. Значение полученного таким образом отклонения h_m прямо пропорционально напряженности H_{oc} поля ФК и обратно пропорционально корню квадратному из напряжения U_{A_2} на втором аноде, т. е.

$$h_m = k_2 H_{oc} \sqrt{U_{A_2}}.$$

Сравнивая полученное выражение для h_m с ранее полученным выражением для h_z , можно заключить, что отклонение электронного пучка в ЭЛТ с магнитным управлением меньше зависит от значения ускоряющего напряжения на аноде A_2 , чем отклонение пучка в ЭЛТ с электростатическим управлением. Поэтому при заданном значении напряжения на втором аноде ЭЛТ с магнитным управлением обеспечивает больший угол отклонения электронного пучка, чем ЭЛТ с электростатическим управлением, что позволяет значительно уменьшить ее размеры. Типовое значение максимального угла отклонения в ЭЛТ с магнитным управлением составляет 110° , а в ЭЛТ с электростатическим управлением — не превышает 30° . Соответственно при заданных значениях отклонения электронного пучка ЭЛТ с магнитным управлением работает с большими значениями напряжения второго анода, чем ЭЛТ с электростатическим управлением, что позволяет повысить яркость получаемого изображения.

К сказанному следует добавить, что ЭЛТ с магнитным управлением обеспечивает лучшую фокусировку электронного пучка, а следовательно, и лучшее качество изображения, что и предопределило их широкое распространение в качестве индикаторных устройств дисплеев ЭВМ.

Рассмотренные ЭЛТ обеспечивают монохроматический режим отображения информации. В настоящее время все большее распространение находят ЭЛТ с цветным изображением.

Электронно-лучевая трубка с цветным изображением (рис. 3.21, в) реализует принцип получения цветных образов как суммы изображений красного, зеленого и синего цветов. Изменяя относительную яркость каждого из них, можно изменять цвет воспринимаемого изображения. Поэтому конструктивно ЭЛТ содержит три самостоятельных ЭП, пучки которых сфокусированы на некотором расстоянии от экрана (рис. 3.21, г). В плоскости пересечения лучей расположена цветоотделительная маска — тонкая металлическая пластина с большим числом отверстий, диаметр которых не превышает 0,25 мм.

Экран цветной ЭЛТ неоднороден и состоит из множества люминесцирующих ячеек, число которых равно числу отверстий маски. Ячейка составлена из трех круглых элементов люмино-

фора, светящихся красным, зеленым или синим цветом. Например, цветной кинескоп с размером экрана по диагонали 59 см имеет маску с более чем полумиллионом отверстий, а общее число люминесцирующих элементов экрана превышает 1,5 млн.

Пройдя через отверстия маски, электронные пучки расходятся. Расстояние между маской и экраном подобрано так, чтобы после прохождения отверстия маски электроны каждого пучка попадали на элементы экрана, люминесцирующие определенным цветом. Из-за малых размеров светящихся элементов экрана глаз человека уже на небольшом удалении не способен различать их и воспринимает суммарное свечение всех ячеек, интегральные цвета которых зависят от интенсивности электронного пучка каждого ЭП. Если на модуляторы всех трех ЭП подать равные напряжения, то световые элементы экрана будут светиться одинаково и результирующий цвет будет восприниматься как белый. При синхронном изменении напряжений на модуляторах яркость белого цвета изменяется. Следовательно, подавая на модуляторы равные напряжения, можно получить все градации свечения экрана — от ярко-белого до черного. Таким образом, цветные кинескопы могут без искажений воспроизводить и черно-белое изображение.

Газоразрядные приборы для отображения информации используют явление свечения газа, вызванное приложенным к нему напряжением. В зависимости от вида электрического разряда различают газоразрядные приборы тлеющего, дугового и коронного разряда. При разработке устройств индикации наибольшее распространение получили приборы с тлеющим разрядом.

Неоновая лампа — простейший индикаторный прибор с тлеющим разрядом. Лампа имеет два электрода, выполненных в виде дисков или стержней различной конфигурации, помещенных в герметичный стеклянный баллон, заполненный газовой смесью на основе неона. Под действием внешнего напряжения между электродами возникает тлеющий разряд, сопровождающийся свечением газа.

Основной эксплуатационной характеристикой неоновой лампы является ее вольт-амперная характеристика (рис. 3.22, б). Она выражает зависимость тока I двухполюсника, образованного последовательным соединением неоновой лампы и ограничительного резистора (рис. 3.22, а), от приложенного напряжения U . В момент достижения напряжения уровня зажигания $U_{зж}$, ток в цепи резко увеличивается, что соответствует возникновению тлеющего разряда. При уменьшении напряжения ток в цепи плавно уменьшается и при достижении критического уровня U_n неоновая лампа гаснет. Приведенная зависимость носит явно выраженный релейный характер и поэтому часто называется *релейной характеристикой*.

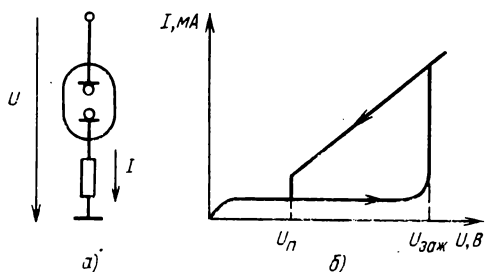


Рис. 3.22. Условное обозначение (а) и вольт-амперная характеристика (б) неоновой лампы

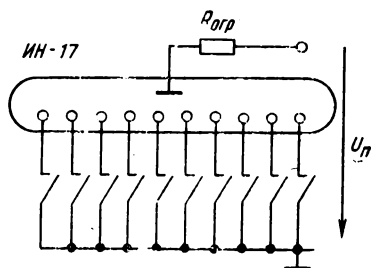


Рис. 3.23. Типовая схема включения знакового газоразрядного индикатора

Основными параметрами неоновой лампы являются напряжение зажигания $U_{зж}$ и наибольший рабочий ток разряда $I_{р max}$.

Напряжение зажигания $U_{зж}$ неоновой лампы изменяется от нескольких десятков до сотен вольт при прямом токе порядка единиц миллиампер.

Маркировка неоновой лампы включает буквы ТН (Т — тлеющий разряд, Н — газосе наполнение — неон) и цифры, обозначающей номинальный ток разряда в мА. Например, маркировка ТН-0,3 означает: неоновая лампа тлеющего разряда с номинальным током 0,3 мА.

Знаковый газоразрядный индикатор по принципу действия аналогичен неоновой лампе. В нем для отображения информации имеется несколько катодов, формы которых повторяют требуемые цифровые или буквенные символы. Индикаторы выполняют либо с торцевыми, либо с боковым расположением символов. При замыкании выбранного ключа под действием напряжения, приложенного между анодом и одним из катодов, прикатодная часть прибора начинает светиться, повторяя форму катода. Это свечение используется для отображения выбранного символа. Напряжение зажигания такого индикатора составляет около ста вольт при потребляемом токе порядка единиц миллиампер. На рис. 3.23 приведена типовая схема включения газоразрядного индикатора.

Маркировка индикаторных ламп (как и неоновых) включает две буквы (ИН — индикаторная) и одну цифру, указывающую номер модификации прибора (например, ИН-4).

Особенностью рассмотренных индикаторных приборов является необходимость использования высоковольтного источника питания, напряжение которого лежит в пределах от сотен вольт (для газоразрядных приборов) до десятков киловольт (для электронно-

лучевых трубок). Применение таких приборов в современной низковольтной аппаратуре, выполненной на интегральных схемах, неоправданно усложняет ее.

За последние годы разработаны низковольтные индикаторные приборы, рабочее напряжение которых составляет от единиц до десятков вольт. Это вакуумные накаливаемые и люминесцентные, полупроводниковые и жидкокристаллические индикаторы. Конструкция таких индикаторов позволяет синтезировать из небольшого числа элементов — светоизлучающих сегментов — большое число цифр и букв, что по сравнению с газоразрядными индикаторами делает их более универсальными.

Низковольтные индикаторы по принципу действия классифицируют на активные (основаны на преобразовании энергии электрического тока в световой поток) и пассивные (основаны на модуляции внешнего светового потока под действием электрического поля). К первому классу относятся вакуумные накаливаемые, полупроводниковые и вакуумные люминесцентные индикаторы, ко второму — жидкокристаллические индикаторы.

Вакуумный накаливаемый индикатор представляет собой электровакуумный прибор, внутри которого расположены элементы излучения в виде нитей накаливания.

Индикатор выполняется в виде цилиндрического или прямоугольного стеклянного баллона, в котором помещено диэлектрическое основание, как правило, черного цвета. На основании установлены опоры, между которыми подвешено от семи до десяти самостоятельно управляемых прямых нитей накаливания. Эти нити изготовляют витыми из вольфрамового сплава толщиной около 60 мкм. Один из концов всех нитей накаливания делают общим, а другие концы выводят из баллона для внешней коммутации.

Применение облегченного температурного режима (температура нагрева спирали не превышает 1250°С, что примерно вдвое ниже температуры накаливания нитей обычных ламп) исключает провисание нитей и позволяет обеспечить достаточно высокую надежность работы индикатора.

Из всех низковольтных приборов вакуумные накаливаемые индикаторы обладают самой высокой яркостью свечения, что позволяет эксплуатировать их в любых условиях внешнего освещения, вплоть до прямого солнечного света. Цвет свечения индикатора соломенно-желтый. Внутреннее расположение нитей дает возможность отображать арабские цифры от 0 до 9, а также многие буквы русского и латинского алфавитов.

В качестве примера на рис. 3.24 показан внешний вид вакуумного накального индикатора типа ИВ-13. Он выполнен в виде стеклянной колбы с торцевым расположением выводов и боковым расположением сегментов. Следует отметить, что для обеспечения одинаковой яркости свечения все нити индикатора выполнены оди-

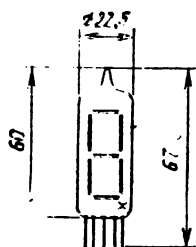


Рис. 3.24. Вакуумный накаливаемый индикатор типа ИВ-13

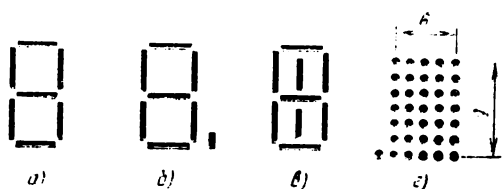


Рис. 3.25. Расположение светодиодных элементов в семи- (а), восьми- (б), десяти- (в) сегментном и матричном (г) индикаторах

наковой длины. Поэтому разделительный десятичный знак изображается не в виде точки или запятой, а в виде знака умножения, как показано на рис. 3.24.

Маркировка вакуумных накаливаемых индикаторов подобна маркировке газоразрядных индикаторов и состоит из букв ИВ (индикатор вакуумный) и цифр (номер модификации прибора).

Полупроводниковый индикатор выполняют на основе светоизлучающих диодов. Используя различный исходный материал, можно получить светоизлучающие диоды с различным цветом свечения — от красного до зеленого. Светодиодные индикаторы изготавливают как бескорпусными, так и в металлическом, металло-керамическом или пластмассовом корпусах. При этом во всех конструкциях принимают специальные меры для визуального увеличения размеров индикаторов: используют фокусирующие и диффузионные линзы, прозрачные пластмассовые корпуса, создают многократные отражения от внутренних поверхностей излучающего диода и т. д. Диаметр светового пятна индикатора составляет 1,5 ... 4 мм.

Светоизлучающие диоды применяют автономно в виде семи-десяти-сегментных знаков синтезирующих индикаторов (рис. 3.25, а, б, в) либо набирают в матричные и мозаичные одноцветные или многоцветные (рис. 3.25, г) панели. В зависимости от размера символа в каждом сегменте может использоваться либо один, либо несколько последовательно включенных светоизлучающих диодов. Высота символа в индикаторе колеблется от 2,5 до 18 ... 25 мм.

Для составления многоразрядных индикаторов одnorазрядные индикаторы объединяют в группы, содержащие от 2 до 12 приборов (рис. 3.26). Такие индикаторы широко применяются в микрокалькуляторах.

Наиболее универсальными являются матричные полупроводниковые индикаторы, позволяющие отображать арабские цифры от 0 до 9, римские цифры, буквы русского и латинского алфавитов, различные знаки и символы. Такие

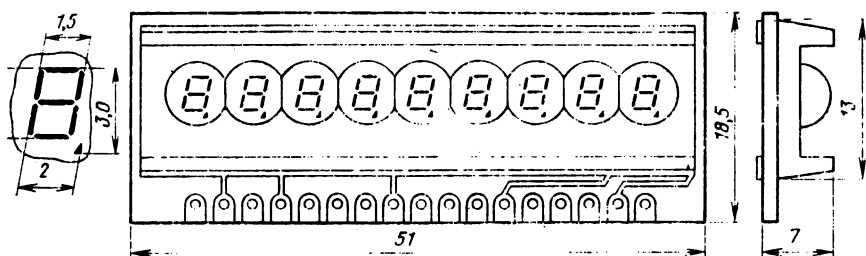


Рис. 3.26. Многоразрядный полупроводниковый индикатор типа АЛС318

индикаторы представляют собой матрицы (панели), содержащие, например, 7×5 или 8×5 светонизлучающих диодов, соединенных так, что для высвечивания конкретной световой точки необходимо подать напряжение на выводы соответствующих строки и столбца.

Электрические параметры полупроводниковых индикаторов определяются как их конструкцией, так и типом исходного полупроводникового материала. Рабочее напряжение одного светонизлучающего диода лежит в интервале 1,5 ... 2,5 В, а ток — 3 ... 20 мА.

Вакуумный люминесцентный индикатор аналогично ЭЛТ использует эффект свечения люминофора при бомбардировке его потоком электронов. Индикатор (рис. 3.27) выполнен в виде керамического основания 1, на котором имеются углубления, повторяющие по форме сегменты отображаемых символов 2. Донная

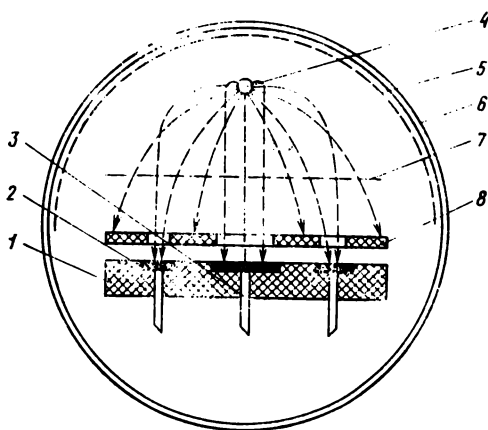


Рис. 3.27. Конструкция вакуумного люминесцентного индикатора:

1 — керамическое основание; 2 — аноды-сегменты; 3 — вывод анода; 4 — катод прямого накала; 5 — токопроводящее покрытие; 6 — стеклянный баллон; 7 — управляющая сетка; 8 — экранирующая маска

часть углублений покрыта токопроводящим слоем, служащим анодом и покрытым сверху слоем низковольтного люминофора. Параллельно анодам на специальных подставках расположены нити вольфрамовых катодов прямого накала 4. Между анодами и катодами размещены управляющая сетка 7 и экранирующая маска 8. Обычно сетка и анод находятся под одинаковым относительно катода потенциалом. С помощью сетки поток электронов с катода равномерно распределяется по всей поверхности анода, что вызывает его равномерное свечение. Катод, на который подается постоянное напряжение 0,85 ... 5 В, испускает поток электронов. Этот поток притягивается потенциалом сетки и анода. Так как сетка выполнена достаточно редкой, ускоренный поток электронов по инерции пролетает ее и вызывает свечение анодов, на которые в данный момент подано положительное напряжение. В зависимости от типа люминофора индикатор имеет либо зеленый, либо красный цвет свечения. Напряжение питания анодов индикатора лежит в диапазоне 20 ... 30 В.

Вакуумные люминесцентные индикаторы в настоящее время используются в одnorазрядных и многоразрядных буквенно-цифровых, матричных, мнемонических (предназначены для отображения специальных условных знаков) и шкальных индикаторах.

В качестве примера на рис. 3.28 показан вакуумный люминесцентный индикатор типа ИЛТ4-30М (табло), предназначенный для индикации уровня сигнала в стереофонической аппаратуре. Индикатор содержит как буквенные, так и графические символы двух цветов — зеленого и красного.

Вакуумные люминесцентные индикаторы нашли широкое распространение благодаря высокой яркости и возможности получения многоцветного свечения в одном баллоне, полной электрической совместимости с интегральными схемами, малой потребляемой мощности и возможности создания гибридных вакуумно-полупроводниковых дисплеев.

Маркировка индикаторов содержит буквы ИВ, ИВЛ, ИЛМ и ИЛТ (индикатор вакуумный; индикатор вакуумный люминесцентный, индикатор люминесцентный матричный и табло) и цифры, обозначающие порядковый номер разработки. Например, ИВ-3 означает — одnorазрядный цифровой индикатор; ИВ-27 означает — 14-разрядный цифровой индикатор.

Жидкокристаллический индикатор (ЖКИ) по своей природе пассивен, т. е. требует внешнего освещения, и работает за счет изменения оптической плотности жидкого кристалла. По способу использования внешнего освещения ЖКИ подразделяют на индикаторы, работающие на просвет и на отражение.

ЖКИ состоят из двух параллельно расположенных стеклянных пластин, на внутренних поверхностях которых нанесены пленочные электроды (рис. 3.29).

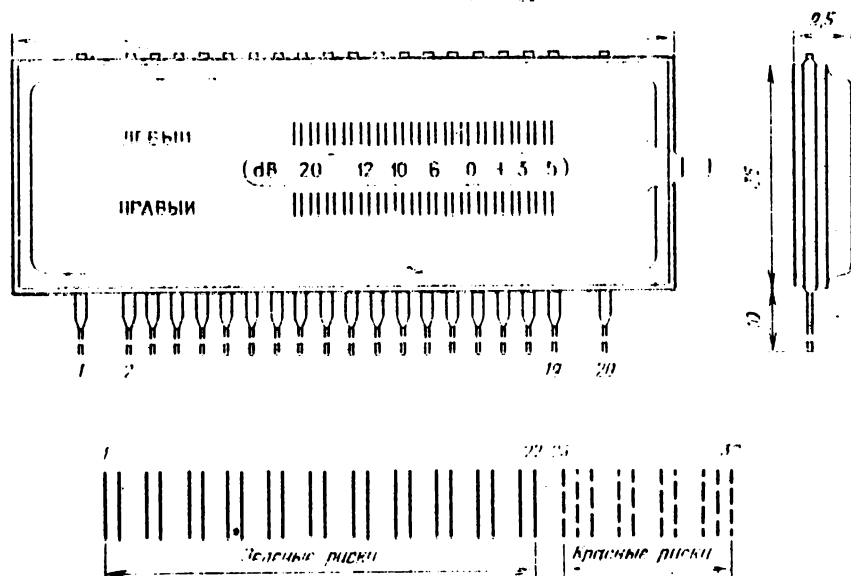


Рис. 3.28. Вакуумный люминесцентный индикатор типа ИЛТ4-30М

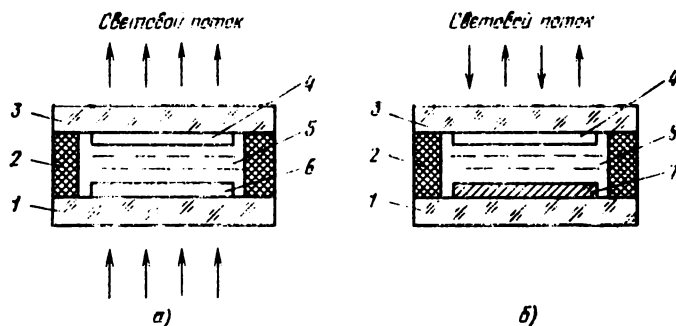


Рис. 3.29. Конструкции жидкокристаллических индикаторов, работающих на просвет (а) и отражение (б):

1, 3 — стеклянные пластины; 2 — клеевое соединение; 4 — передний прозрачный электрод; 5 — жидкокристаллическое вещество; 6 — задний прозрачный электрод; 7 — задний отражающий электрод

Межэлектродное пространство заполнено жидкокристаллическим веществом. Один из электродов выполняется в виде рисунка отображаемого знака, а второй является общим. У ЖКИ, работающего на просвет, оба электрода прозрачны, а у ЖКИ, работающего на отражение, внутренний общий электрод

имеет зеркальную поверхность. В зависимости от свойств используемых жидких кристаллов возможно получение одноцветных темных изображений на светлом фоне, светлых изображений на темном фоне или цветных изображений.

В настоящее время промышленностью выпускаются одноразрядные и много-разрядные цифровые, а также шкальные жидкокристаллические индикаторы.

Индикаторы питаются переменным током, не содержащим постоянной составляющей, напряжением 3...24 В. Ток потребления составляет десятки микро-ампер.

Основными преимуществами жидкокристаллических индикаторов являются сверхмалое потребление энергии, хорошие яркость и контрастность изображения при сильном внешнем освещении, согласованность по уровням напряжения с КМОП-ИС, простота конструкции и высокая долговечность. К недостаткам относятся малый интервал рабочих температур и большая инерционность.

Маркировка знаковинтезирующих индикаторов. принятая в настоящее время, представляет собой восьмизначную буквенно-цифровую систему условных обозначений. Она включает следующие элементы. Первый элемент — буква И, обозначающая принадлежность к знаковинтезирующим индикаторам. Второй элемент — буква, обозначающая тип индикатора: Н — вакуумный нака-ливаемый, Л — вакуумный люминесцентный, Ж — жидкокристаллический, П — полупроводниковый. Третий элемент — буква, обозначающая вид отображаемой информации: Д — единичная, Ц — цифровая, В — буквенно-цифровая, Т — шка-льная, М — мнемоническая, Г — графическая. Четвертый элемент — число, отобра-жающее порядковый номер разработки: с 1 до 69 — индикаторы без встроен-ного управления, с 70 до 99 — индикаторы со встроенным управлением. Пятый элемент — буква, отображающая классификацию по группе параметров (исполь-зуются буквы русского алфавита от А до Я за исключением букв З, О, Ы, Ъ, Ь, Ч, Ш, Щ). Шестой элемент — число, обозначающее количественную характери-стику информационного поля индикатора: для одно- и многоразрядных цифро-вых индикаторов — дробь, в числителе которой число разрядов, в знаменателе — число сегментов; для одно- и многоразрядных матричных индикаторов — дробь, в числителе которой число разрядов, в знаменателе — произведение числа элементов в строке и в столбце; для матричных индикаторов без выделения знакоместа — произведение числа элементов в строке и в столбце; для мнемо-нических и шкальных индикаторов — число элементов в индикаторе. Седьмой элемент — буква, обозначающая цвет свечения: для моноцветных К — красный, Л — зеленый, С — синий, Ж — желтый, Р — оранжевый, Г — голубой; для мно-гоцветных — буква М. Восьмой элемент — цифра от 1 до 8, определяющая мо-дификацию конструктивного исполнения бескорпусных приборов.

Специальную маркировку имеют индикаторы, предназначенные для исполь-зования в аппаратуре массового потребления. Перед указанным восьмизначным обозначением в этой маркировке стоит буква К.

Примеры маркировки индикаторов: КИПГ-02А 8×8Л — индикатор массо-вого потребления (К), знаковинтезирующий (И), полупроводниковый (П) с ого-

бражением графической информации (Г), номер разработки 2 (Q2); группа параметров А, матричный размером 8×8 элементов (8×8), с зеленым свечением (Л); ИЖЦ5 — 6/7 — знакосинтезирующий индикатор (И), жидкокристаллический (Ж), цифровой (Ц), номер разработки 5, многоразрядный с числом разрядов 6 на 7 сегментов в каждом разряде (6/7).

Контрольные вопросы

1. Чем объясняется широкое применение на практике полупроводниковых датчиков температуры?
2. Какие гальваноманнитные явления Вам известны?
3. Поясните с помощью магнитодиодного эффекта изменение сопротивления базы.
4. Поясните принцип работы магнитодиода и его основные характеристики.
5. В чем заключается принцип работы двухколлекторного магнитотранзистора?
6. Какова конструкция магнитотиристора и какое влияние оказывает магнитное поле на его характеристики?
7. Поясните принцип работы ПЗС.
8. Назовите основные сферы применения ПЗС.
9. В чем основное различие ЭЛТ с электростатическим и магнитным управлением?
10. Поясните принцип действия ЭЛТ с электростатическим управлением?
11. Какие принципы используются в ЭЛТ цветного изображения?
12. На каких физических свойствах и явлениях основан принцип действия различных индикаторных приборов?
13. Что такое активные и пассивные индикаторы?
14. Какие существуют разновидности конструкций полупроводниковых индикаторов?
15. Какие индикаторы являются универсальными — знакосинтезирующие или матричные?
16. Каков принцип действия жидкокристаллического индикатора?
17. По какой причине полупроводниковые фотоэлектрические приборы не находят широкого самостоятельного применения?
18. Что такое оптопара?

ЧАСТЬ ВТОРАЯ

АНАЛОГОВЫЕ И ИМПУЛЬСНЫЕ ЭЛЕКТРОННЫЕ УСТРОЙСТВА

ГЛАВА 4.

РАСЧЕТ НЕЛИНЕЙНЫХ ЭЛЕКТРИЧЕСКИХ ЦЕПЕЙ

4.1. ОСНОВНЫЕ ПОНЯТИЯ И ОПРЕДЕЛЕНИЯ

Нелинейным называется такой элемент, основной параметр которого зависит от значений или (и) направлений либо тока через данный элемент, либо напряжения на его выводах. Условные обозначения и статические характеристики полупроводниковых нелинейных элементов были рассмотрены в гл. 2. Условное графическое обозначение нелинейного резистивного элемента приведено на рис. 4.1, а. Нелинейность элемента, как уже известно из гл. 2, реализуется нелинейностью основных его характеристик. Так, ВАХ нелинейного резистивного элемента, электрическое сопротивление которого зависит от приложенного напряжения, носит нелинейный характер (рис. 4.1, б).

Аналогично нелинейные индуктивности и емкости характеризуются нелинейными вебер-амперными и кулон-вольтными характеристиками (рис. 4.2 и 4.3).

С помощью приведенных статических характеристик нелинейных пассивных элементов не представляет труда определить графическим путем дифференциальное сопротивление нелинейного элемента в заданном режиме работы (определяемом положением рабочей точки Π (режим покоя) на статической характеристике элемента через тангенс угла наклона касательной в рассматриваемой точке Π к оси абсцисс (см. рис. 4.1, б).

$$r_d = dU/dI = \Delta U/\Delta I = (m_U/m_I) \operatorname{tg} \beta, \quad (4.1)$$

где ΔU и ΔI — конечные приращения напряжения и тока; m_U и m_I — масштабы осей напряжения и тока соответственно (рис. 4.1, б).

Если провести прямую из начала координат статической характеристики через заданную рабочую точку Π (рис. 4.1, б), то статическое сопротивление нелинейного элемента в заданном режиме его работы будет равно тангенсу угла наклона этой прямой по отношению к оси абсцисс или отношению напряжения на зажимах

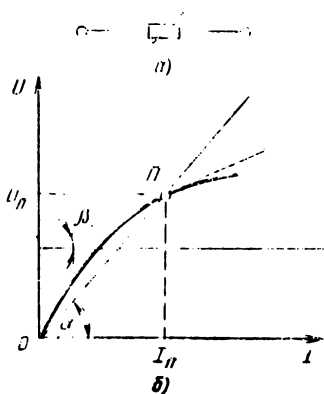


Рис. 4.1. Условное обозначение нелинейного резистивного элемента (а) и его вольт-амперная характеристика (б)



Рис. 4.2. Условное обозначение идеализированной нелинейной катушки индуктивности (а) и ее веб-амперная характеристика (б)

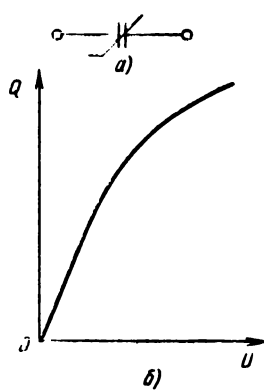


Рис. 4.3. Условное обозначение идеализированного нелинейного конденсатора (а) и его кулон-вольтная характеристика (б)

пассивного нелинейного элемента к току, протекающему через него

$$R_{ст} = U_n / I_n = (m_U / m_I) \operatorname{tg} \alpha. \quad (4.2)$$

Статическое и дифференциальное (динамическое) сопротивления нелинейных элементов широко используются при расчете электрических и электронных цепей.

Электрической цепью называют совокупность устройств¹ и элементов цепи, соединенных между собой соответствующим образом и образующих путь для электрического тока, электромагнитные процессы в которых могут быть описаны с помощью понятий об электродвижущей силе, токе и напряжении.

Графическое изображение электрической цепи с помощью условных обозначений ее устройств и элементов, показывающее их соединения, называют *схемой электрической цепи*.

Графическое изображение электрической цепи, образующей путь для электрического тока в ЭУ с помощью условных обозначений входящих в нее элементов (источников питания, пассивных элементов, электронных и полупроводниковых приборов и т. п.), и показывающей соединение этих элементов в электронном устройстве, часто называют *электронной схемой*.

¹ Под понятием «устройство» в данном случае понимаются устройства различного типа (например, тумблер, трансформатор и т. п.), включая и электронные устройства в интегральном исполнении.

Все электрические цепи, включающие ЭУ, являются, как правило, нелинейными. Электрические же цепи, в которых отсутствуют ЭУ, могут быть как нелинейными, так и линейными. Электрическая цепь, содержащая хотя бы один нелинейный элемент, является нелинейной. Рассматриваемые в курсе «Общая электротехника» [1] электрические цепи считались линейными, ибо включали только линейные идеализированные пассивные и активные (источники тока и напряжения) элементы. В то же время, строго говоря, все электрические цепи, включающие только идеализированные линейные элементы, являются нелинейными хотя бы потому, что с изменением тока изменяется температура проводников, а следовательно, и их сопротивление. Однако поскольку расчет нелинейных цепей значительно сложнее линейных, во многих практических случаях, когда при изменениях напряжений и токов в заданном рабочем диапазоне характеристики элементов близки к линейным, непостоянством параметров пренебрегают, что и учитывалось при рассмотрении линейных электрических цепей в [1].

Расчет нелинейных цепей требует, как правило, использования ЭВМ. Объясняется это тем, что в нелинейной цепи (в отличие от линейной) кроме определения токов и напряжений неизвестными являются также зависящие от них параметры нелинейных элементов. Поэтому электрическое состояние такой цепи описывается системой нелинейных уравнений, для решения которой используют либо графоаналитические, либо численные методы.

В дальнейшем нами будут рассматриваться в основном электрические цепи, включающие полупроводниковые приборы (ПП), с помощью которых осуществляется генерирование, передача, преобразование и использование информации. Особенностью таких цепей является то, что если нелинейные элементы R , L и C , как правило, неуправляемые, то ПП — управляемые элементы цепи. Это следует учитывать при расчете нелинейных цепей.

4.2. МЕТОДЫ РАСЧЕТА НЕЛИНЕЙНЫХ ЦЕПЕЙ

В основе большинства конкретных графоаналитических и численных методов, широко применяемых на практике для расчета нелинейных цепей, содержащих как неуправляемые, так и управляемые нелинейные элементы, лежит метод линеаризации.

Метод линеаризации заключается в замещении нелинейного элемента эквивалентной линейной схемой, справедливой для ограниченного диапазона изменения тока и напряжения в нелинейном элементе. Такое замещение нелинейного элемента позволяет описывать электрическое состояние нелинейной цепи с помощью системы линейных уравнений. Практическим воплощением метода линеаризации является *метод кусочно-линейной аппроксимации*,

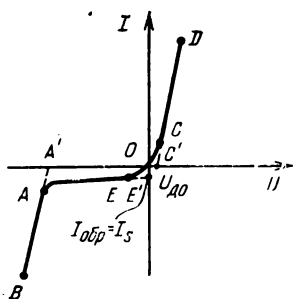


Рис. 4.4. Кусочно-линейная аппроксимация ВАХ диода

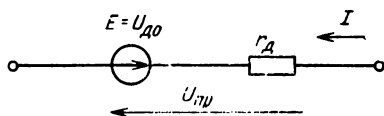


Рис. 4.5. Эквивалентная линейная схема диода при прямом смещении

заключающийся в замене заданной нелинейной характеристики ломаной прямой с одной или несколькими точками излома.

Наиболее просто эта задача решается в частном случае, когда нелинейность характеристики мала или участок характеристики, в пределах которого работает нелинейный элемент, известен и может быть аппроксимирован прямой без излома. В этом случае нелинейный резистивный элемент заменяется источником постоянной ЭДС и линейным сопротивлением, равным его дифференциальному сопротивлению [1]. Сказанное можно продемонстрировать для случая применения в нелинейной цепи неуправляемого полупроводникового элемента — диода. Как видно из рис. 4.4, ВАХ диода легко поддается кусочно-линейной аппроксимации. Действительно, реальная ВАХ диода может быть разбита на три области: прямого (участок CD) и обратного (участок AE) смещения, а также область пробоя (участок AB). В каждой из этих областей ВАХ близка к линейной. Поэтому ВАХ диода может быть представлена тремя отрезками прямых ($C'D$, $E'A$, $A'B$).

Прямая ветвь ВАХ диода (прямая $C'D$, включающая отрезок CD и его продолжение до пересечения с осью абсцисс), в этом случае может быть аппроксимирована линейной функцией вида

$$U_{пр} = U_{до} + Ir_d, \quad (4.3)$$

где $U_{до}$ — напряжение, определяемое отрезком OC' на оси абсцисс (продолжение линейного участка CD прямой ветви ВАХ диода). Напряжение $U_{до}$ представляет собой остаточное напряжение диода (напряжение отсечки диода при прямом его смещении) и носит название *порогового напряжения диода*, начиная с которого зависимость тока диода от возрастающего значения приложенного к нему напряжения можно считать линейной. Дiod

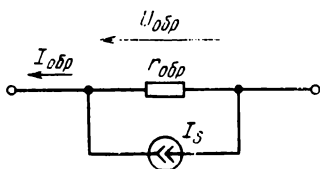


Рис. 4.6. Эквивалентная линейная схема диода при обратном смещении

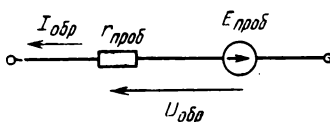


Рис. 4.7. Эквивалентная линейная схема диода в области пробоя

при прямом смещении может быть заменен эквивалентной линейной схемой, приведенной на рис. 4.5.

Для германиевых диодов $U_{до} \approx 0,4 \dots 0,5$ В, а для кремниевых $U_{до} \approx 0,6 \dots 0,7$ В.

Котангенс угла наклона прямой CD к оси абсцисс в соответствии с (2.4) равен дифференциальному сопротивлению диода r_d .

Типовые значения дифференциального сопротивления для германиевых диодов $r_d \approx 0,2 \dots 0,3$ Ом, для кремниевых $r_d \approx 0,8$ Ом.

Аналогично могут быть аппроксимированы линейными функциями области обратного смещения (участок EA вольт-амперной характеристики диода) и пробоя (участок AB), когда к диоду приложено обратное напряжение $U_{обр}$. Соответствующие этим случаям эквивалентные линейные схемы приведены на рис. 4.6 и 4.7.

Дифференциальное сопротивление диода в области электрического пробоя $r_{проб}$ определяется отношением приращений обратного тока и напряжения на участке BA , соответствующем электрическому пробую (отрезок AB на рис. 4.4):

$$r_{проб} = \Delta U_{проб} / \Delta I_{проб}.$$

Напряжение пробоя диода численно определяется точкой пересечения касательной к участку обратной ветви BA , соответствующей электрическому пробую, как это показано на рис. 4.4 (отрезок OA'). На этом же рисунке можно увидеть, что обратный ток диода I_s на практике численно определяется значением, полученным в точке пересечения линейного участка (штриховая линия) обратной ветви BA с осью ординат (отрезок OE' на $I_{обр}$).

Дифференциальное сопротивление $r_{обр}$ при обратном смещении p - n -перехода диода определяется отношением приращений обратного напряжения и тока на участке EA обратной ветви BA :

$$r_{обр} = \Delta U_{обр} / \Delta I_{обр}.$$

Применение аппроксимации BA нелинейных элементов для расчета нелинейных цепей более подробно рассмотрено ниже.

Одной из разновидностей метода линеаризации является метод эквивалентной линеаризации, применяемый для линеаризации це-

пей переменного тока, имеющих относительно малую нелинейность, т. е. когда высшие гармоники невелики и поэтому режим близок к синусоидальному.

В соответствии с этим методом замена нелинейного элемента эквивалентной линейной схемой может быть осуществлена по принципу гармонического или энергетического баланса. В этом случае предполагается, что ток через нелинейный элемент и элементы эквивалентной ему линейной схемы является синусоидальным $i = I_m \sin \omega t$. Если строго следовать этому методу, то элементы эквивалентной линейной схемы должны подбираться по принципу гармонического баланса так, чтобы амплитуда синусоидальной или соответственно косинусоидальной составляющей основной гармоники напряжения на нелинейном элементе была равна амплитуде напряжения на элементах эквивалентной линейной схемы. Однако в большинстве практических случаев вполне допустимо говорить о равенстве амплитуд напряжений на указанных элементах, что значительно упрощает анализ и расчет нелинейных цепей и дает приемлемые для практических целей результаты.

По принципу энергетического баланса эквивалентное линейное сопротивление или линейный накопитель энергии подбирается из условия равенства активной или соответственно реактивной мощности на зажимах нелинейного элемента и его линейной эквивалентной схемы. Легко убедиться в том, что оба принципа дают одинаковый результат.

Метод эквивалентной линеаризации широко применяется при анализе магнитных цепей [1].

При графоаналитическом методе расчета нелинейных цепей применяют также метод эквивалентных преобразований и особенно широко — метод пересечения характеристик, часто называемый методом опрокинутой характеристики, суть которого подробно рассмотрена в § 4.3.

4.3. РАСЧЕТ НЕЛИНЕЙНЫХ ЦЕПЕЙ ПОСТОЯННОГО ТОКА

Метод эквивалентных преобразований является самым простым из всех применяемых на практике графоаналитических методов анализа и расчета простейших нелинейных электрических цепей. При этом методе группа нелинейных элементов цепи заменяется одним эквивалентным элементом. Однако в случае нелинейных цепей параметр эквивалентного элемента может быть определен только с помощью его характеристики, построенной графическим путем. Например, при последовательном соединении линейных и нелинейных резисторов определить ток I в цепи (рис. 4.8, а) с помощью закона Ома не представляется возможным, так как сопротивления R_1 и R_2 нелинейных резисторов зависят от тока. Эту задачу можно решить, построив ВАХ эквивалентного резистора (рис. 4.8, б), являющегося нелинейным элементом. По-

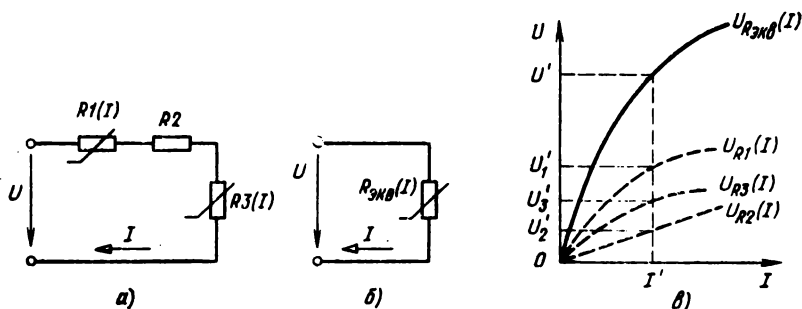


Рис. 4.8. Схема цепи с последовательным соединением линейного и нелинейных резисторов (а), эквивалентная схема цепи (б) и вольт-амперные характеристики элементов с сопротивлениями R_1 , R_2 , R_3 , $R_{экв}$ (в)

сколько при любом значении тока I напряжение на эквивалентном резисторе должно быть равно напряжению U на входных зажимах цепи, ВАХ эквивалентного резистора может быть построена путем суммирования ординат ВАХ всех входящих в рассматриваемую цепь резисторов (R_1 , R_2 и R_3). Согласно второму закону Кирхгофа для цепи, изображенной на рис. 4.8, а,

$$U_{R_{экв}}(I) = U(I) = U_{R_1}(I) + U_{R_2}(I) + U_{R_3}(I). \quad (4.4)$$

Соответствующие данному напряжению ВАХ имеют вид, показанный на рис. 4.8, в. С помощью ВАХ $U_{R_{экв}}(I)$ можно определить графическим путем ток I' в цепи для любого заданного напряжения U' , а затем при наличии ВАХ элементов $R_1(I)$, $R_2(I)$ и $R_3(I)$ — соответствующие найденному току напряжения U'_1 , U'_2 , U'_3 на рассматриваемых элементах (см. рис. 4.8, в).

При параллельном соединении резисторов (рис. 4.9, а) ВАХ эквивалентного элемента (рис. 4.9, б) определяется также графически.

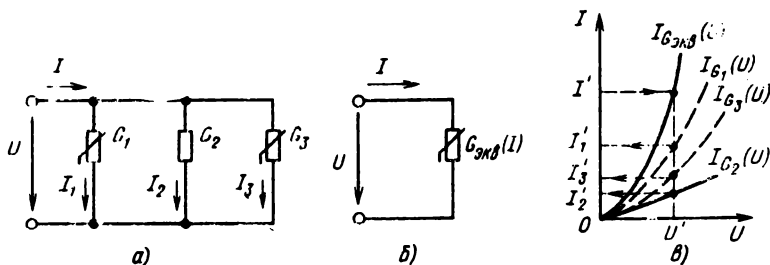


Рис. 4.9. Схема цепи с параллельным соединением линейного и нелинейных резисторов (а), эквивалентная схема цепи (б) и вольт-амперные характеристики элементов с проводимостями G_1 , G_2 , G_3 , $G_{экв}$ (в)

ческим путем. Так как для любого напряжения U ток I через эквивалентный элемент $G_{\text{кв}}(U)$ (рис. 4.9, б) и ток I на входе цепи (рис. 4.9, а) должны быть равны, то ВАХ эквивалентного элемента может быть построена (рис. 4.9, в) путем суммирования ординат ВАХ элементов $G_1(U)$, $G_2(U)$ и $G_3(U)$. В соответствии с первым законом Кирхгофа $I_{G_{\text{кв}}}(U) = I(U) = I_{G_1}(U) + I_{G_2}(U) + I_{G_3}(U)$. Вольт-амперная характеристика эквивалентного элемента позволяет определить напряжение U' на входе цепи для любого заданного тока I' , после чего не представляет труда найти соответствующие ему токи I_1' , I_2' , I_3' через рассматриваемые элементы цепи.

В случае смешанного соединения нелинейных элементов характеристику эквивалентного элемента получают при поочередном выполнении рассмотренных построений. При этом изложенный метод распространяется на любое число последовательно и параллельно включенных линейных и нелинейных элементов.

Метод эквивалентных преобразований целесообразно применять только для неуправляемых нелинейных элементов и фиксированных значений параметров линейных элементов. Если же нелинейный элемент электрической цепи является управляемым или требуется провести анализ режима цепи при дискретном изменении параметра линейного элемента, то метод эквивалентного преобразования оказывается слишком громоздким из-за многократного построения результирующей характеристики эквивалентного элемента.

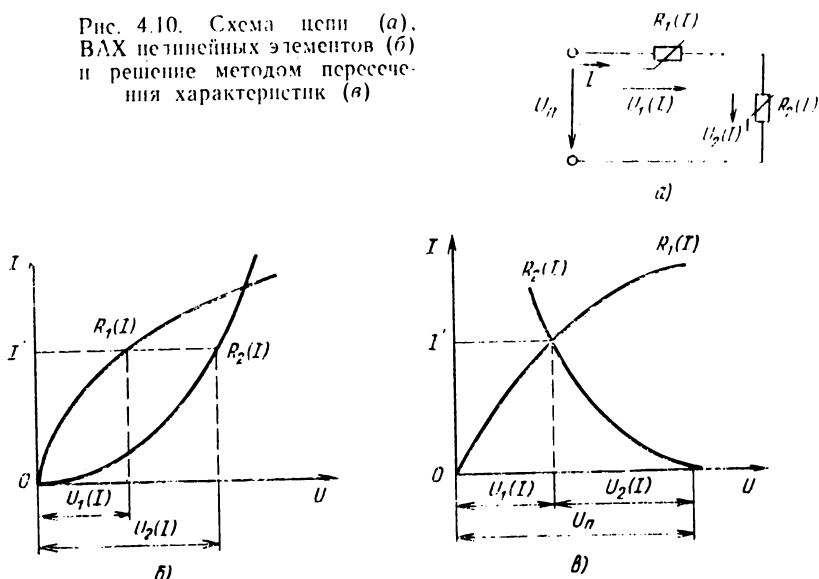
Метод пересечения характеристик (метод опрокинутой характеристики) используется для анализа цепей, которые методами эквивалентных преобразований могут быть сведены к последовательному включению двух элементов. При этом характеристики элементов в общем случае могут иметь произвольный характер. Это могут быть либо два линейных элемента, либо линейный и нелинейный элементы, либо два нелинейных элемента. При этом один или оба из них могут быть управляемыми.

В основу метода положено предположение о том, что суммарное напряжение на последовательно включенных элементах определяется внешним источником и не зависит от тока, протекающего в цепи. В соответствии со сказанным для цепи из двух элементов (рис. 4.10, а) справедливы выражения

$$\left. \begin{aligned} I &= I_{R1} = I_{R2}, \\ U_1(I) + U_2(I) &= U_{\text{п.}} \end{aligned} \right\} \quad (4.5)$$

При известных ВАХ элементов (рис. 4.10, б) ток, удовлетворяющий системе (4.5), может быть легко найден графически. Для этого исходную характеристику одного из элементов зеркально отражают относительно оси токов (опрокидывают) и ее начало сдвигают по оси напряжений на величину, пропорциональную

Рис. 4.10. Схема цепи (а), ВАХ нелинейных элементов (б) и решение методом пересечения характеристик (в)



входному напряжению цепи (отсюда и второе название метода — метод опрокинутой характеристики). Точка пересечения исходной характеристики одного и преобразованной характеристики второго элементов даст искомые ток I' и падения напряжений $U_1(I)$ и $U_2(I)$ (рис. 4.10, в).

Используя описанный метод, легко исследовать процессы в цепях как при изменении параметров элементов $R_1(I)$ и $R_2(I)$, так и при изменении внешнего напряжения U_n .

Проиллюстрируем применение описанных выше методов для расчета нелинейных цепей постоянного тока.

Пример 4.1. К цепи, состоящей из последовательно соединенных диода VD и резистора $R=150\text{ Ом}$ приложено напряжение $U=U_n=5\text{ В}$ (рис. 4.11, а). Определить ток в цепи и падения напряжений на ее элементах. ВАХ диода в увеличенном масштабе нелинейного участка ее прямой ветви приведена на рис. 4.11, б.

Решение. Найдем решение задачи графически с использованием метода пересечения характеристик. Для этого на ВАХ диода из точки $U_n=5\text{ В}$ проведем прямую, характеризующую зависимость тока от напряжения для резистора R (рис. 4.11, в). Эта прямая носит название *линии нагрузки* или *нагрузочная прямая*. Ее легко построить по двум точкам, соответствующим режимам холостого хода ($R_D=\infty$) и короткого замыкания ($R_D=0$) рассматриваемой цепи. В режиме холостого хода нагрузочная прямая пересекает ось напряжений в точке $U=U_n$ ($I_D=0$) и, следовательно, $U_D=U_n$. В соответствии со схемой на

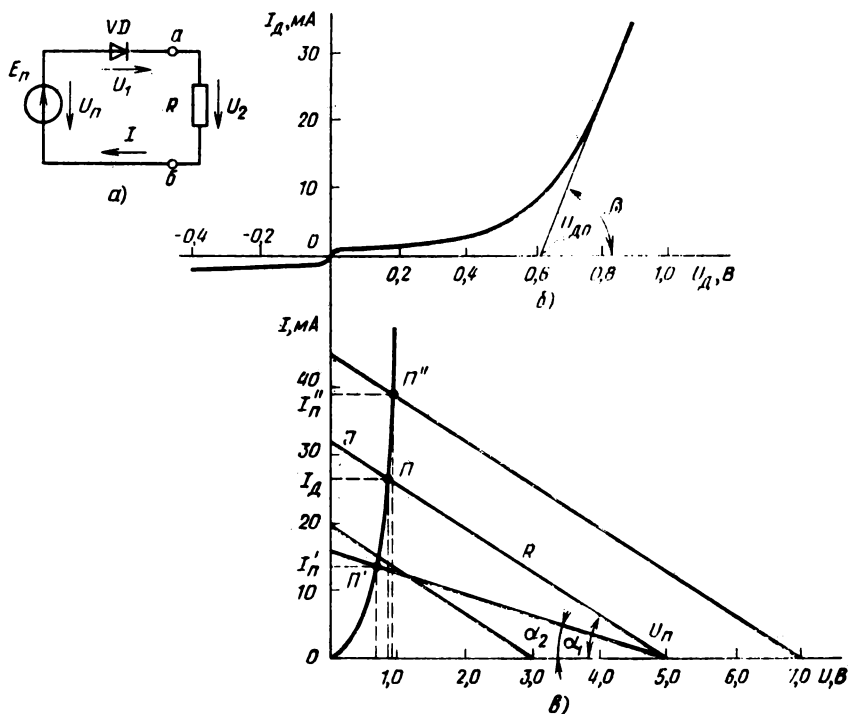


Рис. 4.11. Схема нелинейной цепи (а), ВАХ диода (б) и решение методом пересечения характеристик (в)

рис. 4.11, а $I = U_n / (R + R_D)$. В режиме короткого замыкания $R_D = 0$ и поэтому нагрузочная прямая пересекает ось тока в точке $I = U_n / R$, где I — ток короткого замыкания цепи. В рассматриваемом случае $I_{кз} = 33,333$ мА.

Нагрузочную прямую можно также построить, проведя ее из точки на оси напряжений, соответствующей напряжению питания U_n под углом α_1 к этой оси. Величина этого угла определяется из выражения

$$\operatorname{tg} \alpha_1 = \frac{m_U}{m_I} \frac{1}{R}.$$

В рассматриваемом случае $m_U = 0,5$ В/дел.; $m_I = 5 \cdot 10^{-3}$ А/дел., $\operatorname{tg} \alpha_1 = 0,6$ и $\alpha_1 = 37^\circ$.

Точка Π пересечения нагрузочной прямой с ВАХ диода является решением системы (4.5) и представляет собой рабочую точку схемы. Проекция этой точки на оси координат определяют рабочий режим цепи, т. е. значение тока $I_n = I_D$ и соответствующие ему падения напряжений на диоде $U_1(I_n)$ и резисторе $U_2(I_n)$ (рис. 4.10, в).

В рассматриваемом примере получим: $I_n = 27$ мА; $U_1(I_n) = U_D = 0,8$ В; $U_2(I_n) = U_R = 4,2$ В.

Данный пример можно решить и аналитически, используя кусочно-линейную аппроксимацию ВАХ диода. Для прямой ветви ВАХ диода, показанной на рис. 4.11, б, согласно (4.3), можно записать

$$U_D = U_{D0} + r_d I_D.$$

где $U_{D0} = 0,61$ В; $r_d = (m_U/m_I) \operatorname{ctg} \beta = \Delta U_D / \Delta I_D = 0,38 \text{ В} / 50 \text{ мА} \approx 7,6$ Ом. Тогда согласно второму закону Кирхгофа для рассматриваемой схемы можно записать

$$U_n = U_D + r_d I_n + R I_n,$$

откуда

$$I_n = (U_n - U_{D0}) / (R + r_d) = (5 - 0,61) / (150 + 7,6) = 27,9 \text{ мА};$$

$$U_D = 0,61 + 7,6 \cdot 27,9 \cdot 10^{-3} = 0,82 \text{ В};$$

$$U_R = 150 \cdot 27,9 \cdot 10^{-3} = 4,185 \text{ В}.$$

Полученные результаты практически повторяют значения, найденные графически методом пересечения характеристик. Полученная погрешность возникает вследствие аппроксимации ВАХ диода линейной функцией.

Пример 4.2. Определить как изменится рабочий режим цепи на рис. 4.11, а в случае увеличения R в 2 раза ($R = 300$ Ом).

Решение. Графически изменение сопротивления резистора приведет к уменьшению угла наклона нагрузочной прямой до угла

$$\alpha_2 = \operatorname{arctg} (m_U / m_I 2R).$$

Точка пересечения II' новой нагрузочной прямой с ВАХ диода определит следующие значения искомых величин: $I_n' = 14$ мА; $U_D = 0,67$ В, $U_R = 4,33$ В.

Используя сделанную в примере 4.1 аппроксимацию ВАХ диода, получим

$$I_n = 5 \cdot 0,61 / (300 + 7,5) \approx 14,3 \text{ мА};$$

$$U_D = 0,61 + 7,6 \cdot 14,3 \cdot 10^{-3} = 0,72 \text{ В};$$

$$U_R = 300 \cdot 14,3 \cdot 10^{-3} = 4,29 \text{ В}.$$

Очевидно, что в данном случае расхождение полученных результатов больше, чем в примере 4.1. Это объясняется тем, что с уменьшением тока реальная характеристика диода начинает сильно отличаться от используемой кусочно-линейной аппроксимации. Следовательно, для аналитического решения желательно уточнить параметры аппроксимации.

Пример 4.3. Определить, как изменится рабочий режим цепи на рис. 4.11, а при условии увеличения напряжения питания с 5 В до 7 В.

Решение. Увеличение напряжения питания приведет к сдвигу точки пересечения нагрузочной характеристики с осью напряжений вправо, на $\Delta U = 2$ В. При этом изменится и ток короткого замыкания $I_{кз} = U_n / R$. В результате нагрузочная прямая переместится параллельно себе вправо вверх. Это объясняется тем, что ее наклон определяется сопротивлением R , которое остается неизмен-

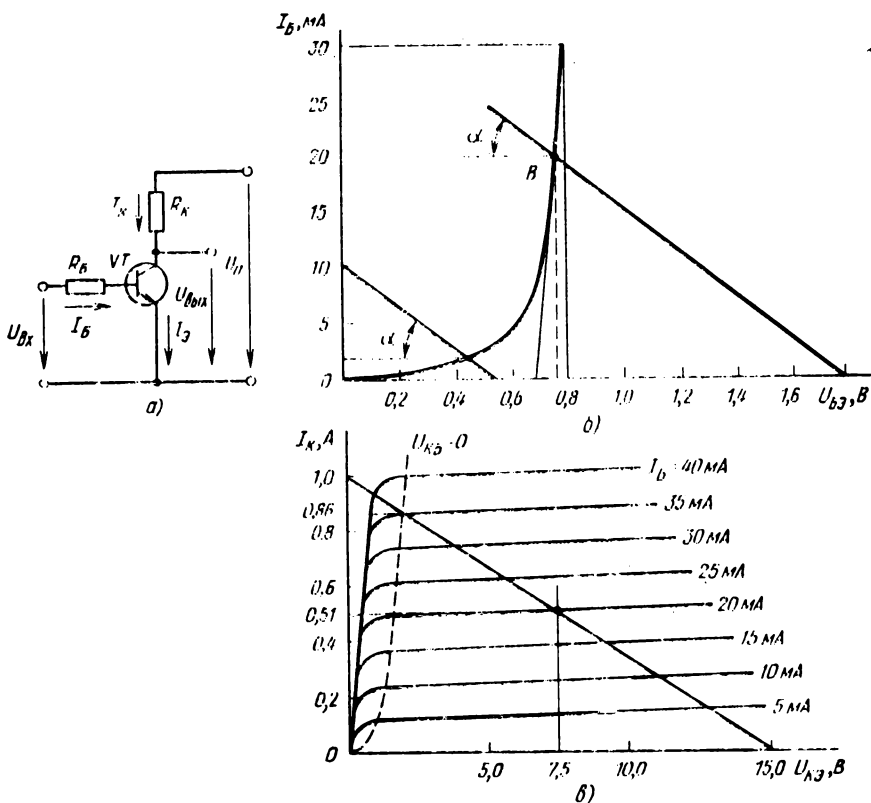


Рис. 4.12. Схема нелинейной цепи, содержащей биполярный транзистор (а) и его входная (б) и выходные (в) характеристики

ным. Точка пересечения П' определит новый рабочий режим схемы (рис. 4.11, а). $I_{П'} = 39,5$ мА, $U_{Д'} = 0,9$ В, $U_{R'} = 4,1$ В.

Пример 4.4. Для схемы на рис. 4.12, а определить входное напряжение, обеспечивающее получение выходного напряжения $U_{вх} = U_{п}/2$. Параметры схемы: $U_{п} = 15$ В, $R_{к} = 15$ Ом, $R_{б} = 50$ Ом. Транзистор КТ830А. $h_{21Э} = 25$. Входные и выходные характеристики транзистора приведены на рис. 4.12, б, в.

Решение. Воспользуемся для решения методом пересечения характеристик. Для этого на выходных характеристиках транзистора проведём нагрузочную прямую. Она пройдет через точки $U = U_{п} = 15$ В, $I = 0$ и $U = 0$, $I_{кз} = 15$ В/15 Ом = 1 А. Для выходного напряжения $U_{КЭ} = U_{вх} = 7,5$ В найдем точку пересечения одной из выходных характеристик с нагрузочной прямой — точка П (рис. 4.12, в). Найденная выходная характеристика соответствует току коллектора транзистора $I_{к} = 0,51$ А и току базы $I_{б} = 20$ мА.

На входной характеристике транзистора (рис. 4.12, б) отметим точку, соответствующую току $I_B = 20$ мА (точка В). Через эту точку под углом к оси напряжения равным $\alpha = \text{arctg } R_6(m_1/m_U)$ проведем прямую до пересечения с осью напряжений. Полученная точка пересечения и даст искомое входное напряжение.

Для рассматриваемого случая

$$\alpha = \text{arctg } 50 \frac{2,5 \cdot 10^{-3} \text{ А/дел}}{0,1 \text{ В/дел}} \approx 33^\circ$$

и $U_{вх} = 1,76$ В.

Данную задачу можно решить аналитически, используя кусочно-линейную аппроксимацию входной характеристики транзистора

$$U_{БЭ} = U_{БЭ0} + r_E I_B,$$

где $U_{БЭ0} = 0,68$ В;

$$r_E = \text{ctg} [(0,8 - 0,68)/30 \cdot 10^{-3}] = 4 \text{ Ом}.$$

При выходном напряжении $U_{вых} = U_n/2 = 7,5$ В коллекторный ток транзистора должен быть равен

$$I_K = (U_n - U_{вых})/R_K = 7,5/15,0 = 0,5 \text{ А}.$$

Так как транзистор в данном случае работает в активном режиме, то его ток базы может быть найден через значение коэффициента $h_{21Э}$:

$$I_B = I_K/h_{21Э} = 0,5/0,25 = 20 \cdot 10^{-3} \text{ А}.$$

По второму закону Кирхгофа

$$U_{вх} = R_6 I_B + U_{БЭ0} + r_E I_B = 50 \cdot 20 \cdot 10^{-3} + 0,68 + 4 \cdot 20 \cdot 10^{-3} = 1,76 \text{ В}.$$

Пример 4.5. Для условий примера 4.4 найти диапазон изменения входного напряжения, соответствующий работе транзистора в активном режиме.

Решение. Для решения найдем коллекторные токи транзистора, соответствующие границам режимов насыщения и отсечки.

Граница режима насыщения соответствует условию $U_{КБ} = 0$. По этому условию из рис. 4.12, а найдем $I_{К \max} = 0,86$ А.

Ранее отмечалось, что граница режима отсечки (выключенного состояния) условно определяется соотношением $I_{К \text{ пор}} = 0,05 I_{К \max}$. Поэтому определим соответствующие заданным условиям максимальный и минимальный токи базы транзистора:

$$I_{B \max} = I_{К \max}/h_{21Э} = 0,86/25 = 34,4 \text{ мА};$$

$$I_{B \min} = I_{К \min}/h_{21Э} = 43/25 = 1,72 \text{ мА}.$$

Аналитическое решение с использованием полученной в примере 4.4 аппроксимации входной характеристики для случая $I_B = I_{B \min}$ из-за их сильного расхождения даст большую погрешность. Поэтому значение $U_{вх \min}$ целесообразно определить непосредственно по входной характеристике транзистора методом пересечения характеристик. Для определения $U_{вх \max}$ можно воспользоваться полученной аппроксимацией.

Тогда

$$U_{\text{вх max}} = R_0 I_{\text{Б max}} + U_{\text{БЭП}} + r_{\text{Б}} I_{\text{Б max}} = 50 \cdot 34,4 \cdot 10^{-3} + 0,68 + 4 \cdot 34,4 \cdot 10^{-3} = 2,54 \text{ В.}$$

По входной характеристике на рис. 4.12, б имеем $U_{\text{вх min}} = 0,54 \text{ В.}$

4.4. РАСЧЕТ НЕЛИНЕЙНЫХ ЦЕПЕЙ ПЕРЕМЕННОГО ТОКА

При рассмотрении нелинейных элементов в цепях постоянного тока нами учитывались в основном только их особенности (по сравнению с линейными элементами). Эти особенности связаны с различием статических и динамических сопротивлений, которые для указанных элементов могут совпадать лишь в отдельных точках или на отдельных участках ВАХ, а также с зависимостью сопротивления элемента от знака приложенного напряжения.

Для цепей переменного тока помимо указанных особенностей нелинейных элементов обнаруживаются и такие, которые связаны с частотой воздействующего электрического сигнала. Поэтому при анализе электрических цепей переменного тока дополнительно различают инерционные и безынерционные нелинейные элементы.

Инерционные нелинейные элементы. Если период изменения электрического сигнала значительно меньше времени изменения основного параметра нелинейного элемента под воздействием этого сигнала, то такой нелинейный элемент называют *инерционным* нелинейным элементом. Примерами инерционного нелинейного элемента могут служить лампа накаливания, электронагревательные приборы и т. п. Как правило, период изменения тока значительно меньше времени, необходимого для нагрева нити лампы накаливания или спирали электронагревательного прибора, а следовательно, для изменения сопротивления этого элемента. Поэтому сопротивление инерционного элемента не зависит от мгновенных значений тока и напряжения. Величину его в течение одного периода изменения входного сигнала можно считать постоянной и форма переменного электрического сигнала на выходе всегда повторяет форму сигнала на его входе. Следовательно, расчеты таких цепей относительно мгновенных значений токов и напряжений можно выполнить с использованием методов анализа линейных цепей.

Нелинейность инерционного элемента зависит только от его сопротивлений при действующих значениях тока и напряжения. Так, для указанных элементов большим действующим токам соответствует большая температура нагрева проводника, а значит, и большее сопротивление нелинейного элемента. Из сказанного следует, что расчет и анализ цепей переменного тока, содержащих инерционные нелинейные элементы, относительно действующих значений токов и напряжений, ничем не отличаются от методов, рассмотренных в § 4.3 для цепей постоянного тока.

Безынерционные нелинейные элементы. Если период изменения электрического сигнала больше времени изменения основного параметра нелинейного элемента под воздействием этого сигнала, то такой нелинейный элемент называют *безынерционным* нелинейным элементом. Безынерционные нелинейные элементы нелинейны по отношению как к действующим, так и к мгновенным значениям тока и напряжения. На зависимости их параметров от мгновенных значений токов и напряжений основан принцип действия целого ряда электротехнических и электронных устройств. На практике наибольшее распространение получили безынерционные нелинейные элементы, к которым, в первую очередь, относятся полупроводниковые приборы.

Например, одна из важнейших особенностей диода — хорошие вентиляльные свойства, т. е. сравнительно малое сопротивление при положительном периоде приложенного переменного напряжения (диод открыт) и большое сопротивление при отрицательном его периоде (диод закрыт), — широко используется для преобразования переменного тока в пульсирующий.

На рис. 4.13, *а* приведена простейшая схема, состоящая из последовательно соединенных диода VD и резистора R_n , на вход которого подается синусоидальное напряжение. С учетом ВАХ диода (см. рис. 2.2, *б*) ток через диод будет возникать только в течение положительных полупериодов поступающего на вход цепи синусоидального напряжения. В этом случае ток в цепи имеет прерывистый характер.

Графический метод нахождения тока показан на рис. 4.13, *б*. Здесь $i(u_1)$ — прямая ветвь ВАХ диода; $i(u_2)$ — ВАХ линейного

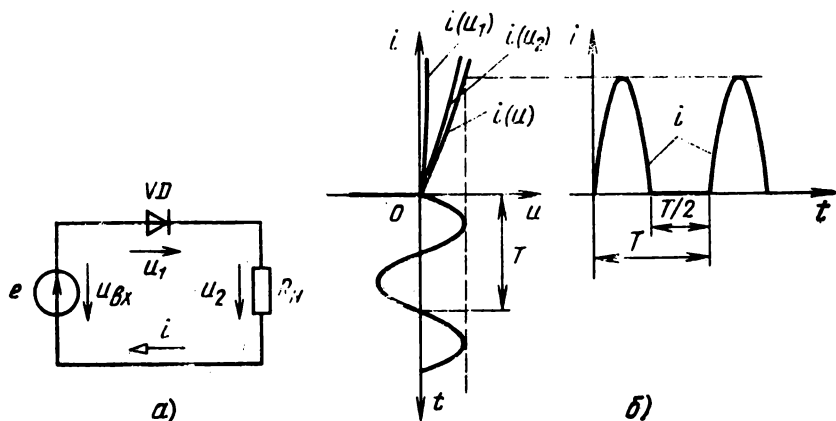


Рис. 4.13. Схема цепи переменного тока, содержащая диод (*а*) и ее решение графическим методом (*б*)

нагрузочного резистора R_n ; $i(u)$ — ВАХ цепи, построенная путем суммирования абсцисс ВАХ, входящих в рассматриваемую цепь VD и R_n .

Точный расчет нелинейных цепей переменного тока, содержащих безынерционные элементы, учитывая искажение сигнала, отличается значительными сложностями и является предметом изучения специальных разделов курса «Теоретические основы электротехники» [5]. Для упрощения расчета обычно пренебрегают обратным током p - n -перехода и сопротивлением базы открытого диода. В этом случае можно считать сопротивление закрытого диода равным бесконечности ($R_{обр} = \infty$), а открытого — нулю ($R_{пр} = 0$), что соответствует системе уравнений

$$\left. \begin{aligned} I &= 0 & \text{при } U < 0, \\ U &= 0 & \text{при } I > 0, \end{aligned} \right\}$$

Вольт-амперная характеристика такого идеализированного диода, который называется *унистором*, имеет вид, приведенный на рис. 4.14. Вольт-амперная характеристика цепи на рис. 4.13, а заменяется в этом случае прямой, проходящей через начало координат и точку, соответствующую максимальному току диода, т. е. фактически повторяет зависимость $i(u_2)$ (рис. 4.13, б). Результат расчета графическим способом после проведения такой линеаризации характеристики, несмотря на принятые допущения, получается достаточно точным. Кривая тока повторяет форму положительных полупериодов входного напряжения. Для случая унистора графический расчет обычно заменяют аналитическим, что будет рассмотрено в последующих главах.

Использование унисторов позволяет также упростить составление эквивалентных схем нелинейных полупроводниковых элементов. Так, полупроводниковый диод на основе кусочно-линейной

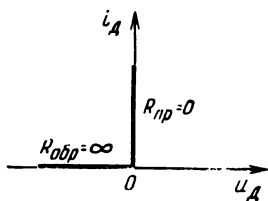


Рис. 4.14. Вольт-амперная характеристика идеализированного полупроводникового диода

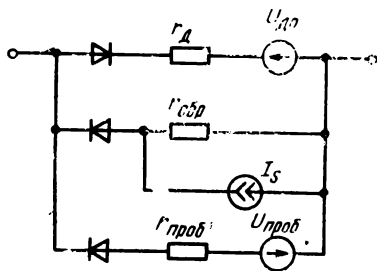


Рис. 4.15. Схема замещения диода, учитывающая его работу в области прямого, обратного и пробивного напряжений

аппроксимации его ВАХ, рассмотренной в § 4.2, может быть представлен в виде схемы замещения на рис. 4.15, учитывающей работу диода во всех трех областях его ВАХ.

Если заранее известна область работы диода, то схема замещения, приведенная на рис. 4.15, может быть упрощена.

Однако следует подчеркнуть, что рассмотренная схема замещения диода *не учитывает его частотных свойств и может быть применена только в тех случаях, когда при расчете цепи собственное быстроедействие диода не учитывается.*

4.5. РАСЧЕТ НЕЛИНЕЙНЫХ ЦЕПЕЙ ПРИ ОДНОВРЕМЕННОМ ВОЗДЕЙСТВИИ ИСТОЧНИКОВ ПОСТОЯННОГО И ПЕРЕМЕННОГО НАПРЯЖЕНИЙ

При анализе режимов работы аналоговых и импульсных электронных устройств, когда на входе цепи действуют одновременно постоянная и переменная составляющие тока, пользуются методом наложения для нелинейных цепей. В этом случае сначала ведут расчет цепи с учетом только источников постоянного тока, определяя режим работы устройства на постоянном токе. На практике постоянные составляющие электрического сигнала усилителя, как правило, называют напряжением и током покоя и обозначают соответственно U_n и I_n . Затем приводят характеристики к нулевым значениям напряжения и тока покоя и уже для этих характеристик (без учета постоянных составляющих тока) рассчитывают режим работы устройства на переменном токе.

При расчете нелинейных цепей, содержащих управляемые нелинейные элементы, также широко применяют метод кусочно-линейной аппроксимации.

Расчет нелинейных цепей, содержащих в качестве нелинейного элемента транзистор, значительно упрощается, если применить метод кусочно-линейной аппроксимации его статических характеристик, беря небольшие приращения напряжений и соответствующих им токов, в пределах которых зависимость между указанными параметрами можно считать линейной. В этом случае, как отмечалось в гл. 2, транзистор как четырехполюсник описывается системой линейных уравнений, отображающих малосигнальную схему его замещения в h (для низкочастотных транзисторов) или в y (для высокочастотных транзисторов) параметрах. Воспользуемся малосигнальной схемой замещения транзистора, приведенной на рис. 2.13, б.

Подключая на выход транзистора нагрузочное устройство с сопротивлением Z_n , а на его вход — источник гармонического сигнала E_c (на рис. 4.16 показаны штриховыми линиями), получают линейную цепь, представляющую усилительный каскад.

По второму закону Кирхгофа для первого контура

$$-h_{12}\dot{U}_{КЭ} = \dot{I}_Б h_{11} - \dot{U}_{БЭ} \quad (4.6)$$

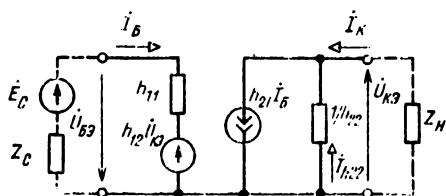


Рис. 4.16. Схема замещения биполярного транзистора

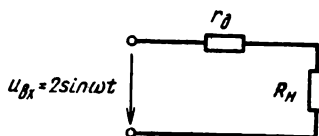


Рис. 4.17. Схема замещения цепи для переменных составляющих тока

Величина h_{12} у современных транзисторов настолько мала, что при расчетах электронных схем ею, как правило, пренебрегают:

$$\dot{E}_c = \dot{U}_{БЭ} + \dot{I}_Б \underline{Z}_c. \quad (4.7)$$

По первому закону Кирхгофа для второго контура

$$h_{21} \dot{I}_Б = \dot{I}_К + \dot{I}_{h_{22}}. \quad (4.8)$$

С учетом того, что напряжение, приложенное к линейным элементам \underline{Z}_n и $1/h_{22}$, соответственно равно

$$\left. \begin{aligned} \dot{U}_{КЭ} &= \dot{I}_К \underline{Z}_n; \\ \dot{U}_{КЭ} &= \dot{I}_{h_{22}} (1/h_{22}), \end{aligned} \right\} \quad (4.9)$$

определяют

$$\dot{I}_{h_{22}} = h_{22} \dot{U}_{КЭ} = h_{22} \underline{Z}_n \dot{I}_К. \quad (4.10)$$

Подставляя (4.10) в (4.8), получают

$$h_{21} \dot{I}_Б = \dot{I}_К + h_{22} \underline{Z}_n \dot{I}_К. \quad (4.11)$$

Комплексный коэффициент усиления по току K_I находят после несложных преобразований из (4.11):

$$\underline{K} = \dot{I}_К / \dot{I}_Б = h_{21} (1 + h_{22} \underline{Z}_n). \quad (4.12)$$

Аналогично, используя уравнения (4.6) — (4.11), можно рассчитать и другие характеристики нелинейной цепи, приводимые в последующих разделах при анализе усилительных устройств.

Таким образом, с помощью анализа цепи, содержащей нелинейные управляемые элементы, можно достаточно быстро и просто оценить возможности этой цепи, корректируя в случае необходимости ее параметры.

Пример 4.6. На входе цепи на рис. 4.11, а действует напряжение $u_{Бx} = 5 + 2 \sin \omega t$. Для параметров, заданных в примере 4.1, определить ток цепи.

Решение. Для решения используем метод наложения, согласно которому, сначала определим значения токов I_n и напряжений U_n только для постоянной

составляющей входного сигнала (напряжения и тока покоя), а затем амплитудные значения U_m и I_m для его переменной составляющей.

Решение задачи для случая действия на входе постоянной составляющей напряжения $U_H=5$ В было приведено в примере 4.1. Откуда $U_d=0,8$ В; $I_d=27$ мА; $U_{R_H}=4,2$ В.

Решение задачи для переменной составляющей входного сигнала может быть выполнено либо графически с использованием ВАХ диода, приведенной на рис. 4.11, б, либо аналитически по ее кусочно-линейной аппроксимации.

При графическом решении удобно воспользоваться методом смещения нагрузочной прямой, использованным в примере 4.3. Для этого дополнительно строят две нагрузочные прямые, смещенные относительно нагрузочной прямой для постоянной составляющей сигнала на амплитуду переменной составляющей входного напряжения. В рассматриваемом случае, так как амплитуда входного переменного напряжения равна 2 В, эти прямые пересекут ось напряжения в точках $U=7$ В и $U=3$ В. Полученные точки пересечения новых нагрузочных прямых с ВАХ диода дадут соответственно максимальное и минимальное значения тока в цепи, а также падения напряжения на ее элементах (рис. 4.11, в).

В рассматриваемом случае получим:

$$U_{d \max}=0,9 \text{ В}, I_{вх \max}=40 \text{ мА}, U_{R_H \max}=6,2 \text{ В};$$

$$U_{d \min}=0,7 \text{ В}, I_{вх \min}=14,5 \text{ мА}, U_{R_H \min}=2,3 \text{ В}.$$

Из проведенного графического решения видно, что при заданной амплитуде переменной составляющей входного сигнала точка пересечения нагрузочной прямой с ВАХ диода постоянно остается на практически линейном ее участке. Поэтому искомое решение может быть легко получено аналитически с использованием кусочно-линейной аппроксимации характеристики диода. В этом случае для переменной составляющей входного напряжения исходная нелинейная схема может быть заменена линейной схемой замещения, показанной на рис. 4.17. Для этой схемы имеем

$$\begin{aligned} i_{вх} &= u_{вх} / (R_H + r_d) = [U_{вх м} / (R_H + r_d)] \sin \omega t = I_{вх м} \sin \omega t = \\ &= [2 / (150 + 7,6)] \sin \omega t = 12,7 \cdot 10^{-3} \sin \omega t. \end{aligned}$$

Определив значение переменной составляющей тока цепи, легко рассчитать остальные ее параметры:

$$I_{вх \max} = I_{вх п} + I_{вх м} = 27 + 12,7 = 39,7 \text{ мА};$$

$$I_{вх \min} = I_{вх п} - I_{вх м} = 27 - 12,7 = 14,3 \text{ мА};$$

$$U_{d \max} = U_{d п} + U_{d м} = 0,8 + 7,6 \cdot 12,7 \cdot 10^{-3} = 0,9 \text{ В};$$

$$U_{d \min} = U_{d п} - U_{d м} = 0,8 - 7,6 \cdot 12,7 \cdot 10^{-3} = 0,7 \text{ В};$$

$$U_{R_H \max} = U_{R_H п} + U_{R_H м} = 4,2 + 150 \cdot 12,7 \cdot 10^{-3} = 6,1 \text{ В};$$

$$U_{R_H \min} = U_{R_H п} - U_{R_H м} = 4,2 - 150 \cdot 12,7 \cdot 10^{-3} = 2,3 \text{ В}.$$

Пример 4.7. На входе цепи из рис. 4.11, *а* действует входное напряжение $u_{вх} = 3 + 4 \sin \omega t$. Для параметров цепи, заданных в примере 4.1, определить ток цепи.

Решение. В данном случае также воспользуемся методом наложения.

Решение задачи для постоянной составляющей сигнала заимствуем из предыдущего примера: $I_{вх} = 14,3$ мА; $U_D = 0,7$ В; $U_{R_H} = 2,3$ В.

Для получения решения относительно переменной составляющей входного напряжения нельзя по аналогии с предыдущим примером воспользоваться одной линейной схемой замещения. Так как существует временной интервал, в течение которого мгновенное значение входного напряжения принимает отрицательные значения, ток в цепи не может быть найден без учета нелинейности ВАХ диода.

Согласно ВАХ диода, приведенной на рис. 4.11, *б*, для обратной ветви имеем следующие параметры схемы замещения диода (рис. 4.15): $r_{обр} = 400$ Ом; $I_s = 1$ мА.

Графическое решение для переменной составляющей сигнала иллюстрируется на рис. 4.18, из которого находим: $I_{вх \max} = 39,7$ мА; $I_{вх \min} = -2,55$ мА; $U_{D \max} = 0,9$ В; $U_{D \min} = -0,6$ В; $U_{R_H \max} = 6,1$ В; $U_{R_H \min} = -0,4$ В.

Очевидно, что в рассматриваемом случае форма тока цепи будет отлична от синусоидальной и в моменты t_1 и t_2 будет иметь место излом синусоидальной кривой.

Численные значения времени t_1 и t_2 могут быть найдены из графика или аналитически из решения уравнений

$$U_{вх \max} \sin \omega t = -U_{вх 0};$$

$$t_1 = \frac{\pi}{\omega} + \frac{1}{\omega} \arcsin \frac{U_{вх 0}}{U_{вх \max}};$$

$$t_2 = \frac{2\pi}{\omega} - \frac{1}{\omega} \arcsin \frac{U_{вх 0}}{U_{вх \max}}.$$

Значения тока цепи и падений напряжения на элементах в промежуточные моменты времени могут быть получены графически из рис. 4.18 при построении соответствующих нагрузочных прямых.

Предельные значения тока и падение напряжения в рассматриваемой цепи могут быть получены и аналитически. Для положительных входных напряжений, используя кусочно-линейную аппроксимацию ВАХ диода, аналогично примеру 4.6 получим: $I_{вх \max} = 39,7$ мА, $U_{D \max} = 0,9$ В и $U_{R_H \max} = 6,1$ В.

Для отрицательных входных напряжений схема замещения для рассматриваемой цепи имеет вид, приведенный на рис. 4.19. Для этой схемы по второму закону Кирхгофа имеем

$$U_{вх} = R_H I_{вх} + r_{обр} (I_{вх} - I_s)$$

или

$$I_{вх \min} = - \frac{U_{вх \min} + I_s r_{обр}}{R_H + r_{обр}} = - \frac{1 + 1 \cdot 10^{-6} \cdot 400}{150 + 400} = -2,54 \text{ мА};$$

$$U_{R_H \min} = -I_{вх \min} R_H = -2,54 \cdot 10^{-3} \cdot 150 = -0,38 \text{ В};$$

$$U_{D \min} = -r_{обр} (I_{вх \min} - I_s) = -400(2,54 - 1) \cdot 10^{-6} = -0,618 \text{ В}.$$

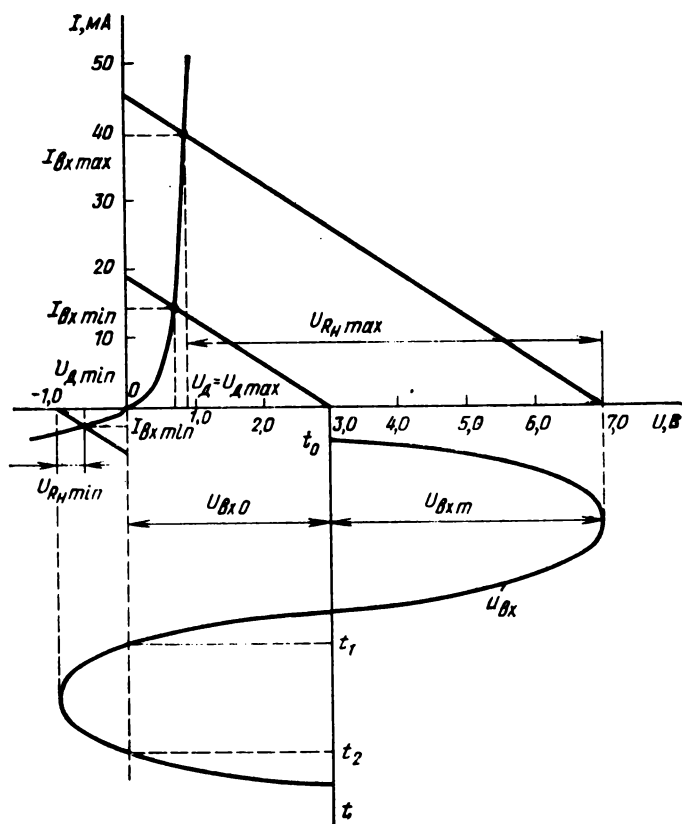


Рис. 4.18. Получение решения для постоянной и переменной составляющих входного сигнала

Результаты аналитического расчета практически совпали с результатами, полученными с использованием непосредственно ВАХ диода.

Пример 4.8. На входе схемы на рис. 4.12, а действует напряжение $u_{вх} = 1,76 + 0,5 \sin \omega t$. Для параметров из примера 4.4 определить i_k и $u_{вых}$.

Решение. При заданных значениях постоянной составляющей входного напряжения ток коллектора $I_{k \Pi}$ и выходное напряжение $U_{вых \Pi}$ совпадают с полученными в примере 4.4: $I_{k \Pi} = 0,5$ А; $U_{вых \Pi} = 7,5$ В.

Для получения переменных составляющих искомых величин упростим схему замещения, приведенную на рис. 4.16, в предположении, что $h_{12} = h_{22} = 0$. Данные условия, как правило, всегда выполняются на практике. Тогда для переменных составляющих токов и напряжений будут справедливы следующие соотношения:

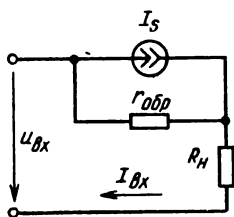


Рис. 4.19. Схема замещения цепи при обратном смещении диода

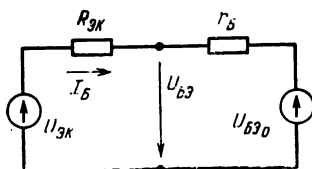


Рис. 4.21. Эквивалентная схема базовой цепи транзистора

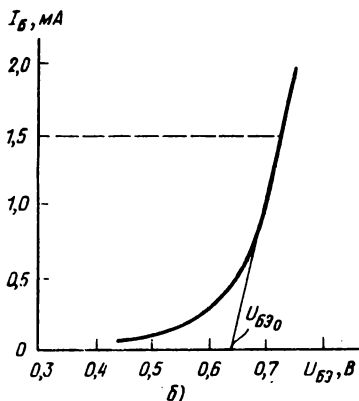
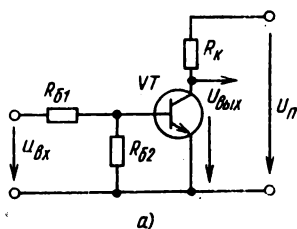


Рис. 4.20. Нелинейная схема (а) и входная характеристика биполярного транзистора (б)

$$i_B = u_{вх} / (R_6 + r_B) = I_{B\ m} \sin \omega t;$$

$$i_K = h_{21} i_B;$$

$$u_{вых} = u_{KЭ} = R_H i_K = R_H I_{B\ m} h_{21Э} \sin \omega t.$$

Используя приведенные выражения, найдем амплитудные значения тока $I_{K\ m}$ и выходного напряжения $U_{вых\ m}$.

$$I_{B\ m} = U_{вх\ m} / (R_6 + r_B) = 0,5 / (50 + 4) = 9,25 \text{ мА};$$

$$I_{K\ m} = I_{B\ m} h_{21Э} = 9,25 \cdot 25 = 231,5 \text{ мА};$$

$$U_{вых\ m} = I_{K\ m} R_K = 231,5 \cdot 10^{-3} \cdot 15 = 3,47 \text{ В}.$$

Тогда

$$i_K = I_{K\ П} + I_{K\ m} \sin \omega t = 0,5 + 0,23 \sin \omega t;$$

$$u_{вых} = U_{вых\ П} + U_{вых\ m} \sin \omega t = 7,5 + 3,47 \sin \omega t.$$

В рассмотренном примере изменение входного напряжения согласно рис. 4.12, б не приводит к смещению точки пересечения нагрузочной прямой, соответствующей R_6 , с входной характеристикой транзистора на нелинейный

участок последней. Поэтому расчеты переменных составляющих с использованием линейной схемы замещения дают приемлемую точность результатов.

Пример 4.9. Для схемы на рис. 4.20, а имеем: $R_{б1}=1,8 \text{ кОм}$, $R_{б2}=2,4 \text{ кОм}$, $R_k=1 \text{ кОм}$, $VT=KT830A$, $U_n=20 \text{ В}$, $h_{21Э}=20$, $u_{вх}=2,8+0,7 \sin \omega t$; $\omega=100\pi$.

Определить i_k и $u_{вых}$.

Решение. Вычислим постоянные составляющие искомых величин. Для этого воспользуемся кусочно-линейной аппроксимацией входной характеристики. Для нахождения точки, в которой должна быть проведена аппроксимация, воспользуемся очевидным для заданных параметров в цепи соотношением $R_{б1}$ и $R_{б2} \gg r_B$, тогда $I_B \approx U_{вх0}/R_{б1}=2,8/1,8=1,5 \text{ мА}$.

Находим на входной характеристике транзистора (рис. 4.20, б) точку, для которой $I_B=1,5 \text{ мА}$ и получаем следующие параметры аппроксимации ВАХ: $U_{БЭ0}=0,64 \text{ В}$, $r_B=(0,75-0,64)/2 \cdot 10^{-3}=55 \text{ Ом}$.

Для расчета базового тока воспользуемся теоремой об эквивалентном генераторе. Тогда для входной цепи рассматриваемой схемы справедлива схема замещения, приведенная на рис. 4.21, где

$$U_{ЭК}=U_{вх0}R_{б2}/(R_{б1}+R_{б2})=2,8 \cdot 2,4 \cdot 10^3/(1,8+2,4) \cdot 10^3=1,6 \text{ В};$$

$$R_{ЭК}=R_{б1}R_{б2}/(R_{б1}+R_{б2})=1,8 \cdot 2,4 \cdot 10^3/(1,8+2,4) \cdot 10^3=1,01 \cdot 10^3 \text{ Ом}.$$

Постоянная составляющая базового тока $I_{БП}$ равна

$$I_{БП}=(U_{ЭК}-U_{БЭ0})/(R_{ЭК}+r_B)=(1,6-0,64)/(1,01 \cdot 10^3+55)=0,9 \text{ мА}.$$

При необходимости значение $I_{БП}$ можно уточнить, выполнив аппроксимацию входной характеристики в точке $I_{БП}=0,9 \text{ мА}$. Однако, как видно из рис. 4.20, б, принятая кусочно-линейная аппроксимация и реальная характеристика в этой точке мало отличаются. При найденном $I_{БП}$ значения $I_{КП}$ и $U_{вхП}$ соответственно равны

$$I_{КП}=I_{БП}h_{21Э}=0,9 \cdot 20=18 \text{ мА};$$

$$U_{вхП}=U_n-I_{КП}R_k=20-18 \cdot 10^{-3} \cdot 1 \cdot 10^3=2 \text{ В}.$$

Переменные составляющие искомых параметров $I_{Км}$ и $U_{выхм}$ определим по найденной кусочно-линейной аппроксимации входной характеристики транзистора. Амплитудные значения тока базы $I_{Бм}$ и напряжения коллектора $U_{Км}$ равны:

$$I_{Бм}=\frac{U_{вхмЭК}}{R_{ЭК}+r_B}=\frac{0,7 [2,4/(1,8+2,4)]}{1,01 \cdot 10^3+55}=0,375 \text{ мА};$$

$$U_{Км}=I_{Бм}h_{21Э}R_k=0,375 \cdot 10^{-3} \cdot 20 \cdot 1 \cdot 10^3=7,5 \text{ В}.$$

Тогда

$$I_{К\max}=h_{21Э}(I_{БП}+I_{Бм})=20 \cdot (0,9+0,375)=25,5 \text{ мА};$$

$$I_{К\min}=h_{21Э}(I_{БП}-I_{Бм})=20 \cdot (0,9-0,375)=10,5 \text{ мА};$$

$$U_{вых\max}=U_{вхП}+U_{Км}=2+7,5=9,5 \text{ В};$$

$$U_{вых\min}=U_{вхП}-U_{Км}=2-7,5=-5,5 \text{ В}.$$

Анализ полученных результатов показывает, что в схеме на рис. 4.20, а невозможно получение отрицательного выходного напряжения. Минимальное значение выходного напряжения, достижимое в схеме, равно $U_{\text{вых min д}} = U_{\text{КЭ нас}} > 0$, т. е. равно напряжению насыщенного транзистора. К тому же в этом случае максимально допустимый коллекторный ток равен $I_{\text{К max д}} \approx U_{\text{п}}/R_{\text{к}} = 20 \text{ мА}$. Следовательно, предположение о том, что на всем интервале изменения входного напряжения транзистор работает в активном режиме, неверно, и существует некоторый временной интервал $t_1 \dots t_2$, в течение которого транзистор находится в режиме насыщения.

Полагая $U_{\text{КЭ нас}} = 0$, найдем максимально допустимый базовый ток $I_{\text{Б max д}}$, соответствующий границе режима насыщения, и времена t_1 и t_2 :

$$I_{\text{Б max д}} = I_{\text{К max д}} / h_{21Э} = 20 \cdot 10^{-3} / 20 = 1 \cdot 10^{-3} \text{ мА};$$

$$I_{\text{Б м д}} = I_{\text{Б max д}} - I_{\text{Б п}} = 1,0 - 0,9 = 0,1 \text{ мА};$$

$$i_{\text{Б}} = I_{\text{Б м}} \sin \omega t.$$

Отсюда при $\omega = 100\pi$

$$t_1 = \frac{1}{\omega} \arcsin \frac{I_{\text{Б м д}}}{I_{\text{Б м}}} = \frac{1}{100\pi} \arcsin \frac{0,1}{0,375} = 0,86 \cdot 10^{-3} \text{ с},$$

$$t_2 = \frac{\pi}{\omega} - \frac{1}{\omega} \arcsin \frac{I_{\text{Б м д}}}{I_{\text{Б м}}} = \frac{\pi}{100\pi} - 0,86 \cdot 10^{-3} = 9,14 \cdot 10^{-3} \text{ с}.$$

Временные диаграммы, соответствующие рассмотренному случаю, приведены на рис. 4.22.

Пример 4.10. Для схемы на рис. 4.23, а определить ток стока полевого транзистора. Передаточная характеристика полевого транзистора приведена на рис. 4.23, б, $R_{\text{н}} = 680 \text{ Ом}$, $U_{\text{п}} = 15 \text{ В}$.

Решение. Оно может быть найдено либо с использованием непосредственно передаточной характеристики полевого транзистора, либо аналитически по ее линейной аппроксимации.

При графическом решении воспользуемся методом пересечения характеристик. Для этого на передаточной характеристике полевого транзистора из начала координат проведем прямую, наклон которой определяется сопротивлением $R_{\text{н}}$. Угол наклона этой прямой равен

$$\alpha = \arctg R_{\text{н}} \frac{m_{I_{\text{п}}}}{m_{U_{\text{п}}}} = \arctg 680 \frac{1 \cdot 10^{-3} \text{ А/дел}}{0,5 \text{ В. дел}} = 36^\circ.$$

Нагрузочную прямую можно провести и по точкам, задавшись некоторым током резистора и определив для него соответствующее падение напряжения. Например, при токе 2 мА падение напряжения на резисторе составит $U_{\text{Р}} = RI = = 680 \cdot 2 \cdot 10^{-3} = 1,36 \text{ В}$.

Точка пересечения нагрузочной прямой с передаточной характеристикой транзистора даст искомые значения $U_{\text{зи}}$ и $I_{\text{с}}$: $U_{\text{зи}} = 2,17 \text{ В}$; $I_{\text{с}} = 3,23 \text{ мА}$.

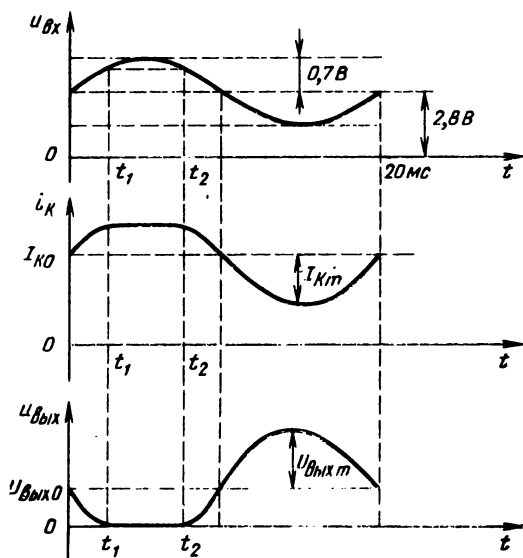


Рис. 4.22. Временные диаграммы

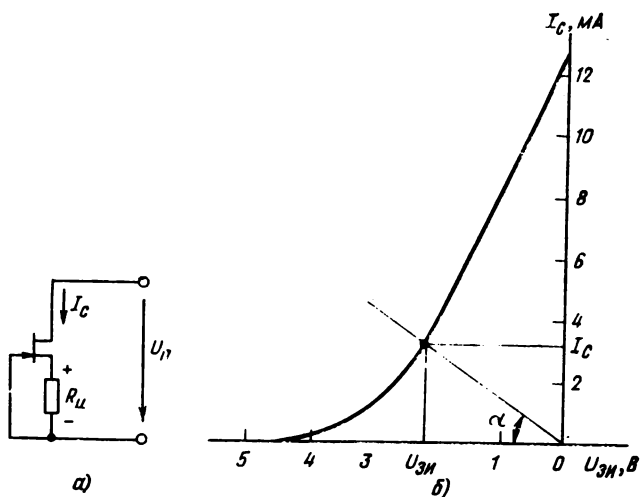


Рис. 4.23. Нелинейная схема (а) и передаточная характеристика полевого транзистора (б)

Для аналитического решения определим крутизну передаточной характеристики полевого транзистора. Для малых значений напряжения U_{3H} получим

$$S = \Delta I_C / \Delta U_{3H} = (12 - 8) \cdot 10^{-3} / 1 = 4 \text{ мА/В.}$$

Тогда передаточная характеристика полевого транзистора может быть аппроксимирована выражением

$$I_C = I_{C \text{ нач}} - S U_{3H}$$

и искомый ток I_C определится из решения уравнения $I_C = I_R$ или

$$I_{C \text{ нач}} - S U_{3H} = U_{3H} / R_H;$$

$$U_{3H} = \frac{I_{C \text{ нач}}}{S + 1/R_H} = \frac{12 \cdot 10^{-3}}{4 \cdot 10^{-3} + 1/680} = 2,19 \text{ В;}$$

$$I_C = 12 - 4 \cdot 2,19 = 3,24 \text{ мА.}$$

Результаты графического и аналитического расчетов практически совпали, что свидетельствует о допустимости применения полученной аппроксимации.

Контрольные вопросы

1. В чем отличие нелинейного элемента от линейного?
2. Назовите графоаналитические методы расчета нелинейных электрических цепей.
3. Поясните сущность метода пересечения характеристик.
4. Как аппроксимируется ВАХ полупроводникового диода?
5. Примените метод пересечения характеристик для расчета нелинейной цепи постоянного тока, содержащей биполярный транзистор.
6. В чем отличие инерционных и безинерционных нелинейных элементов?
7. Проиллюстрируйте на примере, в каких случаях для расчета нелинейных цепей используют несколько схем замещения.
8. Примените метод кусочно-линейной аппроксимации при расчете нелинейной цепи, содержащей биполярный транзистор, для случая одновременного воздействия источников постоянного и переменного напряжений.

ГЛАВА 5.

ОСНОВНЫЕ СВОЙСТВА АНАЛОГОВЫХ УСИЛИТЕЛЬНЫХ УСТРОЙСТВ

5.1. ОБЩИЕ СВЕДЕНИЯ, КЛАССИФИКАЦИЯ И ОСНОВНЫЕ ХАРАКТЕРИСТИКИ УСИЛИТЕЛЯ. ТИПОВЫЕ ФУНКЦИОНАЛЬНЫЕ КАСКАДЫ ПОЛУПРОВОДНИКОВОГО УСИЛИТЕЛЯ

Общие сведения. В настоящее время трудно определить область техники, где бы ни находили применение усилители электрических сигналов. Это объясняется, как правило, несоответствием параметров электрических сигналов, получаемых при первичном преобразовании различных неэлектрических физических величин в электрические, параметрам, необходимым для нормальной работы большинства исполнительных (нагрузочных) устройств. Так, мощность электрического сигнала на выходе типового датчика температуры составляет десятки милливатт. В то же время стабилизация температурного режима, например, ядерного реактора требует электрического сигнала мощностью в десятки и даже сотни киловатт. Для решения этой задачи электрический сигнал датчика должен быть соответственно усилен.

Усилителем называют устройство, предназначенное для усиления входного электрического сигнала по напряжению, току или мощности за счет преобразования энергии источника питания в энергию выходного сигнала.

Как следует из данного определения, суть процесса усиления электрических сигналов состоит в преобразовании энергии источника питания усилителя в энергию выходного сигнала по закону, определяемому входным управляющим воздействием. Другими словами, любой усилитель модулирует энергию источника питания входным управляющим сигналом. Этот процесс осуществляется при помощи управляемого нелинейного элемента.

Таким образом, для обеспечения усиления сигнала усилитель (U), последовательно с которым соединен источник питания E_n , должен включать в себя нелинейный элемент, управляемый входным электрическим сигналом U_1 . К входной (управляющей) цепи усилителя подключен источник \bar{E}_c усищаемого сигнала (при этом \bar{Z}_c — комплексное значение внутреннего сопротивления источника), а к выходной — нагрузочное устройство с сопротивлением \bar{Z}_n (рис. 5.1).

Как видно, действие усилителя заключается в обеспечении условий, при которых маломощный сигнал \dot{U}_1 управляет измене-

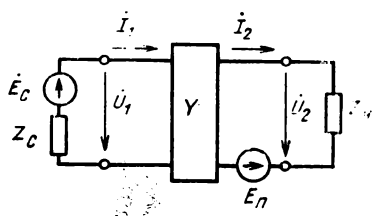


Рис. 5.1. Обобщенная структурная схема усилительного устройства

нием существенно большего выходного напряжения \dot{U}_2 , обусловленного наличием в выходной цепи источника питания \dot{E}_n .

Управляемые нелинейные элементы современных усилителей выполняются, как правило, с использованием биполярных и полевых транзисторов (см. гл. 2). Поэтому их часто называют транзисторными усилителями.

Транзистор в аналоговых усилительных устройствах выполняет роль управляемого сопротивления (\underline{Z}_{yc} на рис. 5.2), включенного в цепь нагрузки и источника питания, причем сопротивление транзистора определяется величиной и знаком управляющего сигнала. В зависимости от способа соединения указанных элементов возможны три различные структурные схемы усилительных устройств: последовательная, параллельная и последовательно-параллельная (рис. 5.2).

Связь выходного напряжения с параметрами используемых элементов описывается соответственно выражениями:

$$\dot{U}_2 = \frac{\dot{E}_n \underline{Z}_n}{\underline{Z}_n + \underline{Z}_{yc}};$$

$$\dot{U}_2 = \frac{\dot{E}_n}{1 + \underline{Z}_{\partial an} (1/\underline{Z}_{yc} + 1/\underline{Z}_n)};$$

$$\dot{U}_2 = \frac{\dot{E}_n}{1 + \underline{Z}_{yc1} (1/\underline{Z}_{yc2} + 1/\underline{Z}_n)}.$$

На схемах усилители Y условно обозначают согласно ГОСТ 25847-89 в виде, приведенном на рис. 5.3, а, б. В зависимости от

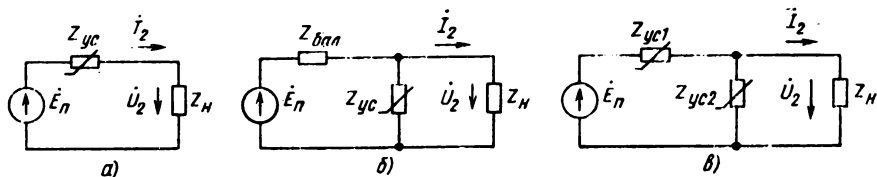


Рис. 5.2. Разновидности структурных схем усилительных устройств: последовательная (а), параллельная (б) и последовательно-параллельная (в)

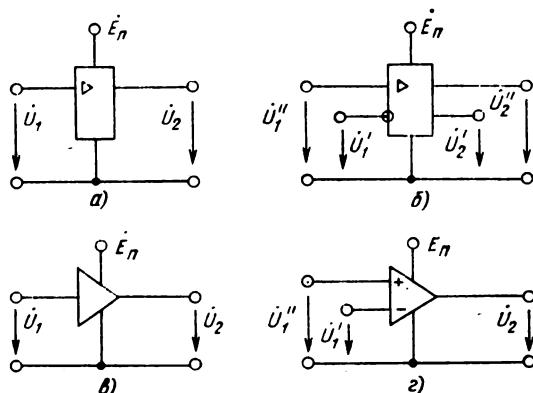


Рис. 5.3. Условные обозначения усилительных устройств с одним (а, в) и двумя (б, г) выходами

структуры схемы и конкретного выполнения нелинейного элемента усилитель может быть снабжен одним или несколькими входами и выходами. Так, на рис. 5.3, а показано условное обозначение Y с одним входом и выходом, а на рис. 5.3, б в качестве примера — с двумя входами и двумя выходами. Иногда, особенно в переводной литературе, можно встретить условное обозначение Y , приведенное на рис. 5.3, в, г. Общим для всех используемых обозначений является указание стрелкой направления передачи входного сигнала.

В зависимости от того, совпадает ли фаза выходного сигнала усилителя с фазой его входного сигнала или она сдвинута на 180° , усилители подразделяют соответственно на неинвертирующие и инвертирующие. Так, на рис. 5.3, а, в показано условное обозначение неинвертирующего усилителя с одним входом. Усилитель, условное обозначение которого приведено на рис. 5.3, б имеет два входа: один неинвертирующий, а второй инвертирующий. Инвертирующий вход обозначают кружком, как это показано на рис. 5.3, б. В литературе встречается иногда обозначение инвертирующего входа знаком «—», а неинвертирующего — знаком «+», как это показано на рис. 5.3, г.

Классификация усилителей осуществляется по различным признакам их обобщенной структурной схемы, приведенной на рис. 5.1.

По виду усиливаемого сигнала они делятся на усилители гармонических и импульсных сигналов.

Усилители гармонических (непрерывных) или квазигармонических (почти гармонических) сигналов предназначены для усиления сигналов, изменение которых происходит много медленнее дли-

тесностей переходных процессов в самих усилителях. Усилители импульсных сигналов предназначены для усиления импульсных периодических или непериодических сигналов. При этом длительность собственных переходных процессов в усилителе не должна вызывать искажения исходной формы усиливаемых сигналов.

По типу усиливаемой величины их делят на усилители напряжения, тока и мощности. Однако усиление сигнала по мощности наблюдается в любом усилителе в отличие от других типов преобразователей электрического сигнала. Например, у трансформатора, преобразующего напряжение или ток, мощность на выходе всегда остается неизменной по отношению к его входной мощности. Поэтому указанная классификация для усилителей имеет несколько условный характер, выражая лишь основное целевое назначение усилителя.

По диапазону усиливаемых частот различают усилители постоянного тока и усилители переменного тока.

Усилитель постоянного тока (УПТ) усиливает входной сигнал в диапазоне от нулевой до некоторой верхней частоты $0 \leq f_{\text{УПТ}} \leq f_{\text{в}}$.

Усилитель переменного тока усиливает входной сигнал, лежащий в диапазоне от некоторой нижней ($f_{\text{н}}$) до некоторой верхней ($f_{\text{в}}$) частот $f_{\text{н}} \leq f \leq f_{\text{в}}$. Сигналы постоянного тока данным типом усилителя не усиливаются.

В свою очередь, среди усилителей переменного тока по конкретным значениям частот $f_{\text{н}}$ и $f_{\text{в}}$ могут быть выделены следующие подгруппы устройств:

усилители низкой частоты (УНЧ) — устройства с диапазоном усиливаемых частот от единиц герц до сотен килогерц;

усилители высокой частоты (УВЧ) — устройства с диапазоном усиливаемых частот от сотен килогерц до сотен мегагерц;

широкополосные усилители — устройства с диапазоном усиливаемых частот от десятков — сотен герц до сотен мегагерц;

избирательные (резонансные) усилители, обеспечивающие усиление в очень узком диапазоне частот.

По виду соединительных цепей усилительных каскадов. Так как усилительные устройства строятся, как правило, на основе последовательного включения нескольких типовых каскадов, то различают усилители с гальванической (непосредственной) связью, предусматривающие передачу между каскадами сигнала как переменного, так и постоянного токов; усилители с RC -связями, в которых между выходом предыдущего и входом последующего каскадов включают резистивно-емкостную цепь, исключающую передачу сигналов постоянного тока; усилители с индуктивной (трансформаторной) связью, в которых между каскадами включается трансформатор.

По виду нагрузки различают усилители с активной, активно-индуктивной и емкостной нагрузкой. На практике встречаются также резонансные усилители, нагрузка в которых обладает свойствами резонансного контура.

5.2. ОСНОВНЫЕ ХАРАКТЕРИСТИКИ УСИЛИТЕЛЯ

Важнейшими характеристиками усилителя являются: коэффициент усиления, полоса пропускания (диапазон рабочих частот усилителя), входное и выходное сопротивления, выходная мощность, степень искажения усиленного сигнала и др.

Коэффициент усиления — отношение установившихся значений выходного и входного сигналов усилителя. В зависимости от типа усиливаемой величины различают коэффициенты усиления:

по напряжению $K_U = \Delta U_2 / \Delta U_1$;

по току $K_I = \Delta I_2 / \Delta I_1$;

по мощности $K_P = \Delta P_2 / \Delta P_1$,

где U_1, U_2, I_1, I_2 — действующие напряжения и токи.

Так как $\Delta P_1 = \Delta U_1 \Delta I_1$ и $\Delta P_2 = \Delta U_2 \Delta I_2$, то коэффициент усиления по мощности $K_P = K_U K_I$.

При каскадном соединении нескольких усилительных устройств произведение их коэффициентов усиления определяет общий коэффициент усиления системы, т. е.

$$K_{\text{общ}} = K_1 K_2 \dots K_n. \quad (5.1)$$

В общем случае коэффициенты усиления являются комплексными величинами, что отражает наличие фазовых искажений усиливаемого сигнала.

В электронике и автоматике широко используют логарифмические единицы оценки коэффициента усиления, который выражается в децибелах. Тогда коэффициент усиления по мощности

$$K_P [\text{дБ}] = 10 \lg (P_2 / P_1) = 10 \lg K_P. \quad (5.2)$$

Поскольку мощность пропорциональна квадрату тока или напряжения, для коэффициентов усиления по току и напряжению можно записать соответственно:

$$K_I [\text{дБ}] = 20 \lg (I_2 / I_1) = 20 \lg K_I;$$

$$K_U [\text{дБ}] = 20 \lg (U_2 / U_1) = 20 \lg K_U.$$

Логарифмическая мера оценки удобна при анализе многокаскадных усилителей. Действительно, общий коэффициент усиления многокаскадного усилителя при переходе к логарифмическим единицам измерения определяется в отличие от (5.2) суммой коэффициентов усиления отдельных каскадов, т. е. $K_{\text{общ}} [\text{дБ}] = K_1 [\text{дБ}] + K_2 [\text{дБ}] + \dots + K_n [\text{дБ}]$.

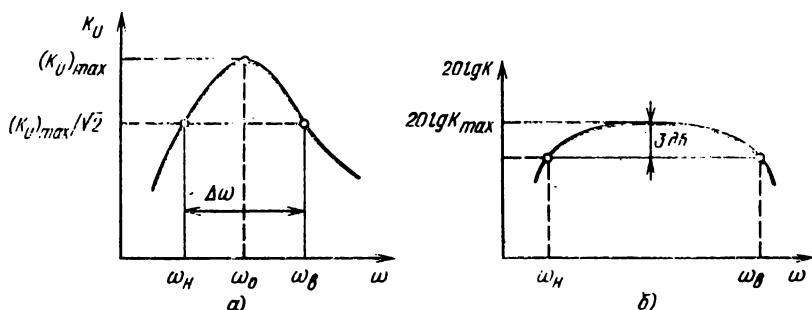


Рис. 5.4. Амплитудно-частотная (а) и логарифмическая амплитудно-частотная (б) характеристики усилительного устройства

Полоса пропускания усилителя — диапазон рабочих частот $\Delta\omega$ в пределах которого коэффициент усиления не снижается ниже значения $1/\sqrt{2} \approx 0,707$ от своего максимального значения K_{\max} . Зависимость коэффициента усиления от частоты усиливаемого сигнала называется амплитудно-частотной характеристикой (АЧХ) усилителя. Пример АЧХ показан на рис. 5.4, а. Если восстановить перпендикуляр из точки на оси абсцисс, соответствующей значению $K_{U\max}/\sqrt{2}$, до пересечения с АЧХ, то не представляет труда графическим путем определить полосу пропускания усилителя. Проекция на ось абсцисс первой точки пересечения соответствует нижней (ω_H), а второй — верхней (ω_B) частотам пропускания усилителя. Тогда полоса пропускания

$$\Delta\omega = \omega_B - \omega_H.$$

Если коэффициент усиления измеряется в децибелах, то значениям граничных частот усиления ω_H и ω_B соответствует уменьшение коэффициента усиления на 3 дБ (рис. 5.4, б).

Для удобства взаимного сопоставления АЧХ усилителей с различными значениями K_{\max} их обычно нормируют, представляя выходной параметр в виде относительной величины, т. е.

$$N(\omega) = K(\omega)/K_{\max},$$

где $K(\omega)$ и K_{\max} — коэффициент усиления на частоте ω и максимальное значение коэффициента усиления.

Применительно к АЧХ, показанной на рис. 5.4, а, имеем

$$N_U(\omega) = K_U(\omega)/K_{U\max}.$$

Выполнив расчеты $N_U(\omega)$, соответствующие различным значениям $K_U(\omega)$, не представляет труда перейти от реальной АЧХ усилителя к его нормированной АЧХ.

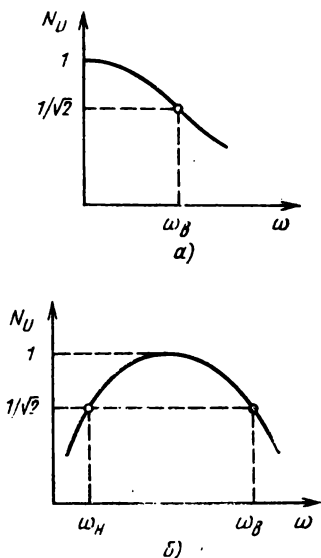


Рис. 5.5. Нормированные амплитудно-частотные характеристики усилителей постоянного (а) и переменного (б) токов

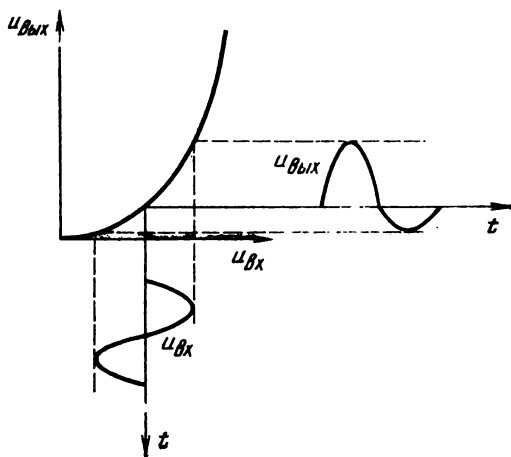


Рис. 5.6. Появление нелинейных искажений в усилителе

В качестве примера на рис. 5.5 приведены нормированные АЧХ усилителей постоянного и переменного тока.

Входное и выходное сопротивления — важнейшие параметры усилительных устройств. Их значения должны учитываться при согласовании усилительного устройства как с источником входного сигнала (датчиком), так и с нагрузкой. В общем виде значения входного и выходного сопротивлений носят комплексный характер и являются функцией частоты. Последняя зависимость особенно важна в случае действия на входе усилительного устройства непериодического сигнала.

Входное и выходное сопротивления определяются выражениями

$$Z_{вх}(\omega) = U_{вх}(\omega) / I_{вх}(\omega) \text{ при } R_H = \text{const}; \quad (5.3)$$

$$Z_{вых}(\omega) = [U_{вых х}(\omega) - U_{вых}(\omega)] / I_{вых}'(\omega). \quad (5.4)$$

Часто на практике интересуются только активными составляющими входного и выходного сопротивлений. В этом случае для них справедливы следующие выражения:

$$R_{\text{BX}} = R_1 \approx (U_1/I_1)_{R_{\text{H}} = \text{const}};$$

$$R_{\text{ВЛХ}} = R_2 = (U_{\text{ВЛХ}} - U_{\text{ВЛХ}})/I_{\text{ВЛХ}} = U_{2\text{X}}/I_{2\text{K}},$$

где $U_{2\text{X}}$ — напряжение холостого хода на выходе усилителя ($R_{\text{H}} = \infty$); $I_{2\text{K}}$ — ток короткого замыкания ($R_{\text{H}} = 0$).

Выходная мощность усилителя — это та часть мощности, которая может быть выделена в нагрузочном устройстве. В случае активной нагрузки она равна

$$P_{\text{ВЛХ}} = P_2 = I_2^2 R_{\text{H}} = U_2^2 G_{\text{H}},$$

где $G_{\text{H}} = 1/R_{\text{H}}$ — проводимость нагрузочного устройства.

Искажение сигналов в усилителе связано, во-первых, с нелинейной зависимостью выходного сигнала от входного, обусловленной нелинейностью статических ВАХ применяемых элементов, и, во-вторых, с частотной зависимостью амплитуды и фазы усиливаемого сигнала. Поэтому при анализе работы усилителей рассматривают два вида искажений выходного сигнала по отношению к входному: статические (нелинейные) и динамические (амплитудные и фазовые), в результате которых изменяется как форма, так и частотный спектр усиливаемого сигнала. Динамические искажения иногда называют линейными искажениями.

Причина возникновения нелинейных искажений поясняется на рис. 5.6. Очевидно, что в данном случае при воздействии на вход усилительного устройства гармонического сигнала, выходной сигнал кроме входной гармоники будет содержать ряд дополнительных гармоник. Появление этих гармоник обусловлено зависимостью коэффициента усиления от величины входного сигнала. Следовательно, появление нелинейных искажений всегда связано с появлением на выходе дополнительных, отсутствующих на входе, гармонических составляющих сигнала.

Для количественной оценки нелинейных искажений служит *коэффициент нелинейных искажений* (коэффициент гармоник) K_{H} , в основу расчета которого положена оценка относительной величины высших гармоник к основной в выходном сигнале, т. е.

$$K_{\text{H}} = \sqrt{A_2^2 + A_3^2 + \dots + A_n^2}/A_1, \quad (5.5)$$

где $A_2 \dots A_n$ — действующие значения высших гармоник выходного сигнала, начиная со второй; A_1 — действующее значение первой (основной) гармоники выходного сигнала.

Частотные искажения усилительного устройства оцениваются по виду его амплитудно-частотной характеристики АЧХ. Причины возникновения частотных искажений рассмотрим на примере устройства, АЧХ которого приведена на рис. 5.7, а. Предположим, что на входе усилительного устройства действует сигнал, равный сумме

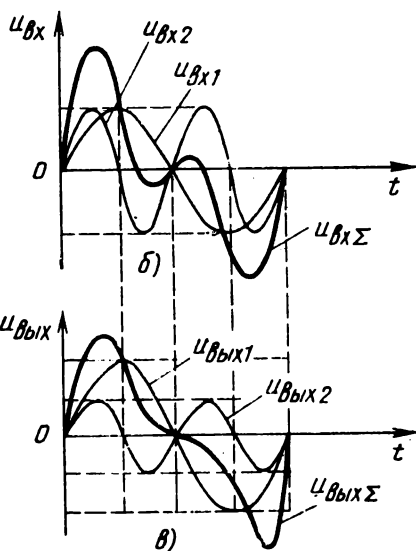
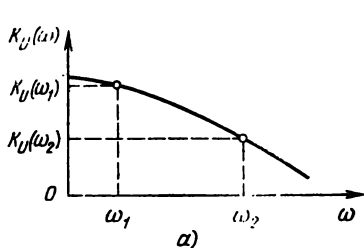


Рис. 5.7. Возникновение частотных искажений в усилителе: *а* — амплитудно-частотная характеристика усилителя; *б* — входные сигналы усилителя; *в* — выходные сигналы усилителя

двух гармоник одинаковой амплитуды, причем $\omega_2 = 2\omega_1$ (рис. 5.7, б). Согласно приведенной АЧХ (рис. 5.7, а) $K_U(\omega_1) = 2K_U(\omega_2)$. Тогда напряжение на выходе усилителя примет вид, показанный на рис. 5.7, в. Сравнение суммарного входного $u_{вх\Sigma}$ и выходного $u_{вых\Sigma}$ сигналов показывает, что они существенно различны.

Из приведенных рассуждений видно, что идеальной (с точки зрения отсутствия частотных искажений) является АЧХ, у которой для всех усиливаемых частот выполняется соотношение $K_U(\omega) = \text{const}$.

Количественно частотные искажения оцениваются *коэффициентом частотных искажений* M , численно равным отношению коэффициента усиления в области средних частот для амплитудно-частотной характеристики к коэффициенту усиления на заданной частоте

$$M = K_U(\omega_{cp})/K_U(\omega).$$

Фазовые искажения возникают из-за неравномерности фазочастотной характеристики (ФЧХ) усилительного устройства (сплошная кривая на рис. 5.8, а). Условием идеальности ФЧХ является условие независимости фазы от частоты усиливаемого сигнала (штриховая линия на рис. 5.8, а), которая соответственно описывается линейной зависимостью вида $\varphi(\omega) = \text{const}$.

Однако условие независимости фазы от частоты на практике трудно обеспечить и ФЧХ имеет вид сплошной линии на рис. 5.8, а. Рассмотрим на примере природу возникновения фазовых искаже-

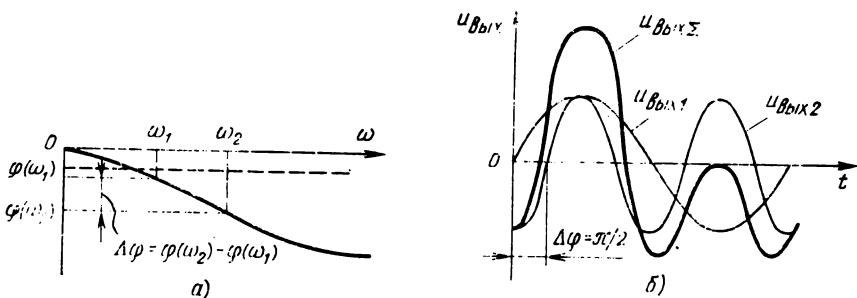


Рис. 5.8. Возникновение фазовых искажений в усилителе:
а — фазо-частотная характеристика усилителя; б — выходные сигналы усилителя

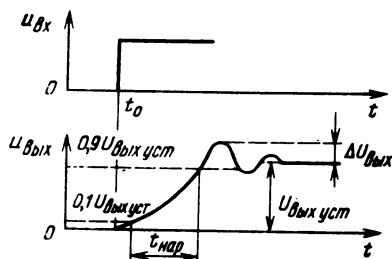
ний в усилительном каскаде. Предположим, как и в случае амплитудных искажений сигнала, что на входе усилительного устройства действует сигнал, равный сумме двух гармоник, причем частоты этих сигналов отличаются в 2 раза, т. е. $\omega_2 = 2\omega_1$ (см. рис. 5.7, а). Предположим также, что фазовый сдвиг $\Delta\varphi(\omega)$, вносимый усилительным устройством между частотами ω_1 и ω_2 , равен $\pi/2$. Вид выходного сигнала усилительного устройства при сделанных допущениях показан на рис. 5.8, б. Очевидно, что (как и в предыдущем случае) формы входного и выходного сигналов существенно различны.

Следует заметить, что так как на практике в усилительном устройстве используются только минимально фазовые звенья, то между его АЧХ и ФЧХ существует однозначная взаимосвязь. Поэтому рассмотренные примеры являются идеализированными и в реальном устройстве отделить частотные искажения от фазовых не представляется возможным.

Переходные характеристики представляют собой зависимость мгновенного значения выходного напряжения или тока от перепада значений соответствующего электрического параметра с нулевой длительностью фронта на входе усилительного устройства. Эти характеристики используются для определения динамических свойств устройства. Типовой вид переходной характеристики усилителя приведен на рис. 5.9. Численно по данной характеристике определяют два параметра: время нарастания выходного напряжения $t_{\text{нар}}$ и перерегулирование выходного напряжения $\Delta U_{\text{вых}}$. Оба эти параметра определяются относительно нового установившегося значения выходного напряжения $U_{\text{вых.уст.}}$.

Типовые функциональные каскады полупроводникового усилителя. Для получения высоких коэффициентов усиления необходимо каскадное включение нескольких усилителей, обеспечивающее последовательное усиление сигнала до требуемого значения.

Рис. 5.9. Типовая переходная характеристика усилителя



Каскадную схему усилителя можно представить в виде трех функционально отличных каскадов усиления (рис. 5.10): предварительного усилителя (ПрУ), промежуточного усилителя (ПМУ) и выходного усилителя (мощности) (ВУ).

Предварительный усилитель обеспечивает непосредственную связь источника сигнала и усилительного устройства. Поэтому важнейшее требование, которому он должен удовлетворять, — минимальное ослабление входного сигнала. Для этого ПрУ должен обладать большим входным сопротивлением $R_{вх}$. Это сопротивление должно быть существенно больше сопротивления R_c источника сигнала, т. е. $R_{вх} \gg R_c$. В этом случае изменения входного напряжения усилителя будут стремиться к изменению э. д. с. источника в его входной цепи. Основное требование, предъявляемое к ПрУ — обеспечение наибольшего усиления входного сигнала при минимальных его искажениях.

Промежуточный усилитель выполняет роль буферного каскада между предварительным и выходным усилителями. Основная его задача — согласование выхода ПрУ со входом ВУ.

Выходной усилитель предназначен для получения на выходе усилительного устройства мощности, обеспечивающей работоспособность нагрузочного устройства, выполняющего определенные функции. Поэтому в отличие от ПрУ и ПМУ, выходная мощность которых сравнительно невелика, основным параметром ВУ является КПД.

Применяемые на практике транзисторные усилители мощности классифицируют на одно- и двухтактные. Однотактные усилители мощности используют для работы с нагрузочными устройствами, мощность которых составляет единицы ватт. При больших значениях мощности нагрузочных устройств применяют двухтактные ВУ.



Рис. 5.10. Каскадная схема усилителя

В заключение следует подчеркнуть, что наличие трех разнотипных функциональных каскадов — предварительного, промежуточного и выходного — не является обязательным. Известны электронные усилители, в которых предварительный и промежуточный усилители не имеют явно выраженных разграничительных признаков и совмещены в одном усилительном каскаде. То же самое относится к промежуточному и выходному усилителям, которые также можно объединять. Наконец, возможны схемы усилительных устройств с несколькими усилителями одного типа и т. д.

5.3. МАТЕМАТИЧЕСКОЕ ОПИСАНИЕ УСИЛИТЕЛЬНЫХ УСТРОЙСТВ

Передаточные функции усилительных устройств. Основой для проведения анализа свойств существующих и направленного синтеза новых усилительных устройств с заданными характеристиками является их *математическое описание* или *математическая модель*. Основным вопросом, с которым приходится сталкиваться при составлении математической модели, является вопрос ее адекватности реально существующему объекту. Выбранная математическая модель должна, с одной стороны, отражать свойства реального объекта с требуемой степенью точности, а с другой стороны, быть не слишком сложной, что предопределяет получение конечного результата доступными средствами.

В общем случае элементы, используемые для построения усилительных устройств, имеют нелинейные характеристики, причем их параметры зависят как от времени, так и от внешних условий эксплуатации. Поэтому точное математическое описание усилительных устройств достаточно громоздко и базируется на использовании систем нелинейных дифференциальных уравнений, параметры которых зависят от времени и различных внешних возмущающих воздействий.

Однако в большинстве практических случаев этими зависимостями можно пренебречь и с точки зрения математического описания рассматривать усилительное устройство как непрерывную линейную стационарную систему с сосредоточенными параметрами и детерминированным законом управления.

Непрерывной называется система, в которой все сигналы ее устройств и объектов регулирования являются непрерывными функциями времени; *линейной* — система, для которой справедлив принцип суперпозиции; *стационарной* — система, параметры и характеристики которой не зависят от времени. *Детерминированным* называется закон управления, предполагающий однозначную связь между входным воздействием и соответствующим значением выходного параметра.

Тогда для математического описания усилительного устройства можно воспользоваться системой дифференциальных уравнений с постоянными коэффициентами. Учитывая, что нас, как правило, интересует реакция усилительного устройства на некоторое входное воздействие, исходная система дифференциальных уравнений может быть приведена к одному уравнению высокого порядка вида

$$\begin{aligned} & a_n \frac{d^n}{dt^n} u_{\text{вых}} + a_{n-1} \frac{d^{n-1}}{dt^{n-1}} u_{\text{вых}} + \dots + a_0 u_{\text{вых}} = \\ & = b_m \frac{d^m}{dt^m} u_{\text{вх1}} + b_{m-1} \frac{d^{m-1}}{dt^{m-1}} u_{\text{вх1}} + \dots + b_0 u_{\text{вх1}} + \\ & + c_l \frac{d^l}{dt^l} u_{\text{вх2}} + c_{l-1} \frac{d^{l-1}}{dt^{l-1}} u_{\text{вх2}} + \dots + c_0 u_{\text{вх2}}, \end{aligned} \quad (5.6)$$

где $u_{\text{вх1}}$ и $u_{\text{вх2}}$ — мгновенные значения входных возмущений, приложенных к различным входам усилительного устройства; a_i , b_i , c_i — постоянные коэффициенты, содержащие суммы и произведения параметров элементов, входящих в состав усилительного устройства (например, R , L , C).

Воспользовавшись операторной формой записи уравнений, т. е. обозначив $d/dt^i = p^i$, уравнение (5.6) можно представить в виде

$$(a_n p^n + a_{n-1} p^{n-1} + \dots + a_0) u_{\text{вых}} = (b_m p^m + b_{m-1} p^{m-1} + \dots + b_0) u_{\text{вх1}} + (c_l p^l + c_{l-1} p^{l-1} + \dots + c_0) u_{\text{вх2}}. \quad (5.7)$$

Уравнение (5.7) позволяет получить *передаточную функцию* усилительного устройства по выбранному входному возмущению, под которой понимается выражение

$$W_1(p) = \frac{u_{\text{вых}}}{u_{\text{вх1}}} = \frac{b_m p^m + b_{m-1} p^{m-1} + \dots + b_0}{a_n p^n + a_{n-1} p^{n-1} + \dots + a_0}. \quad (5.8)$$

При получении $W_1(p)$ предполагается, что $u_{\text{вх2}} = 0$. Такое допущение справедливо, так как мы предположили, что наше усилительное устройство является линейной системой, для которой справедлив принцип суперпозиции, т. е. реакция на сумму воздействий равна сумме реакций на каждое отдельно взятое воздействие.

По аналогии с ранее проделанным, передаточная функция по входному возмущению $u_{\text{вх2}}$ имеет вид

$$W_2(p) = \frac{u_{\text{вых}}}{u_{\text{вх2}}} = \frac{c_l p^l + c_{l-1} p^{l-1} + \dots + c_0}{a_n p^n + a_{n-1} p^{n-1} + \dots + a_0}. \quad (5.9)$$

Используя передаточные функции (5.8) и (5.9), уравнение (5.7) можно представить в виде

$$u_{\text{вых}} = W_1(p) u_{\text{вх1}} + W_2(p) u_{\text{вх2}}. \quad (5.10)$$

Полученные передаточные функции называются *передаточными функциями в операторной форме*.

Наряду с ними широко используются передаточные функции в форме изображений Лапласа, т. е. в виде отношений не оригиналов функции, а их изображений, полученных в соответствии с выражением

$$L[x(t)] = X(s) = \int_0^{\infty} x(t) \exp(-st) dt,$$

где s — комплексный параметр преобразования Лапласа, имеющий размерность частоты ($1/c$); L — указатель преобразования Лапласа; $x(t)$ — заданная функция; $X(s)$ — изображение заданной функции $x(t)$;

$$W(s) = U_{\text{вых}}(s)/U_{\text{вх}}(s). \quad (5.11)$$

Следует отметить, что для случая стационарных систем, т. е. систем, у которых параметры элементов не зависят от времени, передаточная функция в форме преобразований Лапласа может быть получена из передаточной функции в операторной форме простой заменой переменной p на s . Это внешнее сходство объясняется тем, что для изображения от производной справедливо выражение

$$L\left(\frac{dx}{dt}\right) = \int_0^{\infty} \frac{dx}{dt} \exp(-st) dt = s \int_0^{\infty} x \exp(-st) dt - x(0).$$

Для случая $x(0)=0$ имеем $L[dx(t)/dt] = sL[x(t)]$.

Таким образом, выражение (5.10) эквивалентно исходному дифференциальному уравнению системы (5.6) только в случае нулевых начальных условий. В противном случае выражением (5.10) для математического описания усилительного устройства пользоваться нельзя. Объясняется это следующим образом. В случае, если многочлен A_n , описывающий поведение системы, и многочлены B_m и C_l , характеризующие возмущающие воздействия, содержат общие нули (множители), последние при вычислении передаточной функции сокращаются. Поэтому (при произвольных начальных условиях) по полученным передаточным функциям нельзя точно восстановить исходное дифференциальное уравнение. Следовательно, нельзя правильно описать поведение усилительного устройства.

Представление передаточной функции элементарными звеньями.

Как следует из (5.8) и (5.9), передаточная функция усилительного устройства в общем виде представляется отношением двух многочленов высокого порядка. Из алгебры известно, что полином произвольной степени всегда может быть представлен в виде произведения простых множителей вида $\alpha s^2 + \beta s + \gamma$, причем любой из коэффициентов α , β , γ в общем случае может равняться нулю. Поэтому передаточная функция усилительного устройства может быть представлена в виде произведения элементарных дробей вида

$$\frac{\alpha_1 s^2 + \beta_1 s + \gamma_1}{\alpha_2 s^2 + \beta_2 s + \gamma_2} = \frac{N_1(s)}{N_2(s)}, \quad (5.12)$$

причем любой из коэффициентов данного выражения, как уже было отмечено, также может равняться нулю. Таким образом, описание любого усилительного устройства может быть сведено к выражению вида

$$W(p) = \frac{\prod_{i=1}^k N_i(p)}{\prod_{v=1}^j N_v(p)} = \prod_{q=1}^d N_q(p). \quad (5.13)$$

Индексы k , j и d выражения (5.13) связаны с индексами m и n исходного дифференциального уравнения усилительного устройства соотношениями: $k \leq m$; $d \leq j \leq n$.

Из выражения (5.13) следует важный практический вывод, что передаточную функцию произвольного вида можно представить в виде произведения нескольких элементарных передаточных функций, причем набор этих функций согласно (5.12) будет ограничен, т. е. функция имеет стандартный вид. Если теперь каждой элементарной передаточной функции поставить в соответствие типовое звено, то любое усилительное устройство может быть представлено в виде каскадного включения нескольких типовых звеньев.

5.4. ЧАСТОТНЫЕ ХАРАКТЕРИСТИКИ УСИЛИТЕЛЬНЫХ УСТРОЙСТВ

Передаточная функция усилительного устройства позволяет легко определить его амплитудно-фазовую характеристику. Последняя получается путем замены в выражениях (5.8) и (5.9) оператора p на $j\omega$, где $j = \sqrt{-1}$, а ω — круговая частота:

$$W(p)|_{p=j\omega} = W(j\omega) = P(\omega) + jQ(\omega), \quad (5.14)$$

где $P(\omega)$ и $Q(\omega)$ — соответственно действительная и мнимая части передаточной функции, т. е. $P(\omega) = \operatorname{Re}[W(j\omega)]$, $Q(\omega) = \operatorname{Im}[W(j\omega)]$.

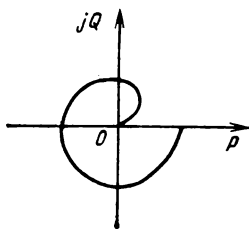


Рис. 5.11. Пример амплитудно-фазовой характеристики (годограф) усилителя

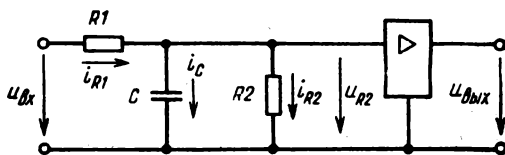


Рис. 5.12. Схема усилительного устройства

Обычно амплитудно-фазовую характеристику, построенную в координатах P и jQ называют годографом системы (рис. 5.11). По виду годографа можно судить об основных свойствах системы.

Однако на практике большее распространение получили логарифмические АЧХ и ФЧХ, построенные в виде самостоятельных зависимостей. Логарифмической амплитудно-частотной характеристикой ЛАЧХ называется зависимость вида

$$K(\omega) = 20 \lg |W(j\omega)| = 20 \lg \sqrt{P^2(\omega) + Q^2(\omega)}. \quad (5.15)$$

Фазо-частотной характеристикой (ФЧХ) называется зависимость

$$\varphi(\omega) = \arg |W(j\omega)| = \arctg [Q(\omega)/P(\omega)]. \quad (5.16)$$

Последнее равенство справедливо в случае, если $\arg |W(j\omega)| \leq \pi/2$. Напомним, что для функций комплексных переменных справедливо выражения

$$K(\omega) = 20 \lg |W(j\omega)| = 20 \left[\sum_{i=1}^k \lg |N_i(j\omega)| - \sum_{v=1}^f \lg |N_v(j\omega)| \right]; \quad (5.17)$$

$$\arg W(j\omega) = \sum_{i=1}^k \arctg N_i(j\omega) - \sum_{v=1}^f \arctg N_v(j\omega). \quad (5.18)$$

Следовательно, так как произвольная передаточная функция усилительного устройства может быть представлена в виде произведения элементарных сомножителей, то ЛАЧХ и ФЧХ любого усилительного устройства могут быть построены через ЛАЧХ и ФЧХ элементарных звеньев их алгебраическим суммированием.

Данный вывод открывает широкие возможности для синтеза усилительных устройств по заданному виду частотных характеристик. При этом на практике при построении ЛАЧХ обычно пользуются асимптотическими характеристиками, представляющими со-

бой отрезки прямых линий с наклоном $n \cdot 20$ дБ/дек, где n — любое целое число. Проиллюстрируем сказанное примером.

Пример 5.1. Построить ЛАЧХ и ФЧХ усилительного устройства, показанного на рис. 5.12.

Решение. Схема на рис. 5.12 состоит из апериодического RC -звена, на выходе которого включен безынерционный усилитель с коэффициентом передачи K_{U0} . Определим передаточную функцию, частотную и фазовую характеристики данной цепи. Для этого запишем систему уравнений, характеризующую поведение данной схемы:

$$u_{вх} = i_{R1} R_1 + u_C; \quad u_C = (1/C) \int i_C dt;$$

$$u_{R2} = i_{R2} R_2; \quad u_{вых} = K_{U0} u_{R2}.$$

Тогда по первому закону Кирхгофа $i_{R1} = i_C + i_{R2}$ или

$$i_{R1} = C(du_{R2}/dt) + u_{R2}/R_2 = (C/K_{U0})(du_{вых}/dt) + u_{вых}/(R_2 K_{U0}).$$

Подставив полученное выражение для тока в выражение для входного напряжения, получим

$$u_{вх} = (R_1/K_{U0})[C(du_{вых}/dt) + u_{вых}/R_2] + u_{вых}/K_{U0}.$$

Воспользовавшись выражением (5.8), передаточную функцию рассматриваемой схемы можно записать в виде

$$W(p) = \frac{U_{вых}(p)}{U_{вх}(p)} = \frac{K_{U0} R_2}{R_1 + R_2} \cdot \frac{1}{\left(\frac{R_1 R_2 C}{R_1 + R_2} p + 1 \right)}$$

или $W(p) = K_U / (Tp + 1)$,

где $K_U = K_{U0} R_2 / (R_1 + R_2)$ — коэффициент передачи цепи; $T = R_1 R_2 C / (R_1 + R_2)$ — постоянная времени цепи. Для получения частотных характеристик выполним замену $p = j\omega$:

$$W(j\omega) = \frac{K_U}{Tp + 1} = \frac{K_U(1 - jT\omega)}{1 + (T\omega)^2} = \frac{K_U}{1 + (T\omega)^2} - j \frac{K_U T\omega}{1 + (T\omega)^2} = P(\omega) + jQ(\omega)$$

или

$$P(\omega) = K_U / [1 + (T\omega)^2];$$

$$Q(\omega) = -K_U T\omega / [1 + (T\omega)^2].$$

Определим модуль и фазу полученной частотной характеристики:

$$|W(j\omega)| = \sqrt{\frac{K_U^2}{[1 + (T\omega)^2]^2} + \frac{(K_U T\omega)^2}{[1 + (T\omega)^2]^2}} = \frac{K_U}{\sqrt{1 + (T\omega)^2}};$$

$$K(\omega) = 20 \lg |W(j\omega)| = 20 \lg K_U - 20 \lg \sqrt{1 + (T\omega)^2};$$

$$\varphi(\omega) = \arctg(-T\omega) = -\arctg(T\omega).$$

Полученные выражения позволяют построить ЛАЧХ и ФЧХ рассматриваемой схемы.

На практике обычно не пользуются непосредственно полученным выражением для амплитудной характеристики, а строят, как уже отмечалось ранее,

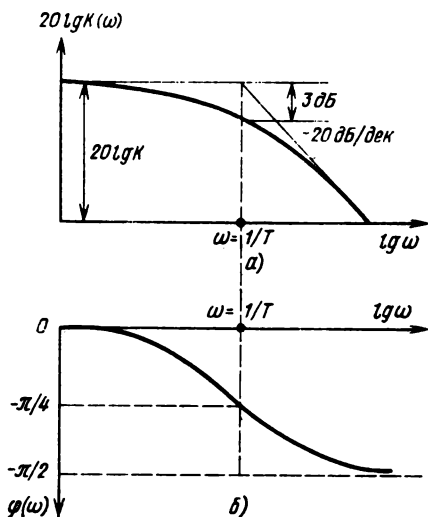


Рис. 5.14. Схема усилительного устройства

Рис. 5.13. Асимптотическая ЛАЧХ (а) и ФЧХ (б) усилительного устройства

асимптотические характеристики, т. е. применяют кусочно-линейную аппроксимацию, полагая, что

$$\text{при } (T\omega)^2 \ll 1 \quad K(\omega) = 20 \lg K_U,$$

$$\text{при } (T\omega)^2 \gg 1 \quad K(\omega) = 20 \lg K_U - 20 \lg (T\omega).$$

Тогда в точке $T\omega = 1$ имеем

$$K(\omega) = 20 \lg K_U - 20 \lg (0,707) = 20 \lg K_U - 3 \text{ дБ}.$$

Анализ полученных выражений показывает, что расхождение между асимптотической и реальной характеристиками максимально при частоте $\omega = 1/T$ и составляет 3 дБ. В случае необходимости эта ошибка может быть легко учтена.

Частота $\omega = 1/T$, при которой происходит изменение наклона асимптотической характеристики, называется *частотой сопряжения* или *сопрягающей частотой*.

На рис. 5.13, а приведены реальная и асимптотическая логарифмические амплитудно-частотные характеристики рассматриваемой схемы.

Наклон асимптоты характеристики $K(\omega)$ обычно определяется изменением значения $K(\omega)$ при увеличении частоты в 10 раз, т. е. на декаду. Следовательно, он показывает на сколько децибел изменится $K(\omega)$ при изменении частоты в 10 раз. Для рассматриваемого случая он составит -20 дБ/дек .

Для построения ФЧХ (рис. 5.13, б) определим ее характерные точки:

$$\text{для } \omega = 0 \quad T\omega = 0 \quad \text{и} \quad \varphi = \arctg(0) = 0;$$

$$\text{если } \omega \rightarrow \infty, \text{ то } \omega = \arctg(\infty) = -\pi/2;$$

$$\text{если } \omega = 1/T, \text{ то } \varphi = -\arctg(1) = -\pi/4.$$

Как видно из приведенных вычислений, на частоте $\omega = 1/T$ изменение фазы в цепи достигает 45° , т. е. половины своего максимального значения.

Пример 5.2. Построим ЛАЧХ и ФЧХ для усилительного устройства, приведенного на рис. 5.14.

Решение. Схема представляет собой комбинацию пропорционального (R_1 и R_2) и дифференцирующего (C и R_2) звеньев, на выходе которой включен безынерционный усилитель с коэффициентом передачи K_{U0} . Запишем (как и в предыдущем случае) систему дифференциальных уравнений, характеризующих поведение цепи. По первому закону Кирхгофа имеем: $i_{R2} = i_{R1} + i_C$ или $u_{вых}/(R_2 K_{U0}) = (u_{вх} - u_{вых})/R_1 + C d(u_{вх} - u_{вых})/dt$.

Воспользовавшись определением передаточной функции (5.8), для рассматриваемого случая получим:

$$W(p) = U_{вых}(p)/U_{вх}(p) = K_U(T_1 p + 1)/(T_2 p + 1),$$

где $K_U = K_{U0} R_2 / (R_1 + R_2)$ — коэффициент передачи цепи; $T_1 = R_1 C$ и $T_2 = R_2 R_1 C / (R_1 + R_2)$ — постоянные времени RC-цепи.

Для определения ЛАЧХ и ФЧХ воспользуемся равенствами (5.13) и (5.17). Тогда полученную передаточную функцию можно представить произведением двух функций:

$$W(p) = \frac{K_U}{T_2 p + 1} (T_1 p + 1) W_1(p) W_2(p).$$

ЛАЧХ и ФЧХ для первого звена были получены в предыдущем примере. Рассмотрим характеристики второго звена:

$$\begin{aligned} W_2(j\omega) &= (T_1 p + 1); \\ |W(j\omega)| &= \sqrt{P^2(\omega) + Q^2(\omega)} = \sqrt{1 + (T_1 \omega)^2}; \\ \varphi(\omega) &= \arctg Q(\omega)/P(\omega) = \arctg(T_1 \omega). \end{aligned}$$

Поступая аналогично представленному ранее, находим характерные точки характеристики:

$$\begin{aligned} \omega T_1 \rightarrow 1, \quad K(\omega) &= 20 \lg \sqrt{1 + (T_1 \omega)^2} \rightarrow 20 \lg(1) = 0; \\ \omega T_1 \rightarrow 1, \quad K(\omega) &= 20 \lg(\omega T_1); \\ \omega T_1 = 1, \quad K(\omega) &= 3 \text{ дБ}; \\ \omega \rightarrow 0, \quad \varphi(\omega) &= 0; \\ \omega \rightarrow \infty, \quad \varphi(\omega) &= \pi/2; \\ \omega \rightarrow 1, T_1, \quad \varphi(\omega) &= \pi/4. \end{aligned}$$

На рис. 5.15 приведены соответствующие данному случаю асимптотическая ЛАЧХ и ФЧХ.

Данное звено носит название форсирующего или реального дифференцирующего звена первого порядка.

Используя (5.17) и (5.18), построим суммарные ЛАЧХ и ФЧХ для схемы рис. 5.14. При этом будем полагать, что $T_2 < T_1$. Это предположение вытекает из полученных выше выражений для постоянных времени T_1 и T_2 .

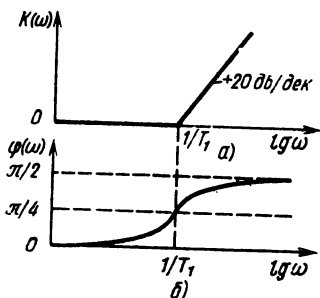


Рис. 5.15. Асимптотическая ЛАЧХ (а) и ФЧХ (б) звена $W_2(p)$ усилительного устройства

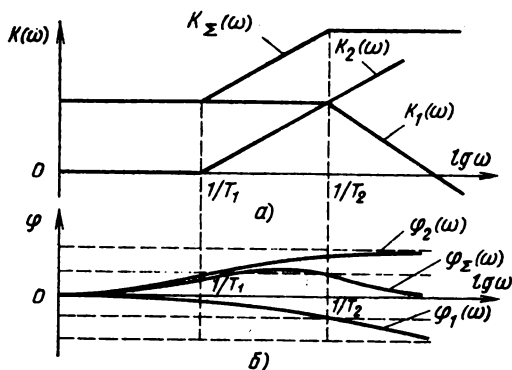


Рис. 5.16. Суммарные асимптотическая ЛАЧХ (а) и ФЧХ (б) характеристики усилительного устройства

Построенные таким образом асимптотическая ЛАЧХ и ФЧХ приведены на рис. 5.16.

Пользуясь изложенной методикой, можно легко построить ЛАЧХ и ФЧХ усилительного устройства произвольной сложности.

В общем случае методика построения выглядит следующим образом:

а) записывают уравнения, связывающие изменения напряжений и токов на элементах рассматриваемой схемы (уравнения состояния);

б) на основе полученных уравнений записывают дифференциальное уравнение высокого порядка, связывающее изменение сигнала на входе и выходе устройства. Порядок этого уравнения равен числу реактивных элементов присутствующих в схеме;

в) переходят к операторной форме записи найденного уравнения или к изображениям по Лапласу и записывают передаточную функцию относительно входного возмущения;

г) полученную передаточную функцию разбивают на множители, соответствующие передаточным функциям элементарных звеньев;

д) строят частотные характеристики элементарных звеньев и их суммированием находят ЛАЧХ и ФЧХ устройства.

На практике вопрос построения суммарных ЛАЧХ и ФЧХ может быть решен проще: непосредственно на схеме устройства выделяют отдельные типовые блоки и строят их характеристики, которые затем суммируют.

5.5. ОПРЕДЕЛЕНИЕ СТРУКТУРЫ УСИЛИТЕЛЬНОГО УСТРОЙСТВА ПО ВИДУ ЛАЧХ

Изложенный подход к получению математической модели усилительного устройства позволяет решить и обратную задачу, т. е. по виду ЛАЧХ построить структурную схему усилительного устройства. Как будет показано ниже, реальные технические характеристики усилительного устройства всегда однозначно связаны с видом его частотной характеристики, что открывает широкие возможности для синтеза усилительных устройств с заданными свойствами.

Алгоритм синтеза в общем случае может быть представлен в следующем виде:

а) по заданным свойствам усилительного устройства строят его ЛАЧХ;

б) представляют полученную ЛАЧХ как сумму характеристик элементарных звеньев;

в) ставят в соответствие каждой выделенной элементарной характеристике реальную цепь или электронный узел и определяют их основные параметры;

г) соединяя последовательно найденные цепи и электронные узлы, получают полную схему усилительного устройства.

Примечание. Следует отметить, что рассмотренная методика справедлива для устройств с однонаправленной передачей сигнала, т. е. для устройств, в которых изменение параметров последующих звеньев не должно оказывать влияние на параметры предыдущих звеньев.

На основе сделанного замечания можно сформулировать два условия, регламентирующие практическое применение изложенной выше методики:

1. Если в структуру усилительного устройства входит несколько звеньев, формирующих в одном частотном диапазоне различные наклоны его суммарной ЛАЧХ, то между этими звеньями необходимо включать блоки, обеспечивающие однонаправленность передачи сигнала. В транзисторных усилителях роль таких блоков, как правило, выполняют каскады на полупроводниковых приборах.

2. Непосредственное каскадное соединение нескольких звеньев, формирующих различные участки наклона суммарной ЛАЧХ усилительного устройства, допустимо лишь в случае, если их постоянные времени существенно отличны. На практике это означает, что наклоны ЛАЧХ, формируемые непосредственно последовательно соединенными звеньями, не должны суммироваться.

Проиллюстрируем сказанное на примере.

Пример 5.3. Спроектировать усилитель низкой частоты с полосой пропускания от 100 Гц до 5 кГц и коэффициентом усиления 100. Спад частотной характеристики вне полосы пропускания ± 20 дБ/дек.

Решение. 1. Согласно заданию ЛАЧХ проектируемого усилительного устройства должна иметь вид, показанный на рис. 5.17:

$$\omega_H = 2\pi f_H = 200\pi;$$

$$\omega_B = 2\pi f_B = 10\,000\pi;$$

$$20 \lg K_{U0} = 40 \text{ дБ}.$$

2. Полученная ЛАЧХ может быть разбита на несколько элементарных звеньев, амплитудно-частотные характеристики которых показаны на рис. 5.18, а именно:

$$W_1(p) = K_{U0} = 40 \text{ дБ};$$

$$W_2(p) = T_1 p / (T_1 p + 1);$$

$$W_3(p) = 1 / (T_2 p + 1).$$

3. Физической реализацией $W_1(j\omega)$ является идеальное усилительное звено с коэффициентом передачи $K_{U0} = 100$. Физической реализацией $W_2(j\omega)$ является звено, показанное на рис. 5.19. Это частный случай звена, рассмотренного в

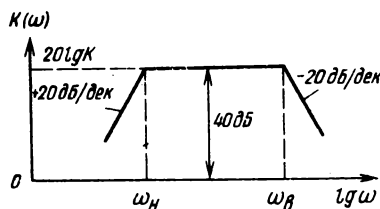


Рис. 5.17. Асимптотическая ЛАЧХ усилительного устройства

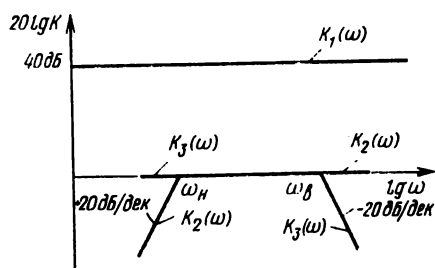


Рис. 5.18. Представление суммарной ЛАЧХ усилительного устройства суммой характеристик элементарных звеньев

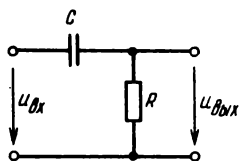


Рис. 5.19. Резистивно-емкостная цепь коррекции

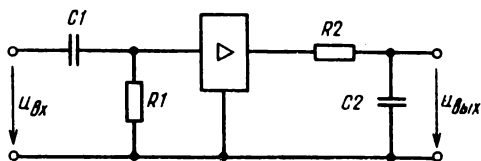


Рис. 5.20. Принципиальная схема усилительного устройства

примере 5.2 ($R_1 = \infty$). Физической реализацией $W_3(j\omega)$ является звено, рассмотренное в примере 5.1.

4. С учетом условий, приведенных в § 5.4, полная схема проектируемого усилительного устройства имеет вид, показанный на рис. 5.20.

В табл. 5.1 приведены наиболее часто встречающиеся элементарные RC-цепи, соответствующие им передаточные функции и ЛАЧХ.

5.6. ОБРАТНАЯ СВЯЗЬ В УСИЛИТЕЛЯХ

Обратной называется связь между цепями усилителя, посредством которой сигнал передается в направлении, обратном нормальному, т. е. не из предыдущего каскада в последующий, а наоборот.

Все виды обратной связи сильно изменяют свойства усилительного устройства, поэтому они широко используются для направленного изменения его параметров.

В общем случае сигнал обратной связи может либо суммироваться с входным, либо вычитаться из входного сигнала усилителя. В зависимости от этого соответственно различают положительную и отрицательную обратные связи.

Получим значение коэффициента усиления для обоих этих случаев. Обратная связь называется положительной если фаза входного сигнала усилителя и сигнала обратной связи совпадают. В этом случае для обобщенной структурной схемы усилителя с обратной связью, приведенной на рис. 5.21, можно записать:

$$u_{\text{вых}} = K_{U0} u_{\text{вх сум}};$$

$$u_{\text{вх сум}} = u_{\text{вх0}} + b_{\text{ОС}} u_{\text{вых}},$$

где $b_{\text{ОС}}$ — коэффициент передачи цепи обратной связи.

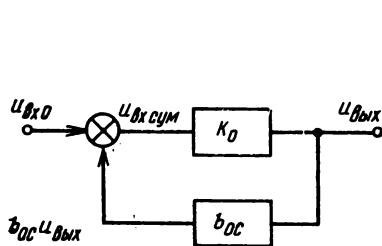


Рис. 5.21. Обобщенная структурная схема усилительного устройства с цепью обратной связи

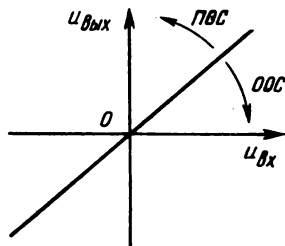
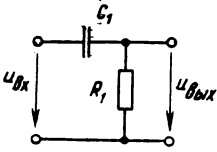
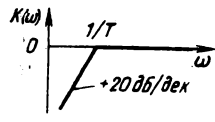
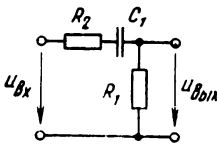
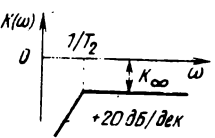
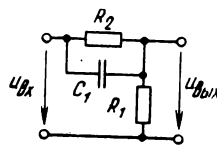
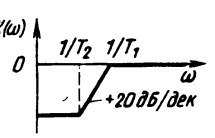
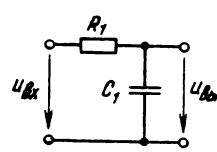
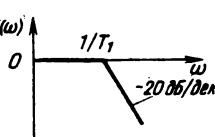
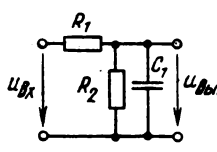
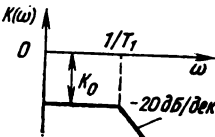
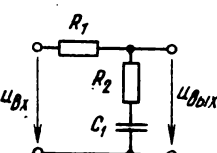
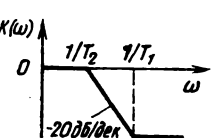


Рис. 5.22. Изменение передаточной характеристики усилительного устройства при введении различных цепей обратной связи

Таблица 5.1

Реальные цепи и соответствующие им $W(p)$ и ЛАЧХ

Звено	$W(p)$	Связь постоян- ной времени с параметрами	ЛАЧХ
	$\frac{T_1 p}{T_1 p + 1}$	$T_1 = R_1 C_1$	
	$\frac{T_1 p}{T_2 p + 1}$	$T_1 = R_1 C_1$ $T_2 = (R_1 + R_2) C_1$ $K_\infty = \frac{R_1}{R_1 + R_2}$	
	$K_0 \frac{T_1 p + 1}{T_2 p + 1}$	$K_0 = \frac{R_1}{R_1 + R_2}$ $T_1 = R_2 C_1$ $T_2 = \frac{R_1 R_2 C_1}{R_1 + R_2}$	
	$\frac{1}{T_1 p + 1}$	$T_1 = R_1 C_1$	
	$\frac{K_0}{T_1 p + 1}$	$K_0 = \frac{R_2}{R_1 + R_2}$ $T_1 = \frac{R_1 R_2 C_1}{R_1 + R_2}$	
	$\frac{T_1 p + 1}{T_2 p + 1}$	$T_1 = R_2 C$ $T_2 = (R_1 + R_2) C$ $K_\infty = \frac{R_2}{R_1 + R_2}$	

Отсюда

$$K_{U \text{ пос}} = u_{\text{вых}}/u_{\text{вх0}} = K_{U0}/(1 - b_{\text{ос}} K_{U0}). \quad (5.19)$$

Полученное выражение показывает, что введение в усилитель положительной обратной связи увеличивает коэффициент усиления. Физически это означает увеличение наклона передаточной характеристики усилителя (рис. 5.22). Если $b_{\text{ос}}$ достигает значения $1/K_{U0}$, то знаменатель (5.19) обращается в нуль, что физически соответствует получению бесконечного коэффициента усиления. При дальнейшем увеличении $b_{\text{ос}}$, $K_{U \text{ пос}}$ становится отрицательным, что означает получение на передаточной характеристике усилителя участка с отрицательным наклоном. Передаточная характеристика при этом перестает быть однозначной.

Обратная связь называется отрицательной, если фазы входного сигнала усилителя и сигнала обратной связи отличаются на угол π . В этом случае для обобщенной структурной схемы усилителя с обратной связью (см. рис. 5.21), можно записать:

$$u_{\text{вх сум}} = u_{\text{вх0}} - b_{\text{ос}} u_{\text{вых}}.$$

Тогда

$$K_{U \text{ оос}} = u_{\text{вых}}/u_{\text{вх0}} = K_{U0}/(1 + b_{\text{ос}} K_{U0}). \quad (5.20)$$

Введение отрицательной обратной связи уменьшает коэффициент усиления усилителя. Это проявляется в уменьшении наклона его передаточной характеристики. Следовательно, введение любой обратной связи приводит к вращению его передаточной характеристики относительно начала координат (см. рис. 5.22).

Следует отметить, что если цепь обратной связи охватывает весь усилитель, ее принято называть общей обратной связью. В противном случае, т. е. если обратная связь охватывает только часть усилителя, ее называют местной.

По способу получения сигнала обратной связи принято различать обратную связь по напряжению и по току. Для получения обратной связи по напряжению сигнал обратной связи должен быть пропорционален выходному напряжению усилителя (рис. 5.23, а).

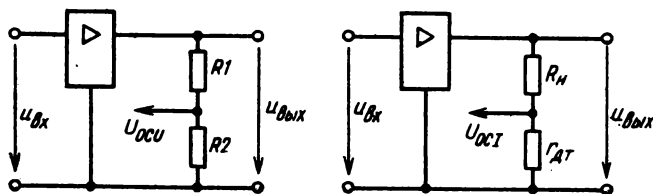


Рис. 5.23. Способы получения сигнала ОС:

а — по напряжению; б — по току

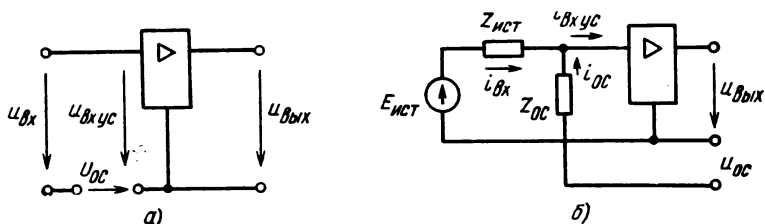


Рис. 5.24. Способы введения сигнала обратной связи во входную цепь усилительного устройства:

а -- последовательная; *б* -- параллельная

Для получения обратной связи по току, сигнал обратной связи снимают с дополнительного измерительного элемента (датчика тока $r_{дт}$), включенного последовательно с нагрузкой (рис. 5.23, б).

По способу введения сигнала можно выделить последовательную и параллельную обратные связи.

Для получения последовательной обратной связи сигнал с выхода усилителя вводится последовательно с источником входного напряжения (рис. 5.24, а). В этом случае на входе усилителя выполняется алгебраическое суммирование напряжений

$$u_{вх\ ус} = u_{вх} + u_{ос}.$$

Для получения параллельной обратной связи сигнал с выхода усилителя вводится параллельно источнику входного напряжения (рис. 5.24, б). В этом случае на входе усилителя происходит алгебраическое суммирование токов

$$i_{вх\ ус} = i_{вх} + i_{ос}.$$

Конкретный знак входных сигналов усилителя зависит от того, какая (положительная или отрицательная) обратная связь вводится в устройство. Возможны комбинированные способы как снятия, так и введения сигнала обратной связи. Однако из-за противоположного действия на свойства усилительного устройства такие способы на практике используются весьма редко.

В соответствии со сказанным, можно выделить четыре основные типа цепей обратной связи:

- последовательная обратная связь по выходному напряжению;
- последовательная обратная связь по выходному току;
- параллельная обратная связь по выходному напряжению;
- параллельная обратная связь по выходному току.

Каждый из указанных типов может осуществлять как положительную, так и отрицательную обратные связи.

В общем случае значение коэффициента передачи цепи обратной связи может как зависеть, так и не зависеть от частоты сиг-

нала. В соответствии с этим различают частотозависимую (инерционную) и частотонезависимую обратные связи. Применение частотозависимых цепей обратной связи позволяет изменять свойства усилительного устройства только в требуемом диапазоне частот.

В качестве звена передачи сигнала обратной связи могут быть использованы как линейные, так и нелинейные элементы. Это позволяет изменять свойства усилителя только для заданных значений входного сигнала.

Все перечисленные особенности раскрывают широкие возможности использования цепей обратной связи для направленного изменения свойств усилительного устройства.

5.7. ВЛИЯНИЕ ЦЕПИ ОБРАТНОЙ СВЯЗИ НА ОСНОВНЫЕ ХАРАКТЕРИСТИКИ УСИЛИТЕЛЬНОГО УСТРОЙСТВА

Как уже отмечалось, введение обратной связи сильно изменяет основные характеристики усилителей. Рассмотрим более подробно это влияние.

Коэффициент усиления. В реальных усилительных устройствах коэффициент усиления (передачи) сильно зависит как от параметров используемых элементов, так и от условий эксплуатации: изменения температуры окружающей среды, изменения напряжения питания, старения элементов или их замены при ремонте и т. п.

Ранее было показано, что введение отрицательной обратной связи (ООС) приводит к снижению коэффициента усиления (см. 5.20), а введение положительной обратной связи (ПОС) — увеличивает K_U (см. 5.19). Теперь рассмотрим, как будет изменяться относительный коэффициент усиления для устройства без обратной связи и с ней. Рассмотрим сначала случай цепи ООС, для которой согласно (5.20)

$$K_{U \text{ ООС}} = K_{U0} / (1 + K_{U0} b_{\text{ОС}}).$$

Предположим, что исходный коэффициент усиления получил приращение ΔK_{U0} . Найдем для этого случая значение $\Delta K_{U \text{ ООС}}$. Для этого разложим выражение (5.20) в ряд Тейлора с удержанием только линейных членов:

$$\begin{aligned} \Delta K_{U \text{ ООС}} &= (dK_{U \text{ ООС}} / dK_{U0}) \Delta K_{U0}; \\ \frac{dK_{U \text{ ООС}}}{dK_{U0}} &= \frac{(1 + K_{U0} b_{\text{ОС}}) - K_{U0} b_{\text{ОС}}}{(1 + K_{U0} b_{\text{ОС}})^2} = 1 / (1 + K_{U0} b_{\text{ОС}})^2. \end{aligned}$$

Тогда

$$\delta K_{U \text{ ООС}} = \frac{\Delta K_{U \text{ ООС}}}{K_{U \text{ ООС}}} = \frac{\Delta K_{U0} (1 + K_{U0} b_{\text{ОС}})}{K_{U0} (1 + K_{U0} b_{\text{ОС}})^2}$$

или

$$\delta K_{U \text{ оос}} = \delta K_{U0} / (1 + K_{U0} b_{\text{оос}}), \quad (5.21)$$

где $\delta K_{U \text{ оос}}$ и δK_{U0} — относительные изменения коэффициента усиления устройств с ООС и без нее.

Величину $(1 + K_{U0} b_{\text{оос}})$ обычно называют *глубиной обратной связи*. Таким образом, относительное изменение коэффициента усиления усилителя с ООС в глубину обратной связи раз меньше, чем без нее.

Очевидно, что нестабильность коэффициента усиления устройства с ООС будет зависеть и от нестабильности коэффициента передачи самой цепи ООС. По аналогии с ранее проделанным, определим величину этой нестабильности:

$$\begin{aligned} \Delta K_{U \text{ оос}} &= (dK_{U \text{ оос}}/db_{\text{оос}}) \Delta b_{\text{оос}}; \\ dK_{U \text{ оос}}/db_{\text{оос}} &= -K_{U0}^2 / (1 + K_{U0} b_{\text{оос}})^2; \\ \delta K_{U \text{ оос}} &= \Delta K_{U \text{ оос}} / K_{U \text{ оос}} = \\ &= -K_{U0}^2 \Delta b_{\text{оос}} (1 + K_{U0} b_{\text{оос}}) b_{\text{оос}} / (1 + K_{U0} b_{\text{оос}})^2 K_{U0} b_{\text{оос}} \end{aligned}$$

или

$$\delta K_{U \text{ оос}} = -K_{U0} b_{\text{оос}} \delta b_{\text{оос}} / (1 + K_{U0} b_{\text{оос}}), \quad (5.22)$$

где $\delta b_{\text{оос}}$ — относительное изменение коэффициента передачи цепи ООС.

Знак минус в полученном выражении говорит о том, что увеличение $b_{\text{оос}}$ ведет к снижению $K_{U \text{ оос}}$.

Используя (5.21) и (5.22) и считая исходную систему линейной, для суммарной нестабильности коэффициента передачи можно записать следующее выражение

$$\delta K_{U \text{ оос } \Sigma} = \delta K_{U0} / (1 + K_{U0} b_{\text{оос}}) - K_{U0} b_{\text{оос}} \delta b_{\text{оос}} / (1 + K_{U0} b_{\text{оос}}). \quad (5.23)$$

Следует отметить, что при глубоких ООС, т. е. при выполнении условия $K_{U0} b_{\text{оос}} \gg 1$, нестабильность коэффициента передачи усилителя полностью определяется нестабильностью элементов его цепи обратной связи: $\delta K_{U \text{ оос } \Sigma} \approx -\delta b_{\text{оос}}$.

По аналогии для относительного изменения коэффициента передачи усилителя с ПОС можно получить следующее выражение:

$$\delta K_{U \text{ пос } \Sigma} = \delta K_{U0} / (1 - K_{U0} b_{\text{ос}}) + K_{U0} b_{\text{ос}} \delta b_{\text{ос}} / (1 - K_{U0} b_{\text{ос}}). \quad (5.24)$$

Полученное выражение показывает, что относительное изменение коэффициента передачи усилителя с ПОС при прочих равных условиях всегда больше, чем у исходного усилителя. При этом знак $\delta K_{U \text{ пос } \Sigma}$ зависит от конкретного значения коэффициента передачи цепи ПОС.

Пример 5.4. При изменении напряжения питания от 11 до 12 В коэффициент усиления интегрального усилителя типа К140УД6 изменяется от $4,5 \cdot 10^3$ до $6 \cdot 10^3$. Для случая введения линейной цепи ООС с $b_{\text{ООС}}=0,01$ определить значение $K_{U \text{ ООС}}$ и $\delta K_{U \text{ ООС}}$.

Решение. 1. Согласно выражению (5.20) имеем

$$K_{U \text{ ООС}} = K_{U0} / (1 + K_{U0} b_{\text{ООС}}) = 6 \cdot 10^3 / (1 + 6 \cdot 10^3 \cdot 0,01) = 98,4.$$

2. Относительное изменение коэффициента усиления усилителя цепи ООС равно

$$\delta K_{U0} = \frac{\Delta K_{U0}}{K_{U0}} = \frac{K_{U0 \text{ max}} - K_{U0 \text{ min}}}{K_{U0 \text{ max}}} = \frac{6 \cdot 10^3 - 4,5 \cdot 10^3}{6 \cdot 10^3} = 0,25.$$

3. Так как цепь ООС линейна, то ее параметры не зависят от напряжения питания и $\delta b_{\text{ООС}}=0$. Тогда согласно выражению (5.23) получим

$$\delta K_{\text{ООС}} = \delta K_{U0} / (1 + K_{U0} b_{\text{ООС}}) = 0,25 / (1 + 6 \cdot 10^3 \cdot 0,01) \approx 4,1 \cdot 10^{-3}$$

Пример 5.5. При уменьшении температуры окружающей среды от +30 до -50°C коэффициент усиления интегрального усилителя типа К554УД2 снижается с $27 \cdot 10^3$ до $18 \cdot 10^3$. Определить максимальный коэффициент усиления усилителя в случае введения цепи линейной ООС при условии $\delta K_{U \text{ ООС}}=0,01$. Температурный коэффициент сопротивления резисторов (ТКС) цепи ООС одинаков.

Решение. 1. Согласно выражению (5.23) имеем

$$\delta K_{U \text{ ООС}} = \frac{\delta K_{U0}}{1 + K_{U0} b_{\text{ООС}}} - \frac{K_{U0} b_{\text{ООС}}}{1 + K_{U0} b_{\text{ООС}}} \delta b_{\text{ООС}}.$$

2. Относительное изменение коэффициента усиления усилителя без цепи ООС равно

$$\delta K_{U0} = \frac{K_{U0 \text{ max}} - K_{U0 \text{ min}}}{K_{U0 \text{ max}}} = \frac{27 \cdot 10^3 - 18 \cdot 10^3}{27 \cdot 10^3} \approx 0,3(3).$$

3. При использовании цепи ООС по выходному напряжению коэффициент $b_{\text{ООС}} = R_2 / (R_1 + R_2)$ (см. рис. 5.23, а). Тогда

$$\delta b_{\text{ООС}} = \frac{\Delta b_{\text{ООС}}}{b_{\text{ООС}}} = \frac{b_{\text{ООС}}(T_0) - b_{\text{ООС}}(T_0 - \Delta T)}{b_{\text{ООС}}(T_0)}.$$

Так как ТКС резисторов цепи ООС одинаков, имеем

$$\begin{aligned} \Delta b_{\text{ООС}} &= \frac{R_2(T_0)}{R_1(T_0) + R_2(T_0)} - \frac{R_2(T_0 - \Delta T)}{R_1(T_0 - \Delta T) + R_2(T_0 - \Delta T)} = \\ &= \frac{R_2}{R_1 + R_2} - \frac{R_2(1 - \text{ТКС} \Delta T)}{R_1(1 - \text{ТКС} \Delta T) + R_2(1 - \text{ТКС} \Delta T)} = 0. \end{aligned}$$

Следовательно, $\delta b_{\text{ООС}}=0$ и $\delta K_{U \text{ ООС}} = \frac{\delta K_{U0}}{1 + K_{U0} b_{\text{ООС}}}$.

4. Требуемая глубина ООС равна

$$b_{\text{ОС}} = \frac{1}{K_{U0}} \left(\frac{K_{U0}}{K_{U0\text{ОС}}} - 1 \right) = \frac{1}{27 \cdot 10^3} \left(\frac{0,3(3)}{0,01} - 1 \right) = 1,2 \cdot 10^{-3}.$$

5. Коэффициент усиления усилителя при найденной глубине ООС равен

$$K_{U\text{ОС}} = \frac{K_{U0}}{1 + K_{U0}b_{\text{ОС}}} = \frac{27 \cdot 10^3}{1 + 27 \cdot 10^3 \cdot 1,2 \cdot 10^{-3}} = 810.$$

Полоса усиливаемых частот. Введение цепи ООС всегда расширяет полосу усиливаемых частот усилителя. Проиллюстрируем сказанное на примере усилителя, передаточная характеристика которого имеет вид

$$W(p) = K_{U0}/(T_1 p + 1).$$

Охватим такой усилитель частотонезависимой цепью ООС с коэффициентом передачи $b_{\text{ОС}}$. Тогда передаточная функция усилителя с ООС будет иметь вид

$$\begin{aligned} W_{\text{ОС}}(p) &= [K_{U0}/(T_1 p + 1)]/[1 + K_{U0}b_{\text{ОС}}/(T_1 p + 1)] = \\ &= K_{U\text{ОС}}/[T_1/(1 + K_{U0}b_{\text{ОС}})p + 1]. \end{aligned}$$

По определению, полоса пропускания усилителя определяется по уровню снижения его коэффициента передачи в $\sqrt{2}$ раз, т. е. на 3 дБ. Для исходной передаточной функции этому падению соответствовала частота $1/T_1$. После введения ООС эта частота, согласно полученной передаточной функции больше в $(1 + K_{U0}b_{\text{ОС}})$ раз, чем до введения ООС (в глубину отрицательной обратной связи)

$$f_{\text{в ООС}} = f_{\text{в}}(1 + K_{U0}b_{\text{ОС}}). \quad (5.25)$$

Логарифмическая амплитудно-частотная характеристика рассматриваемого усилителя приведена на рис. 5.25.

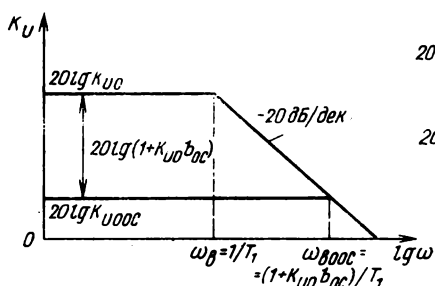


Рис. 5.25. Изменение ЛАЧХ усилителя при введении цепи ООС

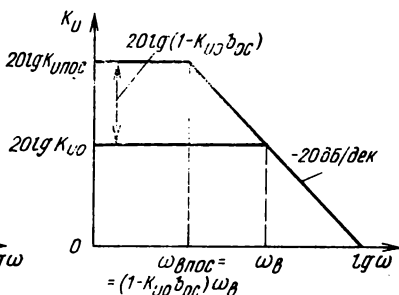


Рис. 5.26. Изменение ЛАЧХ усилителя при введении цепи ПОС

Предположим, что исходный усилитель охвачен цепью ООС, глубина которой $(1 + K_{U0}b_{OC}) = 10$. Тогда $K_{U\text{ ООС}} = K_{U0}/10$, т. е. коэффициент усиления уменьшился на 20 дБ. При этом новое значение верхней частоты полосы пропускания увеличилось в 10 раз ($f_{в\text{ ООС}} = 10$). Следовательно, новая АЧХ может быть получена смещением вниз горизонтального участка исходной характеристики на величину $20\lg(1 + K_{U0}b_{OC})$, т. е. на 20 дБ. При этом частота сопряжения (верхняя частота полосы пропускания) будет находиться на наклонном участке характеристики исходного усилителя.

Физически полученное расширение полосы пропускания можно объяснить следующим образом. Как было показано ранее, снижение коэффициента усиления усилителя с цепью ООС являлось следствием уменьшения реального значения его входного напряжения $u_{вх\text{ сум}} = u_{вх0} - b_{OC}u_{вых}$ (см. рис. 5.21). Вызванное увеличением частоты уменьшение собственного значения K_U приводит к уменьшению выходного напряжения усилителя. Однако при этом снижается и абсолютное значение напряжения обратной связи $u_{OC} = K_U u_{вых}$. Последнее, при постоянстве входного напряжения $u_{вх0}$ увеличивает реальное значение входного напряжения усилителя $u_{вх\text{ сум}}$ и, следовательно, увеличивает его выходное напряжение. Таким образом, до некоторой частоты уменьшение K_U сопровождается увеличением $u_{вх\text{ сум}}$, что обеспечивает как постоянство выходного напряжения, так и $K_{U\text{ ООС}}$ усилителя.

Этот же вывод можно сделать и непосредственно из выражения $K_{U\text{ ООС}} \approx 1/b_{OC}$ (5.20). До тех пор, пока $K_U b_{OC} \gg 1$, $K_{U\text{ ООС}} \approx 1/b_{OC}$ и не зависит от абсолютного значения K_U .

Если в рассматриваемом примере цепь ООС заменить на ПОС, то полоса усиливаемых частот усилителя уменьшится:

$$W_{\text{ПОС}}(p) = [K_{U1}/(T_1 p + 1)]/[1 - K_{U0}b_{OC}/(T_1 p + 1)] = \\ = K_{U\text{ ПОС}} \cdot \{[T_1/(1 - K_{U0}b_{OC})]p + 1\}$$

или

$$f_{в\text{ ПОС}} = f_{в}(1 - K_{U0}b_{OC}). \quad (5.26)$$

При этом частотную характеристику усилителя с ПОС можно получить смещением вверх горизонтального участка исходной характеристики на величину $20\lg(1 - K_{U0}b_{OC})$ дБ. Новое значение верхней частоты пропускания усилителя $f_{в\text{ ПОС}}$ определится пересечением нового горизонтального участка с продолжением асимптоты с наклоном — 20 дБ/дек. (рис. 5.26). Таким образом, при введении ПОС полоса пропускания усилителя сужается в $(1 - K_{U0}b_{OC})$ раз.

Пример 5.6. Передаточная функция интегрального усилителя типа К140УД7 имеет вид $W(p) = 30 \cdot 10^3 / (1,59 \cdot 10^3 p + 1)$. Определить глубину ООС и соответствующий ей коэффициент усиления $K_{U\text{ ООС}}$ из условия $f_{в} = 10$ кГц.

Решение. 1. Значение верхней частоты полосы пропускания исходного усилителя равно

$$f_{\text{в}} = \omega_{\text{в}}/2\pi = 1/2\pi T = 1/2\pi \cdot 1,59 \cdot 10^{-3} = 100 \text{ Гц.}$$

2. Согласно выражению (5.25) $f_{\text{в оос}} = f_{\text{в}}(1 + K_{U0}b_{\text{оос}})$, откуда

$$b_{\text{оос}} = \frac{1}{K_{U0}} \left(\frac{f_{\text{в оос}}}{f_{\text{в}}} - 1 \right) = \frac{1}{30 \cdot 10^3} \left(\frac{10 \cdot 10^3}{100} - 1 \right) = 3,3 \cdot 10^{-3}.$$

3. Коэффициент усиления усилителя при заданной полосе пропускания согласно выражению (5.20) равен

$$K_{U \text{ оос}} = \frac{K_{U0}}{1 + K_{U0}b_{\text{оос}}} = \frac{30 \cdot 10^3}{1 + 30 \cdot 10^3 \cdot 3,3 \cdot 10^{-3}} = 300$$

или $K_{U \text{ оос}} = 49,5 \text{ дБ}$. Исходное значение $K_{U0} = 89,5 \text{ дБ}$. Следовательно, увеличение $f_{\text{в}}$ в 100 раз привело к снижению K_U в 100 раз, или на 40 дБ.

Нелинейные искажения. Введение в усилительное устройство цепи ООС снижает как коэффициент нелинейных искажений усилителя, так и влияние на его выходной сигнал внешних помех. Проиллюстрируем сказанное.

Ранее, в § 5.2, мы определили коэффициент нелинейных искажений (коэффициент гармоник) как отношение вида

$$K_{\text{н}} = \sqrt{U_{2m}^2 + U_{3m}^2 + U_{4m}^2 + \dots} / U_{1m}.$$

В предположении, что усилитель является линейной системой, можно сказать, что напряжение любой гармоники на его выходе вне зависимости от природы его возникновения складывается из собственного напряжения этой гармоники и напряжения этой же гармоники, прошедшей через цепь ООС и повторно через усилитель. Следовательно, для произвольной гармоники сигнала на выходе усилителя можно записать

$$U_{1m \text{ оос}} = U_{1m} - U_{1m \text{ оос}} K_{U0} b_{\text{оос}},$$

откуда

$$U_{1m \text{ оос}} = U_{1m} / (1 + K_{U0} b_{\text{оос}}).$$

Следовательно, любой сигнал, появившийся на выходе усилителя, вне зависимости от природы его возникновения будет уменьшен в $(1 + K_{U0}b_{\text{оос}})$, т. е. в глубину отрицательной обратной связи раз.

Подставляя полученное соотношение в выражение для коэффициента гармоник, получим

$$K_{\text{н оос}} = \sqrt{U_{2m}^2 / (1 + K_{U0}b_{\text{оос}})^2 + U_{3m}^2 / (1 + K_{U0}b_{\text{оос}})^2 + \dots} / U_{1m} \quad (5.27)$$

или

$$K_{\text{н оос}} = K_{\text{н}} / (1 + K_{U0}b_{\text{оос}}). \quad (5.28)$$

Рассуждая аналогично, можно прийти к выводу, что при введении в усилитель цепи ПОС его нелинейные искажения возрастают:

$$K_{н\text{ ПОС}} = K_n / (1 - K_{U0} b_{ОС}). \quad (5.29)$$

Возрастает также и влияние на выходной сигнал усилителя различных внешних помех, таких, как напряжения наводок, фон переменного тока и т. п.

Пример 5.7. Усилитель низкой частоты, выполненный на основе интегрального усилителя постоянного тока типа КР1407УД2, имеет $K_n = 0,1$. Определить значение $K_{н\text{ ООС}}$ при условии, что после введения цепи ООС $K_{U\text{ ООС}} = 100$. Исходное значение $K_{U0} = 50 \cdot 10^3$.

Решение. 1. Глубина ООС усилителя согласно выражению (5.20) равна

$$1 + K_{U0} b_{ОС} = K_{U0} / K_{U\text{ ООС}} = 50 \cdot 10^3 / 100 = 500.$$

2. Коэффициент нелинейных искажений согласно выражению (5.28) равен

$$K_{н\text{ ООС}} = K_n / (1 + K_{U0} b_{ОС}) = 0,1 / 500 = 2 \cdot 10^{-4}.$$

Входное сопротивление. Изменение входного сопротивления усилителя, охваченного цепью обратной связи, зависит только от способа ее введения во входную цепь устройства и не зависит от того, каким образом этот сигнал получен.

Ранее было показано, что по способу введения обратная связь подразделяется на последовательную и параллельную. Рассмотрим изменение входного сопротивления усилителя в обоих случаях.

Входная цепь усилителя, охваченного последовательной ООС, показана на рис. 5.27. Согласно рисунку для входного сопротивления усилителя можно записать

$$\begin{aligned} Z_{вх\text{ ООС}} &= U_{\text{вх}} / I_{вх} = (U_{вх} + U_{\text{ООС}}) / I_{вх} = (U_{вх} / I_{вх}) (1 + U_{\text{ООС}} / U_{вх}); \\ U_{\text{ООС}} &= U_{вх} K_{U0} b_{ОС}; \\ Z_{вх\text{ ООС}} &= Z_{вх0} (1 + K_{U0} b_{ОС}), \end{aligned} \quad (5.30)$$

где $Z_{вх0}$ — входное сопротивление усилителя без цепи ООС.

Введение в усилитель последовательной ООС в глубину отрицательной обратной связи раз увеличивает его входное сопротивление. Физически этот факт можно объяснить следующим образом. При введении последовательной ООС на входе усилителя действует разность напряжений $U_{\text{вх}} - U_{\text{ООС}}$, что при заданных параметрах источника входного сигнала приводит к фактическому уменьшению его тока. Действительно $I_{\text{вх}} = I_{\text{вх}} = (U_{\text{вх}} - U_{\text{ООС}}) / Z_{вх0}$. При увеличении $U_{\text{ООС}}$ значение $I_{\text{вх}}$ падает, что эквивалентно увеличению входного сопротивления усилителя $Z_{вх\text{ ООС}}$.

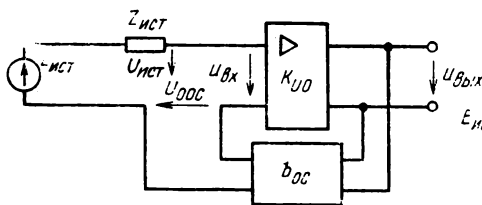


Рис. 5.27. Структурная схема усилительного устройства с цепью последовательной ООС

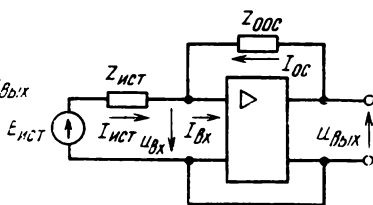


Рис. 5.28. Структурная схема усилительного устройства с цепью параллельной ООС

Введение ПОС коренным образом изменяет ситуацию. Напряжение положительной обратной связи, складываясь с напряжением источника входного сигнала, приводит к увеличению входного тока, что эквивалентно уменьшению входного сопротивления. Прodelав выкладки, аналогичные приведенным выше, для входного сопротивления усилителя, охваченного последовательной ПОС, можно записать выражение

$$Z_{вх \text{ ПОС}} = Z_{вх0} (1 - K_{уд} b_{ос}). \quad (5.31)$$

Очевидно, что при значении $b_{ос} = 1/K_{уд}$ входное сопротивление усилителя становится нулевым, а при $b_{ос} > 1/K_{уд}$ — отрицательным. Физически это означает, что напряжение обратной связи становится больше непосредственно входного напряжения усилителя и $U_{ист}$ (напряжение на выводах источника входного сигнала) меняет знак на противоположный. Естественно это сопровождается дальнейшим увеличением тока $I_{вх} = (E_{ист} + U_{ист})/Z_{ист}$.

Рассмотрим, как изменяется входное сопротивление усилителя при введении цепи параллельной ООС. Для этого обратимся к рис. 5.28. Очевидно, что при параллельной ОС во входной цепи усилителя происходит суммирование токов источника входного сигнала и обратной связи

$$I_{вх} = I_{ист} + I_{ос}.$$

В случае ООС к резистору цепи обратной связи $Z_{оос}$ приложена сумма напряжений $U_{вх} + U_{вых}$, и ток $I_{ос}$ изменяет знак. Следовательно, для входного сопротивления усилителя можно записать

$$Z_{вх \text{ ООС}} = U_{вх}/I_{ист};$$

$$\begin{aligned} I_{ист} &= I_{вх} + I_{оос} = U_{вх}/Z_{вх0} + (U_{вх} + U_{вых})/Z_{оос} = \\ &= U_{вх}/Z_{вх0} + U_{вх} (1 + K_{уд})/Z_{оос} = U_{вх} [Z_{вх0} (1 + K_{уд}) + Z_{оос}]/Z_{вх0} Z_{оос}. \end{aligned}$$

Тогда

$$Z_{вх \text{ ООС}} = Z_{вх0} Z_{оос} / [Z_{вх0} (1 + K_{уд}) + Z_{оос}]. \quad (5.32)$$

Следовательно, введение цепи параллельной ООС уменьшает входное сопротивление усилительного устройства. Физически это можно объяснить тем, что введение параллельной ООС фактически увеличивает ток, отбираемый от источника входного напряжения за счет тока, протекающего в цепи ООС.

Проделав аналогичные выкладки для входного сопротивления усилителя с цепью ПОС, получим

$$Z_{\text{вх ПОС}} = Z_{\text{вх0}} Z_{\text{ПОС}} / [Z_{\text{вх0}} (1 - K_{U0}) + Z_{\text{ПОС}}]. \quad (5.33)$$

Из этого выражения следует, что однозначного ответа на вопрос, как влияет введение параллельной ПОС на входное сопротивление усилителя, нет. Это влияние зависит от конкретного соотношения параметров усилителя и цепи ПОС. Так, при $K_{U0} = 1$ $Z_{\text{вх ПОС}} = Z_{\text{вх0}}$. При $Z_{\text{вх0}} (1 - K_{U0}) \rightarrow -Z_{\text{ПОС}}$, имеем $Z_{\text{вх ПОС}} \rightarrow \infty$, а при $Z_{\text{вх0}} (1 - K_{U0}) < -Z_{\text{ПОС}}$, входное сопротивление $Z_{\text{вх ПОС}}$ становится отрицательным, причем увеличение K_{U0} приводит к уменьшению модуля $Z_{\text{вх ПОС}}$.

В заключение следует отметить, что ПОС в усилителях, как правило, не применяется, а применяется лишь в генераторах электрических сигналов и специальных ЭУ (например, в некоторых типах компараторов).

Пример 5.8. Интегральный усилитель типа К118УН1 охвачен цепью параллельной ООС; $K_{U0} = 250$; $R_{\text{вх0}} = 1,5 \cdot 10^3$ Ом. Определить значение $R_{\text{ООС}}$ при условии согласования усилителя с источником входного напряжения с выходным сопротивлением $R_{\text{ист}} = 50$ Ом.

Решение. 1. Правильное согласование входной цепи усилителя с источником сигнала предполагает выполнение неравенства $R_{\text{вх ус}} \gg R_{\text{ист}}$. Допустим $R_{\text{вх ус}} = 10R_{\text{ист}}$.

2. Согласно выражению (5.32) найдем

$$\begin{aligned} R_{\text{ООС}} &= \frac{R_{\text{вх ООС}} R_{\text{вх0}} K_{U0}}{R_{\text{вх0}} - R_{\text{вх ООС}}} = \frac{10R_{\text{ист}} R_{\text{вх0}} K_{U0}}{R_{\text{вх0}} - 10R_{\text{ист}}} = \frac{10 \cdot 50 \cdot 1,5 \cdot 10^3 \cdot 250}{1,5 \cdot 10^3 - 10 \cdot 50} = \\ &= 187,5 \cdot 10^3 \text{ Ом.} \end{aligned}$$

Пример 5.9. Для усилителя из предыдущего примера найти значение $R_{\text{ПОС}}$ из условия $R_{\text{вх ПОС}} = \infty$.

Решение. Согласно выражению (5.33) для получения $R_{\text{вх ПОС}} = \infty$ необходимо выполнение условия $R_{\text{вх0}} (1 - K_{U0}) + R_{\text{ПОС}} = 0$. Отсюда

$$R_{\text{ПОС}} \approx R_{\text{вх0}} K_{U0} = 1,5 \cdot 10^3 \cdot 250 = 375 \text{ кОм.}$$

Выходное сопротивление усилительного устройства, охваченного цепью обратной связи, зависит только от способа снятия сигнала обратной связи и не зависит от того, каким образом этот сигнал введен в его входную цепь.

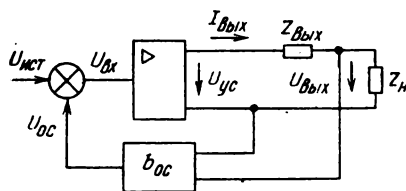


Рис. 5.29. Структурная схема усилительного устройства с цепью ООС по выходному напряжению

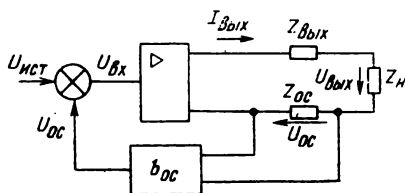


Рис. 5.30. Структурная схема усилительного устройства с цепью ООС по выходному току

Рассмотрим сначала случай введения цепи ООС по напряжению. Для этого обратимся к рис. 5.29, согласно которому

$$\begin{aligned} Z_{\text{вых ООС}} &= |\Delta U_{\text{вых}}| / |\Delta I_{\text{вых}}|; \\ \Delta U_{\text{вых}} &= \Delta U_{\text{ус}} - \Delta I_{\text{вых}} Z_{\text{вых0}}; \\ \Delta U_{\text{ус}} &= K_{U0} \Delta U_{\text{вх}} = K_{U0} (-b_{\text{ос}} \Delta U_{\text{вых}}) \end{aligned}$$

$$\text{или } \Delta U_{\text{вых}} = -\Delta I_{\text{вых}} Z_{\text{вых0}} / (1 + K_{U0} b_{\text{ос}}).$$

Знак минус в полученном выражении говорит, что положительные приращения тока нагрузки $\Delta I_{\text{вых}}$ вызывают противоположные по знаку изменения выходного напряжения усилителя. Другими словами, выходная характеристика усилителя имеет падающий характер.

В дальнейшем будем интересоваться только абсолютными значениями выходного сопротивления. По этой причине далее знак минус опущен.

С учетом сказанного получим

$$Z_{\text{вых ООС}} = |\Delta U_{\text{вых}}| / |\Delta I_{\text{вых}}| = Z_{\text{вых0}} / (1 + K_{U0} b_{\text{ос}}). \quad (5.34)$$

Из найденного выражения следует, что введение в усилительное устройство ООС по выходному напряжению уменьшает его выходное сопротивление в глубину отрицательной обратной связи раз.

Этот же вывод легко сделать из рассмотрения самого принципа ООС по напряжению.

Любая ООС стремится поддерживать неизменным значение того параметра, который используется для получения сигнала обратной связи. Поэтому ООС по выходному напряжению при действии внешних возмущений, в частности изменении выходного тока, стремится поддержать неизменным значение выходного напряжения усилителя. Это эквивалентно уменьшению его выходного сопротивления.

Для случая цепи ПОС по выходному напряжению получим

$$Z_{\text{вых ПОС}} = Z_{\text{вых0}} / (1 - K_{U0} b_{\text{ос}}). \quad (5.35)$$

При увеличении коэффициента передачи цепи ПОС выходное сопротивление сначала увеличивается, стремясь к бесконечности, а при $b_{oc} > 1/K_{U0}$ изменяет знак и становится отрицательным.

Рассмотрим случай ООС по выходному току, который иллюстрируется рис. 5.30. Согласно приведенной схеме для изменения входного напряжения усилителя, вызванного изменением выходного тока, можно записать следующее выражение:

$$\Delta U_{вх} = -\Delta U_{оос} = -\Delta I_{вх} Z_{ос} b_{ос}.$$

Проделив преобразования, аналогичные приведенным выше, получим

$$\Delta I_{вх} Z_{ос} K_{U0} b_{ос} = \Delta I_{вх} Z_{вх0} + \Delta U_{вх}.$$

Отсюда

$$Z_{вх \text{ оос}} = |\Delta U_{вх}| / |\Delta I_{вх}| = Z_{ос} K_{U0} b_{ос} + Z_{вх0}, \quad (5.36)$$

где $|\Delta U_{вх}| = |U_{вх х} - U_{вх}|$.

Таким образом, введение цепи ООС по выходному току увеличивает выходное сопротивление усилителя.

Проделив аналогичные выкладки для случая ПОС, получим

$$Z_{вх \text{ пос}} = Z_{вх0} - Z_{ос} K_{U0} b_{ос}, \quad (5.37)$$

т. е. выходное сопротивление усилителя, охваченного положительной обратной связью по току нагрузки, уменьшается. Как следует из полученного выражения, при определенном выборе параметров цепи ПОС выходное сопротивление усилителя может стать отрицательным. Это соответствует тому, что выходная характеристика усилителя будет иметь не падающий, а нарастающий характер. Увеличение выходного тока будет сопровождаться увеличением выходного напряжения.

Пример 5.10. Интегральный усилитель постоянного тока типа К140УД6 имеет выходное сопротивление $R_{вх0} = 60$ Ом. Определить, как изменится выходное сопротивление усилителя при введении ООС по выходному току с $b_{ос} = 10^{-2}$; $K_{U0} = 30 \cdot 10^3$; $R_{ос} = 1$ Ом.

Решение. Согласно выражению (5.36) найдем

$$R_{вх \text{ оос}} = R_{ос} K_{U0} + R_{вх0} = 1 \cdot 30 \cdot 10^3 + 60 = 30,06 \cdot 10^3 \text{ Ом}.$$

Пример 5.11. Для усилителя из предыдущего примера найти значение $R_{ос}$ для получения в случае ПОС по выходному току $R_{вх \text{ пос}} = 0$.

Решение. Согласно выражению (5.37) при заданных условиях имеем

$$R_{вх0} - R_{ос} K_{U0} b_{ос} = 0.$$

Тогда $R_{ос} b_{ос} = R_{вх0} / K_{U0} = 60 / 30 \cdot 10^3 = 2 \cdot 10^{-3}$. Если (как и в предыдущем примере) выбрать $R_{ос} = 1$ Ом, то $b_{ос} = 2 \cdot 10^{-3}$.

Частотные и фазовые искажения. В подразделе «Полоса усиливаемых частот» этого параграфа на примере усилителя с передаточной функцией вида $W(p) = K_{U1}/(T_1 p + 1)$ было показано, что введение цепи ООС фактически уменьшает постоянную времени усилителя в глубину отрицательной обратной связи раз, т. е. $T_{1\text{ООС}} = T_1/(1 + K_{U0}b_{\text{ОС}})$.

Воспользовавшись выражением для фазовой частотной характеристики (5.16), в этом случае можно записать

$$\varphi(\omega) = \arctg [Q(\omega)/P(\omega)] = -\arctg (\omega T_{1\text{ООС}}).$$

Для малых значений ωT_1 , разлагая функцию \arctg в ряд, получим

$$\varphi(\omega) = -\omega T_{1\text{ООС}} = \omega [T_1/(1 + K_{U0}b_{\text{ОС}})]. \quad (5.38)$$

Выражение (5.38) показывает, что при введении цепи ООС фазовый сдвиг, вносимый усилителем, уменьшается. При этом безразлично, какой вид ООС используется.

Следует отметить, что поскольку введение цепи ООС расширяет полосу пропускания усилителя, то согласно определению коэффициента частотных искажений, абсолютное значение частотных искажений также падает.

Введение цепи ПОС, сужая полосу пропускания усилителя, приводит к увеличению как частотных, так и фазовых искажений усилителя.

Пример 5.12. Определить, как на рабочей частоте $f_p = 1$ кГц изменится коэффициент частотных искажений усилителя из примера 5.6 при введении цепи ООС. В качестве $\omega_{\text{ср}}$ принять нулевую частоту.

Решение. 1. Используя полученное в примере 5.1 соотношение для ЛАЧХ, найдем $K_{U0}(\omega_p)$:

$$\omega_p = 2\pi f_p = 2\pi \cdot 10^3;$$

$$K_{U0}(\omega_p) = 20\lg K_{U0} - 20\lg \sqrt{1 + (\omega_p T)^2} = 20\lg 3 \cdot 10^4 - 20\lg \sqrt{1 + (2\pi \cdot 10^3 \cdot 1,59 \cdot 10^{-3})^2} =$$

$$= -89,54 - 20,03 = -69,51 \text{ дБ} = 2988,8.$$

2. Коэффициент частотных искажений усилителя при цепи ООС

$$M = K_U(\omega_{\text{ср}})/K_U(\omega_p) = 30 \cdot 10^3 / 2988,8 = 10,04.$$

3. Значение $K_{U\text{ООС}}(\omega = \omega_p)$ равно

$$K_{U\text{ООС}}(\omega_p) = 20\lg \frac{K_{U0}}{1 + K_{U0}b_{\text{ОС}}} - 20\lg \sqrt{1 + \left(\frac{\omega_p T}{1 + K_{U0}b_{\text{ОС}}} \right)^2} =$$

$$= 20\lg \frac{3 \cdot 10^4}{1 + 3 \cdot 10^4 \cdot 3,3 \cdot 10^{-3}} - 20\lg \sqrt{1 + \left(\frac{2\pi \cdot 10^3 \cdot 1,59 \cdot 10^{-3}}{1 + 3 \cdot 10^4 \cdot 3,3 \cdot 10^{-3}} \right)^2} =$$

$$= 49,542 - 0,043 = 43,499 \text{ дБ} = 298.$$

4. $M_{ООС} = 300/298 = 1,007$.

Таким образом, после введения цепи ООС частотные искажения усилителя уменьшились в 10 раз.

Пример 5.13. Определить входное сопротивление усилителя типа К174УН19, в который для получения $K_{и} = 0,5\%$ введена цепь последовательной ООС по выходному напряжению; $K_{У0} = 30$ дБ; $R_{вх0} = 20$ кОм; $K_{и0} = 10\%$.

Решение. 1. Согласно выражению (5.28) для снижения $K_{и}$ до $0,5\%$ в усилитель необходимо ввести цепь ООС с $b_{ОС}$, равным

$$b_{ОС} = \frac{1}{K_{У0}} \left(\frac{K_{и0}}{K_{и\text{ООС}}} - 1 \right) = \frac{1}{31,6} \left(\frac{0,1}{0,005} - 1 \right) \approx 0,6;$$

$$K_{У0} = 30 \text{ дБ} = 31,6.$$

2. Глубина ООС $1 + K_{У0}b_{ОС} = 1 + 31,6 \cdot 0,6 = 20$.

3. Согласно выражению (5.30) найдем

$$R_{вх\text{ООС}} = R_{вх0}(1 + K_{У0}b_{ОС}) = 20 \cdot 20 = 400 \text{ кОм}.$$

Подытоживая сказанное, можно сделать следующие выводы:

введение цепи ОС может изменять основные параметры усилительного устройства как количественно, так и качественно;

введение цепей ООС и ПОС, как правило, имеет противоположное воздействие на параметры усилителя;

выбором коэффициента передачи цепи ПОС можно добиться получения отрицательных значений входного и выходного сопротивлений усилителя;

способы введения и снятия сигналов ОС могут влиять на характер воздействия обратной связи на параметры усилителя.

Дополнительно следует отметить, что если в качестве элементов цепи ОС использовать частотозависимые четырехполюсники, можно получить требуемое воздействие на параметры усилителя только в заданном диапазоне изменения входного сигнала.

Все сказанное показывает, что введением различных цепей ОС можно в значительной мере изменять свойства усилительного устройства, что открывает широкие возможности для направленного синтеза устройств с заданными характеристиками.

5.8. ПОНЯТИЕ ОБ УСТОЙЧИВОСТИ УСИЛИТЕЛЯ

Устойчивость является обязательным условием функционирования любого усилительного устройства, без соблюдения которого оно не может выполнять возлагаемые на него функции. В физическом понимании свойство устойчивости означает, что конечные изменения входного сигнала или действие небольших, наперед заданных значений внешних возмущений или ограниченные изменения самих параметров устройства не приводят к значительным, неограниченным, применительно к данному устройству, отклоне-

ниям выходного сигнала. Эти неограниченные отклонения выходного сигнала могут выражаться в увеличении или уменьшении выходного сигнала устройства до максимально или минимально возможного значения, появлении на выходе установившихся периодических колебаний, частота которых не связана с параметрами входного сигнала и т. п.

С математической точки зрения свойство устойчивости можно трактовать следующим образом.

Ранее было показано (см. § 5.3), что поведение любого усилительного устройства с заданной степенью точности можно описать дифференциальным уравнением вида (5.6). Если известно решение этого уравнения для входного воздействия произвольного вида, то известно и поведение усилителя во всех условиях его работы, т. е. при произвольных возмущающих воздействиях. Решение данного уравнения можно рассматривать как некоторую траекторию движения в пространстве параметров усилительного устройства:

$$u_{\text{вых н}} = F(t, u_{\text{вх}}, a_1, b_1, c_1). \quad (5.39)$$

Это так называемое невозмущенное движение системы.

Естественно, если на усилительное устройство действует некоторое внешнее возмущение в виде напряжения $u_{\text{возм}}$, то его поведение

$$u_{\text{вых в}} = F(t, u_{\text{вх}}, u_{\text{возм}}, a_1, b_1, c_1) \quad (5.40)$$

будет отличаться от описываемого выражением (5.39).

Выражение для возмущенного движения $u_{\text{вых в}}$ также описывает некоторую траекторию движения в пространстве параметров устройства.

Отличие возмущенного и невозмущенного движений устройства, описываемое функцией вида

$$e(t) = u_{\text{вых в}} - u_{\text{вых н}}, \quad (5.41)$$

и используется для математического определения понятия устойчивости системы. В смысле функции $e(t)$ невозмущенному движению системы соответствует точка начала координат пространства параметров усилителя.

Свойства устойчивости системы обычно определяется по виду функции $e(t)$, возникающей при кратковременном воздействии на усилительное устройство какого-либо внешнего возмущения.

Говорят, что усилительное устройство устойчиво, если для любых отклонений его параметров или внешних возмущений, действующих в момент t_0 и вызывающих отклонение $e(t_0)$, лежащее в некоторой конечной области S_0 , величина $e(t)$ при $t \rightarrow \infty$ не превысит некоторого заданного значения H , т. е. максимум $e(t) \leq H$ при $t \rightarrow \infty$. Геометрическая интерпретация данного условия показана на рис. 5.31.

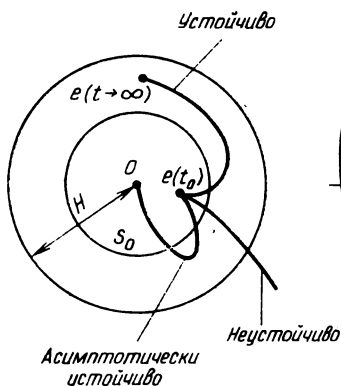


Рис. 5.31. Геометрическая интерпретация устойчивости усилителя

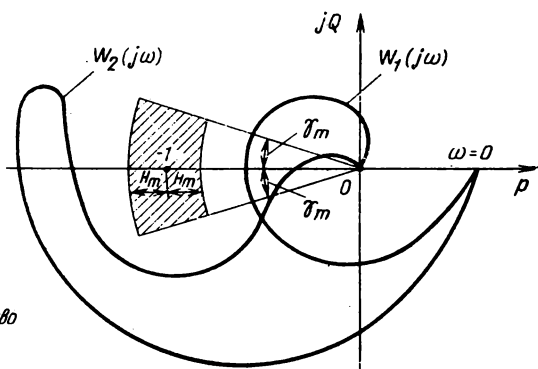


Рис. 5.32. Годографы устойчивого уси-
тельного устройства

Если сформулированное условие не выполняется, говорят, что устройство неустойчиво.

На практике часто пользуются понятием асимптотической устойчивости. Для этого случая выполняется условие

$$\lim_{t \rightarrow \infty} e(t) = 0. \quad (5.42)$$

Физически это означает, что после окончания внешнего возмущающего воздействия выходной параметр устройства вернется к своему первоначальному, невозмущенному значению.

Следует отметить, что свойство устойчивости относится к усилительному устройству, содержащему цепь ОС. Это может быть либо внутренняя связь, обусловленная физическими свойствами и выполнением элементов устройства, либо паразитная связь (емкостная или индуктивная), обусловленная конструктивными особенностями его изготовления, либо внешняя ОС, выполненная путем введения в устройство специальных цепей. Если подобная связь отсутствует, то усилительное устройство является разомкнутым и понятие устойчивости к нему не применимо.

Использование такого подхода всегда позволяет однозначно ответить на вопрос устойчивости исследуемого устройства. Однако на практике непосредственное отыскание точных решений уравнения (5.6) является трудоемкой задачей. Поэтому для решения вопроса устойчивости усилительного устройства удобнее пользоваться некоторыми косвенными оценками, позволяющими ответить на поставленный вопрос без решения дифференциальных уравнений.

Такие оценки, называемые критериями устойчивости, могут быть получены на основе рассмотрения амплитудно-фазовых характеристик устройства (5.14). Наиболее известным из них является критерий устойчивости Найквиста, который позволяет судить об устойчивости по виду амплитудно-фазовых характеристик разомкнутого контура регулирования системы. Он формулируется следующим образом.

Если разомкнутое (в смысле цепи внешней ОС) усилительное устройство устойчиво и его амплитудно-фазовая характеристика (годограф) при изменении частоты от 0 до ∞ не охватывает точку с координатами $-1; j0$, то после замыкания цепи ООС устройство будет также устойчиво.

Прохождение годографа через точку с координатами $-1; j0$ означает нахождение усилителя на границе устойчивости.

На рис. 5.32 приведены примеры амплитудно-фазовых характеристик, удовлетворяющих сформулированному выше условию. Характеристика $W_1(j\omega)$ соответствует абсолютно устойчивой системе. Вывести ее из устойчивого режима работы можно только путем увеличения коэффициента усиления. Характеристика $W_2(j\omega)$ соответствует условно устойчивой системе. В этом случае потеря устойчивости возможна как при увеличении, так и при уменьшении коэффициента усиления.

Введем понятие запаса устойчивости. Считают, что усилитель обладает запасом устойчивости, если он удовлетворяет условиям устойчивости при значениях модуля $|W(j\omega)|$, отличающихся от 1 не менее, чем на некоторую наперед заданную величину $\pm H_m$, называемую запасом устойчивости по модулю, и имеет фазовый угол, отличающийся от π не менее, чем на величину $\pm \gamma_m$, называемую запасом устойчивости по фазе. Согласно данному определению (для обеспечения заданного запаса устойчивости) амплитудно-фазовая характеристика усилителя не должна попадать в область, заштрихованную на рис. 5.32.

Ранее, в § 5.4, было показано, что при проектировании усилителей удобнее пользоваться не амплитудно-фазовыми, а его логарифмическими амплитудной и фазовой характеристиками. Сформулированные выше условия легко можно распространить и на эти характеристики. Логарифмическая амплитудная и фазовая частотная характеристики, соответствующие амплитудно-фазовой характеристике $W_2(j\omega)$ (рис. 5.32), показаны на рис. 5.33.

Легко показать, что точка пересечения ЛАЧХ с осью частот соответствует точке пересечения годографа $W_2(j\omega)$ с окружностью единичного радиуса, то есть соответствует значению $|W(j\omega)| = 1$. Тогда значение фазового угла $\pi - \varphi(\omega_c)$, соответствующее частоте ω_c , является запасом по фазе, и значения $20 \lg K(\omega_1)$ и $20 \lg K(\omega_2)$, соответствующие пересечению фазовой характеристики

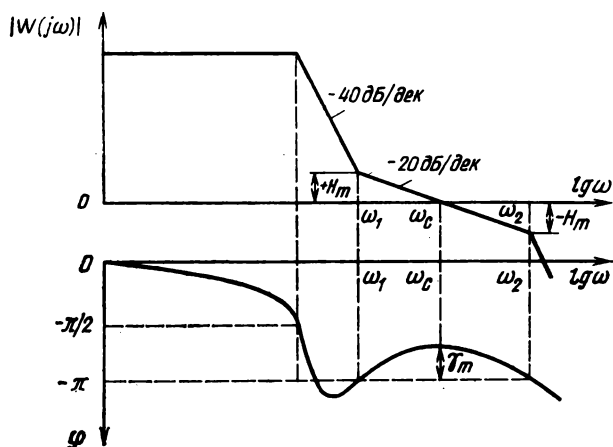


Рис. 5.33. ЛАЧХ и ФЧХ устойчивого усилительного устройства, соответствующие годографу $W_2(j\omega)$

с уровнем $\varphi = -\pi$, являются соответствующими запасами по модулю. Для получения требуемых запасов устойчивости по модулю и фазе для логарифмических характеристик необходимо выполнение следующих условий:

$$\begin{aligned} 20 \lg K(\omega_1) &> +H_m; \\ 20 \lg K(\omega_2) &< -H_m; \\ \varphi(\omega) &> \gamma_m. \end{aligned} \quad (5.43)$$

Следовательно, при заданных запасах устойчивости по модулю и фазе на логарифмических амплитудной и фазовой характеристиках всегда можно определить области, в которые эти характеристики не должны заходить. Следовательно вопрос устойчивости решается без нахождения точного решения исходной системы дифференциальных уравнений путем соответствующего выбора вида логарифмических характеристик.

Пример 5.14. Усилительное устройство описывается передаточной функцией вида

$$W(p) = \frac{K_{U0}}{(15,9 \cdot 10^{-3}p + 1)(1,59 \cdot 10^{-3}p + 1)(0,159 \cdot 10^{-3}p + 1)}.$$

Определить значение K_{U0}^* из условия получения запаса устойчивости по модулю, равного 10 дБ, и соответствующий данному случаю запас устойчивости по фазе.

Решение. 1. Определим значение частоты ω_0 , для которой суммарный фазовый сдвиг достигает 180° . Для этого, согласно (5.18), запишем уравнение

$$\begin{aligned} -180^\circ &= -\operatorname{arctg} \omega_0 T_1 - \operatorname{arctg} \omega_0 T_2 - \operatorname{arctg} \omega_0 T_3 = \\ &= -\operatorname{arctg} (\omega_0 \cdot 15,9 \cdot 10^{-3}) - \operatorname{arctg} (\omega_0 \cdot 1,59 \cdot 10^{-3}) - \operatorname{arctg} (\omega_0 \cdot 0,159 \cdot 10^{-3}). \end{aligned}$$

Численное решение данного уравнения дает значение $\omega_0 = 670\pi$.

2. Найдем значение K_{U0} , соответствующее $\omega_c = \omega_0$. Для этого согласно выражению (5.17) можно записать

$$0 = 20 \lg K_{U0} - 20 \lg \sqrt{1 + (T_1 \omega_0)^2} - 20 \lg \sqrt{1 + (T_2 \omega_0)^2} - 20 \lg \sqrt{1 + (T_3 \omega_0)^2}$$

или $20 \lg K_{U0} \approx 20 \lg (T_1 \omega_0) + 20 \lg (T_2 \omega_0)$.

Здесь было учтено, что $T_1 \omega_0 \gg 1$, $T_2 \omega_0 \gg 1$,

$$T_3 \omega_0 \ll 1;$$

$$20 \lg K_{U0} = 20 \lg (15,9 \cdot 10^{-3} \cdot 670\pi) + 20 \lg (1,59 \cdot 10^{-3} \cdot 670\pi) \approx 41 \text{ дБ.}$$

3. Искомое значение $K_{U0 \text{ гр}}$ равно $K_{U0 \text{ гр}} = K_{U0} - H_m = 41 - 10 = 31 \text{ дБ}$.

4. ЛАЧХ, соответствующая рассматриваемому случаю, приведена на рис. 5.34.

5. Так как частоты среза ω_c , для которой $|W(p)| = 1$, лежит на участке с наклоном -40 дБ/дек , значение ω_c можно определить из выражения

$$H_m = 40 \lg \frac{\omega_0}{\omega_c};$$

$$10 = 40 \lg \frac{670\pi}{\omega_c}.$$

Отсюда $\omega_c = 380\pi$.

Значение $\omega_c < 2000\pi$, т. е. действительно лежит на асимптоте с наклоном -40 дБ/дек .

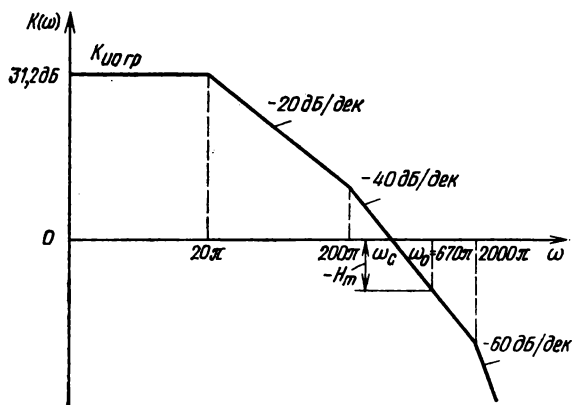


Рис. 5.34. ЛАЧХ усилительного устройства

6. Запас по фазе в соответствии с (5.18) равен

$$\begin{aligned}\gamma_m &= \pi - \varphi(\omega_c) = \pi - \arctg(\omega_c T_1) - \arctg(\omega_c T_2) - \arctg(\omega_c T_3) = \\ &= 180^\circ - \arctg(15,9 \cdot 10^{-3} \cdot 380\pi) - \\ &- \arctg(1,59 \cdot 10^{-3} \cdot 380\pi) - \arctg(0,159 \cdot 10^{-3} \cdot 380\pi) = \\ &= 180^\circ - 86,98^\circ - 62,22^\circ - 10,75^\circ \approx 20^\circ.\end{aligned}$$

5.9. СВЯЗЬ ЧАСТОТНЫХ ХАРАКТЕРИСТИК С ПАРАМЕТРАМИ УСИЛИТЕЛЯ

При проектировании усилителей предъявляются требования к качеству его конструктивных и электрических показателей. Первые определяют массу и объем устройства, его стойкость к внешним механическим воздействиям, собственное тепловыделение и т. п. Вторые — включают условия обеспечения заданного качества преобразования электрической энергии. К ним, в первую очередь, относятся все основные характеристики, рассмотренные в § 5.2.

Строго говоря, обе выделенные группы параметров до известной степени не являются независимыми и можно выделить их взаимное влияние. Так, при использовании методов современной технологии (интегральной и гибридной) масса и объем усилителя в конечном счете определяются его собственным тепловыделением, т. е. его КПД. Как будет показано в гл. 6, повышение КПД усилителя связано с выбором соответствующего режима работы его полупроводниковых элементов. Особенно это касается мощных выходных каскадов усилительного устройства, для которых повышение КПД связано с повышением нелинейных искажений усилителя, т. е. с ухудшением качества преобразования электрической энергии. Добиться в этом случае требуемого качества выходного напряжения можно, используя цепи ОС, т. е. воздействием на вид частотной характеристики усилителя.

Рассмотренный пример показывает, что практически все характеристики усилителя до известной степени связаны.

В § 5.2 было показано, что улучшение практически всех электрических показателей усилителя можно достичь путем направленного изменения частотной характеристики устройства. Приведенный в §§ 5.3 и 5.4 способ математического описания усилительных устройств показал, что если задана частотная характеристика усилителя, вопрос о синтезе его структуры решается на основе известных методов (см. § 5.5). Таким образом, главным вопросом проектирования любого усилительного устройства становится вопрос получения его частотной характеристики.

Ранее было показано, что собственные параметры полупроводниковых элементов, являющихся основой любого усилителя, силь-

но зависят от условий эксплуатации, в частности от температуры, времени старения, величины и стабильности напряжения питания и др. К тому же они достаточно сильно изменяются от одного экземпляра к другому, поэтому, если не применять специальных мер, все основные параметры усилителя также будут зависеть от этих параметров.

Следует отметить, что, как правило, большинство используемых источников входного сигнала усилительных устройств имеют высокоомный выход, т. е. не допускают получения большого выходного тока. При применении во входных каскадах усилительного устройства биполярных транзисторов, которые принципиально управляются током и поэтому обладают небольшим входным сопротивлением, возникает вопрос о согласовании параметров источника сигнала и усилителя.

Возникают также трудности с согласованием усилителя с нагрузкой. Выходное сопротивление транзисторного усилителя обычно существенно больше сопротивления нагрузки. Это препятствует получению высокого КПД усилителя, т. е. приводит к ухудшению его массо-объемных показателей.

В § 5.7 отмечалось, что основные свойства усилителя (как преобразователя электрической энергии) можно направленно изменять путем введения цепей ОС. При этом можно использовать как местные, так и общие цепи ОС. Использование цепей общей ОС (по сравнению с цепями местной ОС) позволяет получить более простые схемотехнические решения усилителя. К тому же проектирование усилителей в настоящее время базируется на использовании готовых интегральных схем — операционных усилителей. Введение в такие усилители цепей местной ОС, как правило, не представляется возможным. Поэтому во всех случаях предпочтение следует отдавать использованию цепей общей ОС.

При проектировании усилителя обычно задаются не жесткие значения всех его основных параметров, а ограничения на часть из них. Так, например, для усилителя, предназначенного для использования в цепях каких-либо измерителей, жесткие требования предъявляются к стабильности коэффициента передачи, который непосредственно определяет погрешность проводимых измерений. В то же время требования к его другим параметрам носят характер ограничений (например, $R_{вх} \geq R_{вх \max}$, $R_{вых} \leq R_{вых \min}$ и т. д.). В этом случае всегда можно найти тип и необходимую глубину ОС, обеспечивающую указанные выше требования к параметрам устройства. Сказанное касается и остальных параметров усилителя, таких, как коэффициенты нелинейных и частотных искажений, полоса усиливаемых частот и др.

Как было показано в § 5.8, существует однозначная связь и между параметрами переходного процесса в усилителе, его устой-

чивостью и видом частотной характеристики. Подробнее рассмотрение этого вопроса выходит за рамки настоящего учебника. Он достаточно подробно рассмотрен в [7].

С учетом сказанного для синтеза усилителя с заданными параметрами можно использовать следующую методику.

Методика проектирования усилительного устройства с использованием ЛАЧХ.

1. По заданной полосе пропускания в соответствии с определением, данным в § 5.2, находят положение горизонтальной асимптоты ЛАЧХ усилителя.

2. По заданному коэффициенту усиления определяют уровень горизонтальной асимптоты ЛАЧХ.

3. Если задан коэффициент подавления частот, не входящих в полосу пропускания усилителя, определяют требуемые наклоны асимптот, находящихся вне полосы пропускания усилителя.

4. Из условия устойчивости и требований к качеству переходных процессов, формируют вид ЛАЧХ в диапазоне частоты среза, т. е. частоты, для которой $K(\omega)$ пересекает ось частоты.

5. Выбирают элементную базу (операционный усилитель, полупроводниковые элементы и т. п.) и схемотехнические решения, направленные на получение заданных энергетических показателей усилителя.

6. Для выбранных элементной базы и схемотехнических решений определяют основные параметры усилителя (входное и выходное сопротивления, коэффициенты нелинейных и других искажений, полосу усиливаемых частот, коэффициент усиления и т. п.).

7. Если некоторые параметры усилителя не соответствуют заданным, то в соответствии с выражениями, полученными в § 5.7, определяют требуемый тип и глубину обратной связи, необходимой для получения требуемого качества выходного параметра устройства.

8. В соответствии с полученным значением глубины ОС корректируют вид частотной характеристики усилителя и проводят коррекцию выбранных элементной базы и схемотехнических решений отдельных его узлов.

9. Определяют различие между необходимой для обеспечения заданных свойств и полученной частотными характеристиками, а затем, в соответствии с рекомендациями § 5.6, находят требуемые цепи коррекции.

Приведенная выше методика является основой для проектирования усилительного устройства по заданным характеристикам. Пример ее конкретного использования будет рассмотрен ниже, после описания типовых схемотехнических решений узлов усилителя.

Контрольные вопросы

1. В чем состоит принцип использования управляемых нелинейных элементов для усиления электрических сигналов?
2. Какие существуют структурные схемы усилительных устройств?
3. По каким признакам классифицируются усилительные устройства?
4. Что такое нормированная амплитудная частотная характеристика?
5. Как определить суммарный коэффициент усиления усилительного устройства, если коэффициенты отдельных каскадов выражены безразмерными величинами или в децибелах?
6. Чем отличаются амплитудные частотные характеристики усилителей постоянного и переменного токов?
7. Какие искажения усиленного сигнала Вы знаете и в чем причина их появления?
8. Что такое передаточная функция усилительного устройства?
9. Как из передаточной функции получить годограф усилительного устройства?
10. Поясните, почему ЛАЧХ и ФЧХ усилительного устройства могут быть построены суммированием соответствующих характеристик типовых звеньев.
11. Как по схеме усилительного устройства получить его ЛАЧХ и ФЧХ?
12. Что такое обратная связь в усилителе?
13. Какие виды обратной связи Вы знаете?
14. Как влияют различные виды цепей обратной связи на абсолютную и относительную величины коэффициента усиления усилителя?
15. Как изменяется полоса пропускания усилительного устройства при введении различных цепей обратной связи?
16. Объясните каким образом введение цепей обратной связи влияет на искажения выходного сигнала усилителя.
17. Входное сопротивление какого усилителя больше: охваченного последовательной цепью обратной связи по входному напряжению или току?
18. Какие типы обратной связи влияют на выходное сопротивление усилительного устройства?
19. Что такое запас устойчивости по фазе и амплитуде?
20. Какой вид должны иметь ЛАЧХ и ФЧХ усилительного устройства на границе устойчивости?
21. Поясните, как основные показатели усилительного устройства связаны с его ЛАЧХ.

ГЛАВА 6.

СХЕМОТЕХНИКА УСИЛИТЕЛЬНЫХ УСТРОЙСТВ НА БИПОЛЯРНЫХ И ПОЛЕВЫХ ТРАНЗИСТОРАХ

При построении усилительных устройств наибольшее распространение получили каскады на биполярных и полевых транзисторах, использующие соответственно схемы включения транзистора с общим эмиттером и общим истоком. Реже используются схемы включения с общим коллектором и общим стоком. Схемы включения с общей базой или общим затвором находят применение только в узком классе устройств, например во входных цепях радиоприемных устройств, работающих в диапазоне УКВ. Рассмотрение таких каскадов, в силу специфики построения, связанной с сильным влиянием на их свойства паразитных параметров реальной конструкции каскада, требует самостоятельного рассмотрения [8] и выходит за рамки настоящего учебника. Поэтому в дальнейшем будем рассматривать только специфику построения и основные параметры каскадов, использующих соответственно схемы включения с общим эмиттером и общим коллектором для биполярных и с общим истоком и общим стоком для полевых транзисторов.

6.1. УСИЛИТЕЛЬНЫЙ КАСКАД ПО СХЕМЕ С ОБЩИМ ЭМИТТЕРОМ

6.1.1. ПРИНЦИП РАБОТЫ И ОСНОВНЫЕ ПАРАМЕТРЫ

Все схемотехническое многообразие каскадов, использующих схему включения биполярного транзистора с общим эмиттером, при использовании известных из теории электрических цепей методов может быть приведено к единой схеме, показанной на рис. 6.1. Как следует из приведенного рисунка, принцип построения каскада не зависит от типа проводимости биполярного транзистора. Поэтому в дальнейшем остановимся на рассмотрении каскада, выполненного на биполярном транзисторе типа $n-p-n$, широко применяемого в ИС (рис. 6.1, *а*). Все сказанное для этого каскада будет справедливо и для каскада на $p-n-p$ транзисторе (рис. 6.1, *б*). Далее, кроме особо оговоренных случаев, будем полагать, что нагрузочный элемент каскада R_n носит чисто активный характер, а напряжение (U_n) усилительного каскада является постоянным.

В приведенной схеме возможны два способа подключения нагрузки. При первом способе в качестве нагрузочного элемента используется непосредственно резистор R_n , включенный в коллекторную цепь транзистора. При таком включении каскад реализует

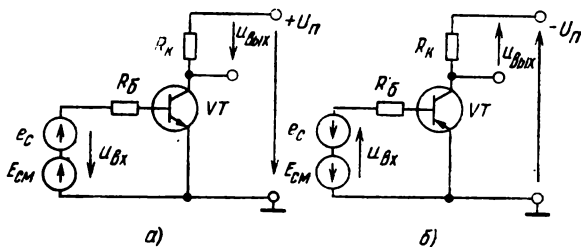


Рис. 6.1. Обобщенная схема усилительного каскада на биполярном транзисторе типов *n-p-n* (а) и *p-n-p* (б)

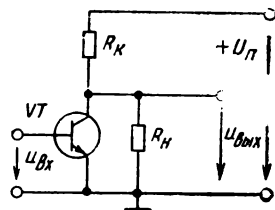


Рис. 6.2. Усилительный каскад с внешней нагрузкой

последовательную структурную схему усилительного устройства (см. рис. 5.2, а). Во втором случае используют дополнительный нагрузочный элемент R_n (резистор), включаемый параллельно выходам коллектора и эмиттера транзистора VT (рис. 6.2). В этом случае каскад реализует параллельную структурную схему усилительного устройства (см. рис. 5.2, б).

Отличие способов подключения нагрузки приводит к различию свойств каскадов. Так, на рис. 6.1, а, б фазы входного и выходного сигналов каскада совпадают. Следовательно, каскад является неинвертирующим и для него

$$u_{\text{вых}} = i_K R_K. \quad (6.1)$$

В схеме на рис. 6.2 фазы входного и выходного сигналов отличаются на π и поэтому каскад является инвертирующим. Связь выходного напряжения с параметрами схемы в этом случае имеет вид

$$u_{\text{вых}} = \frac{U_n - i_K R_K}{1 + R_K / R_n}. \quad (6.2)$$

Следует отметить, что если интересоваться только переменной составляющей выходного сигнала, то для обоих случаев без учета фазы сигнала можно воспользоваться выражением (6.1). При этом для случая использования дополнительного нагрузочного резистора в выражении (6.1) вместо R_K надо подставить $R'_K = R_K R_n / (R_K + R_n)$.

Резистор R_6 является балластным и предназначен для линеаризации входной характеристики каскада. Известно (см. гл. 2), что входное сопротивление транзистора, особенно в начальной части его ВАХ, имеет существенно нелинейный характер, поэтому одинаковые приращения входного напряжения приводят к различным приращениям входного i_B , а, следовательно, и выходного i_K токов

$$i_K = i_B h_{21Э} = h_{21Э} u_{BХ} / R_{BХ}, \quad (6.3)$$

где $h_{21Э}$ — коэффициент передачи тока в схеме с общим эмиттером; $R_{вх}$ — входное сопротивление транзистора, значение которого зависит от $u_{вх}$; $u_{вх} = u_c + U_{см}$ — суммарное входное напряжение каскада; u_c — управляющая (изменяющаяся) составляющая входного напряжения; $U_{см}$ — постоянная составляющая входного напряжения).

Если выражение (6.3) подставить в (6.1) и (6.2), то становится очевидным, что непостоянство $R_{вх}$, обусловленное изменением входного напряжения и, следовательно, режима работы транзистора, приводит к изменению коэффициента пропорциональности между входным и выходным напряжениями каскада. Передаточная характеристика каскада по напряжению приобретает существенно нелинейный характер, что усложняет его практическое использование.

Для линеаризации передаточной характеристики последовательно с эмиттерным переходом транзистора включают балластный резистор R_6 , сопротивление которого выбирается из условия $R_6 \gg R_{вх}$. Чем жестче выполняется это неравенство, тем линейнее для заданного изменения входного напряжения входная характеристика каскада и выражение (6.3) приобретает вид

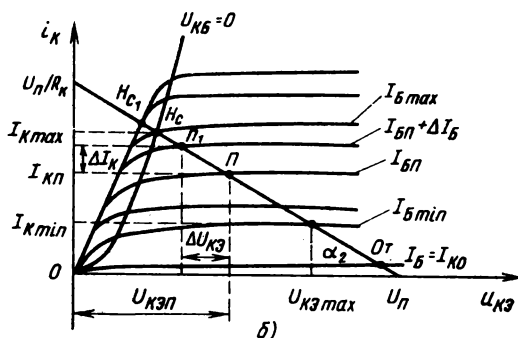
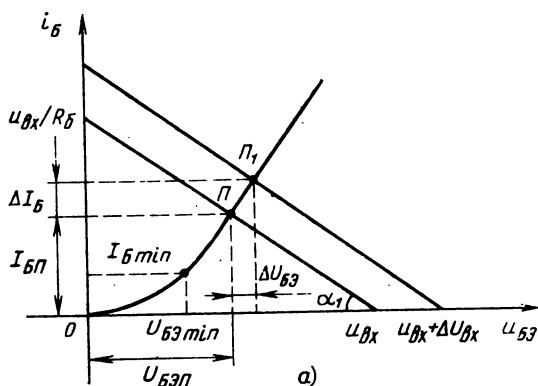
$$i_K = i_B h_{21Э} = h_{21Э} u_{вх} / (R_6 + R_{вх}) \approx h_{21Э} u_{вх} / R_6. \quad (6.4)$$

Следует заметить, что введение в схему усилителя резистора R_6 уменьшает коэффициент усиления каскада и это уменьшение тем больше, чем жестче выполняется неравенство $R_6 \gg R_{вх}$. Причина этого в том, что с увеличением R_6 меньшая часть входного напряжения прикладывается непосредственно к эмиттерному переходу транзистора.

Во входной цепи каскада действуют два источника напряжения: u_c — непосредственно сигнал, подлежащий усилению, и $U_{см}$ — некоторое постоянное напряжение, обеспечивающее требуемый режим работы каскада по постоянному току.

Анализ усилительного каскада удобно проводить (см. гл. 4) с использованием входных и выходных характеристик транзистора методом их пересечения. При этом будем полагать, что выходным является напряжение на резисторе R_K . Для этого предположим, что суммарное входное напряжение каскада остается неизменным. Построим на входной характеристике транзистора (рис. 6.3, а) нагрузочную прямую, пересекающую оси тока и напряжения соответственно в точках $u_{вх}/R_6$ и $u_{вх}$, где $u_{вх} = u_c + U_{см}$. Наклон этой прямой определяется сопротивлением резистора R_6 , т. е. $\text{ctg } \alpha_1 = R_6$.

На выходных характеристиках транзистора также построим нагрузочную прямую, наклон которой определяется сопротивлением резистора R_K , т. е. $\text{ctg } \alpha_2 = R_K$ (рис. 6.3, б). Эта прямая пере-



сечет оси тока и напряжения соответственно в точках U_{BE}/R_B и U_{BE} .

Если напряжения U_{BE} и U_{CE} постоянны, то базовый и коллекторный токи транзистора также будут постоянны. В базовой (входной) и коллекторной (выходной) цепях транзистора будут протекать так называемые токи покоя I_{B0} и I_{K0} . Этим токам соответствуют напряжения покоя U_{BE0} и U_{CE0} , которые можно найти как проекцию точки P пересечения соответствующих характеристик транзистора на оси напряжения.

Предположим, что входное напряжение каскада увеличилось на величину ΔU_{BE} . Это приведет к тому, что точка пересечения нагрузочной прямой с осью напряжений на рис. 6.3, а сместится вправо на величину ΔU_{BE} , базовый ток и напряжение база — эмиттер получат положительные приращения ΔI_B и ΔU_{BE} . Соответственно положительные приращения получат коллекторный ток транзистора и согласно выражению (6.1) — выходное напряжение

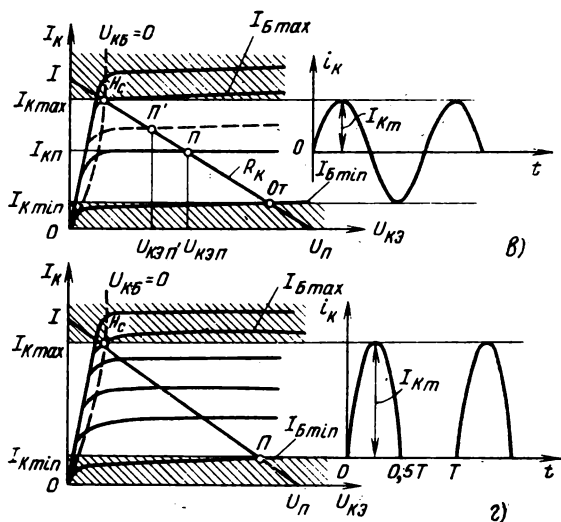


Рис. 6.3. Входная (а) и выходные (б, в, г) характеристики усилительного каскада

каскада $\Delta U_{\text{вых}} = \Delta U_{\text{КЭ}}$ (рис. 6.3, б). Новый режим в схеме будет характеризоваться точкой покоя Π_1 .

Таким образом, любое изменение входного напряжения в рассматриваемой схеме приводит к пропорциональному изменению ее выходного напряжения. Количественно это изменение определяется коэффициентом усиления каскада по напряжению. Определим его зависимость от параметров схемы для приведенных выше условий. Согласно определению, коэффициент усиления каскада равен отношению приращений выходного и входного напряжений

$$K_{U_K} = \Delta U_{\text{вых}} / \Delta U_{\text{вх}}.$$

Для рассматриваемой схемы, полагая $h_{12Э} = h_{22Э} = 0$ (отсутствие внутренней обратной связи и бесконечное выходное сопротивление, см. рис. 2.13), найдем

$$\Delta U_{\text{вых}} = \Delta U_{\text{КЭ}} = h_{21Э} \Delta I_{\text{БК}};$$

$$\Delta U_{\text{вх}} = \Delta U_{\text{БЭ}} = \Delta I_{\text{Б}} R_{\text{вх}}.$$

Следовательно,

$$K_{U_K} = h_{21Э} R_{\text{К}} / R_{\text{вх}}. \quad (6.5)$$

Полученное выражение не учитывает присутствие во входной цепи каскада балластного резистора R_6 . Этот резистор, как уже

отмечалось, образует с входным сопротивлением транзистора дополнительный делитель напряжения, уменьшающий суммарный коэффициент усиления каскада. С учетом этого суммарный коэффициент усиления каскада, представляющий собой коэффициент усиления каскада по постоянному току K_{U0} , равен

$$K_{U0} = K_{U_K} K_{\text{дел}} = h_{21Э} R_K / (R_6 + R_{\text{вх}}), \quad (6.6)$$

где $K_{\text{дел}} = R_{\text{вх}} / (R_6 + R_{\text{вх}})$ — коэффициент передачи входного делителя напряжения.

Основываясь на сказанном, для входного и выходного сопротивлений каскада, приведенного на рис. 6.1, а, можно записать следующие выражения:

$$R_{\text{вх}} = R_6 + R_{\text{вх}} \approx R_6; \quad (6.7)$$

$$R_{\text{вых}} = R_{\text{вых т}} = 1/h_{22Э}, \quad (6.8)$$

где $R_{\text{вых т}}$ — выходное сопротивление транзистора.

Если нагрузка подключается к выходу усилительного каскада, как показано на рис. 6.2, то выражение для выходного сопротивления каскада изменится. С учетом того, что источник $U_{\text{п}}$ является идеализированным источником напряжения,

$$R_{\text{вых}} = R_{\text{вых т}} R_K / (R_{\text{вых т}} + R_K) \approx R_K. \quad (6.9)$$

6.1.2. ПОНЯТИЕ О КЛАССАХ УСИЛЕНИЯ УСИЛИТЕЛЬНЫХ КАСКАДОВ

В зависимости от значения и знака напряжения смещения $U_{\text{см}}$ и напряжения сигнала u_c в схеме транзисторного каскада, приведенного на рис. 6.1, возможно несколько принципиально различных режимов его работы, называемых *классами усиления*. Для обозначения различных классов усиления используются прописные латинские буквы. Рассмотрим их подробнее.

Класс усиления А. Режим работы транзисторного каскада, при котором ток в выходной цепи транзистора протекает в течение всего периода изменения напряжения входного сигнала, называется режимом усиления класса А. Характерной чертой этого режима является выполнение условия $\Delta I_K < I_{\text{кп}}$, для обеспечения которого напряжение $U_{\text{см}}$ применительно к схеме на рис. 6.1, а, должно быть положительным и превосходить максимальную амплитуду напряжения u_c .

Максимальная амплитуда выходного сигнала в данном режиме может достигать значения близкого к $U_{\text{п}}/2$. Для этого необходимо, чтобы $U_{\text{кЭ п}} = U_{\text{п}}/2$ или $I_{\text{кп}} = U_{\text{п}}/2R_K$.

Используя характеристики каскада, приведенные на рис. 6.3, можно легко найти напряжение $U_{\text{см}}$ и допустимый диапазон изме-

нения входного сигнала, обеспечивающие получение максимальной амплитуды выходного сигнала при условии минимальных его искажений. Последнее является характерной чертой класса А. Для этого по характеристике на рис. 6.3, а находят ток базы, соответствующий началу линейного участка входной характеристики транзистора. По выходным характеристикам транзистора (рис. 6.3, б) или, используя соотношение (6.3), определяют коллекторный ток транзистора и его напряжение $U_{кз}$, соответствующие найденному току $I_{б\min}$ ($I_{к\min}$ и $U_{кз\max}$). По этим же характеристикам определяют максимальный коллекторный ток транзистора, соответствующий границе его активного режима работы и режима насыщения (точка H_c пересечения нагрузочной прямой с характеристикой $U_{кб} = 0$), т. е. $I_{к\max}$. Искомый ток покоя коллектора будет равен полусумме найденных значений

$$I_{кп} = (I_{к\min} + I_{к\max})/2, \quad (6.10)$$

а максимальная амплитуда выходного тока — полуразности этих значений

$$\Delta I_{к\max} = (I_{к\max} - I_{к\min})/2. \quad (6.11)$$

По найденным значениям $I_{кп}$ и $\Delta I_{к\max}$ для известного значения $h_{21э}$ находят $I_{бп}$, $\Delta I_{б\max}$, $U_{бп}$ и $\Delta U_{бэ\max}$.

Таким образом, класс усиления А имеет место при выборе точки покоя P в средней части нагрузочной характеристики R_k выходной цепи транзистора (рис. 6.3, в). Этот режим характерен тем, что форма выходного сигнала $u_{вых}$ повторяет форму входного сигнала $u_{вх}$ за счет работы транзистора в активной области без захода в области насыщения и отсечки. При этом транзистор, как видно из рисунка, работает в линейной области, что объясняет минимальное нелинейное искажение усиливаемого сигнала. В то же время работа усилителя в классе А характеризуется низким КПД, который теоретически не может превышать 0,5, что объясняется постоянным током $I_{кп}$ в цепи R_k вне зависимости от наличия или отсутствия входного сигнала u_1 , в результате чего в транзисторе рассеивается мощность $P_{кп} = I_{кп}U_{кп}$. В связи с этим режим усиления А используют лишь в маломощных каскадах (предварительных усилителях), для которых, как правило, важен малый коэффициент нелинейных искажений усиливаемого сигнала, а значение КПД не играет решающей роли.

Класс усиления В. Режим работы транзисторного каскада, при котором ток в выходной цепи транзистора протекает только в течение половины периода изменения напряжения входного сигнала, называется режимом усиления класса В. Данный режим соответствует выбору $U_{см} = 0$. При этом $I_{кп} = I_{к\min} \approx 0$ и $U_{кэп} = U_n - I_{к\min}R_k \approx U_n$ (рис. 6.3, г). Из сказанного следует, что мощность,

рассеиваемая в каскаде при условии $u_c=0$, практически также равна нулю, так как транзистор находится в режиме отсечки.

Таким образом, класс усиления В имеет место при смещении точки покоя P в нижний участок линии нагрузки R_k , как показано на рис. 6.3, г. Это способствует предельному снижению тока $I_{БП}$, обуславливая существенное улучшение энергетических показателей каскада за счет значительного (по сравнению с режимом класса А) снижения мощности, рассеиваемой в транзисторе в режиме покоя. Поэтому класс В предпочтительнее для использования в усилителях средней и большой мощности. В этом режиме значение КПД каскада можно довести до 0,7 и более (при мощности, рассеиваемой в транзисторе, менее 0,25 от максимума полезной мощности в нагрузочном устройстве). Вместе с тем, в классе В наблюдается усиление лишь одной положительной полуволны усиливаемого сигнала $u_{вх}$, и потому выходной ток i_k имеет прерывистый характер.

Для усиления как положительной, так и отрицательной полуволны входного сигнала применяют двухтактные усилители, работающие в классе усиления В (рис. 6.4, а). Здесь при положительной полуволне входного сигнала открыт транзистор $VT1$ $n-p-n$ -типа, а при отрицательной полуволне — транзистор $VT2$ ($p-n-p$ -типа). В нагрузочное устройство с сопротивлением R_n поступает усиленный сигнал обоих полупериодов. Как правило, двухтактные усилители изготавливают в виде ИС, в едином кристалле полупроводника, что позволяет обеспечивать идентичность параметров транзисторов $VT1$ и $VT2$. Особенности схемотехнического построения подобных каскадов будут рассмотрены в § 6.10.

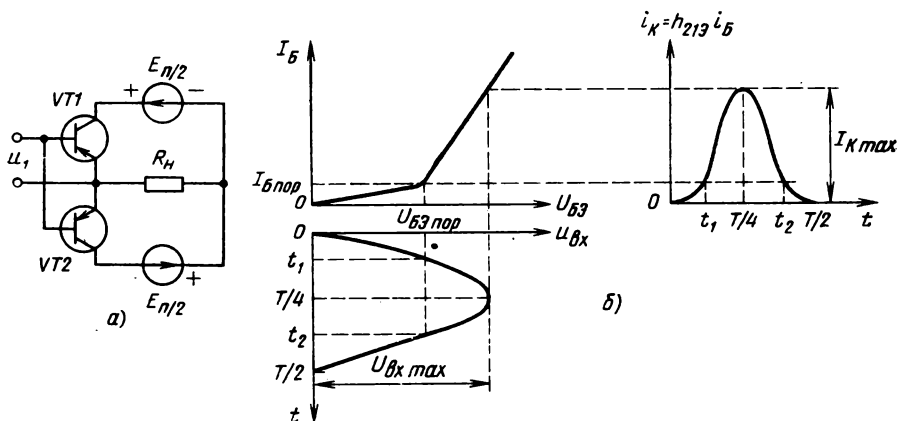


Рис. 6.4. Принципиальная схема двухтактного усилителя мощности (а) и временные диаграммы (б), поясняющие ее работу ($VT1$ — $n-p-n$, $VT2$ — $p-n-p$)

Основным недостатком усилителей, работающих в классе В, являются значительные нелинейные искажения выходного напряжения. Проиллюстрируем сказанное с помощью входной характеристики транзистора, показанной на рис. 6.4, б. Предположим, что на вход каскада подано напряжение $u_{вх} = U_m \sin \omega t$. Так как $U_{см} = 0$, то ток коллектора транзистора будет изменяться только для интервала $u_{вх} > 0$. При этом из-за существенной нелинейности начального участка входной характеристики транзистора коэффициент пропорциональности между входным и выходным напряжениями не будет оставаться постоянным. На интервале $0 \dots t_1$ и $t_2 \dots T/2$, где $u_{вх} < U_{БЭ\text{ пор}}$, ток коллектора транзистора будет изменяться существенно медленнее, чем на интервале $t_1 \dots t_2$. Это приведет к появлению на выходе типичных искажений, получивших название «ступеньки». Большие искажения усиленного сигнала являются причиной того, что класс усиления В практически не используется в усилителях.

Устранить указанный недостаток усилителей класса В можно, введя в каскад небольшое напряжение смещения. Если $U_{см} = U_{БЭ\text{ пор}}$, то причина появления «ступеньки» в выходном напряжении устраняется. При этом в выходной цепи транзистора начинает протекать некоторый ток покоя $I_{кл} = I_{Б\text{ пор}} h_{21э}$. Однако этот ток, как правило, существенно меньше максимального тока коллектора ($I_{кл} \approx 5 \dots 10\% I_{к\text{ max}}$), что позволяет обеспечить высокий КПД каскада.

Класс усиления АВ. Режим работы транзисторного каскада, при котором ток в выходной цепи транзистора протекает больше половины периода изменения напряжения входного сигнала, называется режимом усиления класса АВ.

Таким образом, в режиме усиления класса АВ $U_{см} = U_{БЭ\text{ пор}} > 0$. Такой режим работы нашел широкое применение при построении выходных каскадов усилителей мощности, так как при высоком КПД они обеспечивают получение небольших искажений выходного сигнала.

На практике встречаются случаи, когда нагрузкой транзисторного каскада является колебательный контур, в котором необходимо обеспечить поддержание незатухающих колебаний, например выходные каскады передающих устройств. Для поддержания колебаний транзистор должен обеспечивать «подкачку» в контур энергии, рассеиваемой на его активных элементах. При больших добротностях контура эта энергия может быть существенно меньше энергии собственных колебаний и для ее восстановления достаточно подключение внешнего источника питания на время меньшее половины периода колебаний. Реализовать такой режим работы можно, если на вход каскада, показанного на рис. 6.1, а подать напряжение смещения, удовлетворяющее условию $U_{см} < 0$.

Класс усиления С. Режим работы транзисторного каскада, при котором ток в выходной цепи транзистора протекает на интервале меньшем половины периода изменения напряжения входного сигнала, называется режимом усиления класса С.

В режиме класса С транзистор больше половины периода находится в состоянии отсечки (точка O_T на рис. 6.3, б) и его ток мало отличен от нуля. Этот режим соответствует расположению точки покоя в области отсечки и находит широкое применение в мощных резонансных усилителях (например, радиопередающих устройствах).

Во всех рассмотренных ранее режимах работы максимальный входной ток, а следовательно, и входное напряжение ограничиваются величинами, соответствующими границе между активным режимом работы и режимом насыщения. В этом случае $I_{вх\max} < (U_n - U_{кэл}) / (R_k h_{21э})$, а $U_{вх\max}$ может быть определено из рис. 6.3, а по известному току $I_{вх\max}$, т. е. во всех рассмотренных режимах работы рабочая точка на выходных характеристиках каскада (рис. 6.3, б) не заходит правее точки O_T и левее точки H_c .

Общим для всех рассмотренных режимов работы является также тот факт, что усиление входного сигнала сопровождается потерями мощности в транзисторе усилительного каскада. Абсолютная величина этих потерь для различных классов усиления различна, но они не могут быть сведены к нулю. Это вытекает из того, что сам процесс усиления, согласно обобщенной структурной схеме усилителя (см. рис. 5.2) связан с перераспределением напряжения (мощности) между регулирующим элементом и нагрузкой.

На выходных характеристиках каскада (рис. 6.3, б) существует только две области, для которых можно считать, что мощность, выделяющаяся в транзисторе, теоретически равна нулю. Это точка O_T , соответствующая режиму отсечки (цепь нагрузки практически разорвана — выключена), и интервал $H_c \dots H_{c1}$, соответствующий режиму насыщения биполярного транзистора (цепь нагрузки непосредственно подключена к источнику питания — включена). В этих областях потери, существующие в транзисторе, определяются исключительно его собственными параметрами и не связаны с процессом усиления входного сигнала.

Класс усиления D. Режим работы транзисторного каскада, при котором в установившемся режиме усилительный элемент (биполярный транзистор) может находиться только в состоянии включено (режим насыщения биполярного транзистора) или выключено (режим отсечки биполярного транзистора), называется ключевым режимом или режимом усиления класса D.

Таким образом, ток в выходной цепи усилительного каскада, работающего в режиме усиления класса D, может принимать

только два значения: $I_{K \max}$ и $I_{K \min}$. Поэтому КПД такого усиленного каскада близок к единице.

Режим класса D широко используется в устройствах, основным требованием к которым является получение максимального КПД. Как правило, это устройства с автономным питанием, рассчитанные на длительный режим работы. Для реализации данного режима работы входное напряжение должно принимать значение либо меньшее порогового напряжения $U_{БЭ \text{ пор}}$, либо большее $U_{вх \max}$, соответствующего границе активного режима работы и режима насыщения.

Согласно данному определению, выходное напряжение усилителя, работающего в режиме класса D, всегда имеет форму прямоугольного импульса и усиление входного сигнала сопряжено с изменением того или иного параметра этого импульса, например его длительности, фазы и т. п. Более подробно особенности построения усилительных каскадов, использующих режим класса D, будут рассмотрены в гл. 12.

Следует отметить, что, строго говоря, КПД каскада, работающего в режиме класса D, только теоретически может быть равен единице. На практике в таких каскадах всегда присутствуют три составляющие потерь, природа которых кроется в неидеальности используемой элементной базы. Это потери в насыщенном состоянии, потери в режиме отсечки и потери на переключение, обусловленные движением рабочей точки на выходных характеристиках транзистора из точки O_T в точку H_c и обратно. Однако при правильном проектировании эти потери всегда меньше потерь в других классах усиления.

Основные параметры транзисторного каскада (рис. 6.1) для различных классов усиления сведены в табл. 6.1.

6.1.3. ПЕРЕДАТОЧНАЯ ФУНКЦИЯ И СХЕМА ЗАМЕЩЕНИЯ

Передаточная функция и схема замещения являются основой для расчета транзисторного каскада по заданным его техническим характеристикам. Согласно данной в гл. 5 классификации, схема на рис. 6.1 является усилителем постоянного тока. В этом случае, как видно из приведенной схемы, любое сколь угодно медленное изменение входного напряжения непосредственно передается на выход устройства. Частотные свойства данной схемы ограничиваются только собственными частотными свойствами транзистора. Ранее было показано, что собственные частотные свойства транзистора в основном определяются временем диффузии неосновных носителей через область базы τ_a и барьерной емкостью его коллекторного перехода C_K . С учетом этих параметров передаточная

Таблица 6.1

Основные параметры усилителей различных классов усиления

Класс усиления	Напряжение смещения	Ток покоя транзистора $I_{КП}$	Зависимость тока от времени	Примечание
A	>0	$I_{БП} h_{21Э}$		$I_{Км} < I_{КП}$
AB	>0	$I_{БП} h_{21Э}$		$I_{Км} < I_{КП}$ $I_{Км} < U_{п}/R_{к}$
B	$=0$	$I_{Кнач}$		$I_{Км} \leq U_{п}/R_{к}$
C	<0	$I_{к0}$		$I_{Км} \leq U_{п}/R_{к}$
D	≤ 0	$I_{к0}$		$I_{Км} = U_{п}/R_{к}$

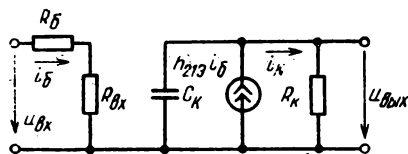
функция каскада на рис. 6.1 приближенно может быть описана выражением вида

$$W(p) = K_{U0}/(Tp + 1), \quad (6.12)$$

где K_{U0} — коэффициент усиления каскада по постоянному току, который определяется из (6.5); $T = \tau_a/(1-\alpha) + C_K R_K$ — постоянная времени каскада. Следовательно, частотная характеристика каскада в области высоких частот имеет одну асимптоту с наклоном — 20 дБ/дек.

Упрощенная схема замещения каскада, соответствующая передаточной функции (6.12), приведена на рис. 6.5. При ее составлении не учитывалась внутренняя обратная связь, существующая в транзисторе, и полагалось, что $h_{22Э} = 0$. При необходимости учет внутренней обратной связи может быть легко выполнен с использованием основных принципов цепей обратной связи, изложенных

Рис. 6.5. Схема замещения усилительно-го каскада



в гл. 5. Пример использования приведенной на рис. 6.5 схемы замещения для определения параметров транзисторного каскада был рассмотрен ранее в гл. 4 (пример 4.7).

6.1.4. МЕТОДЫ СТАБИЛИЗАЦИИ РАБОЧЕЙ ТОЧКИ

Основные параметры каскада усиления по схеме с общим эмиттером (см. рис. 6.1) сильно зависят от внешних возмущающих воздействий. К ним, в первую очередь, следует отнести изменение температуры окружающей среды, вызывающей, во-первых, изменение обратного тока коллекторного перехода $I_{К0}$, во-вторых, изменение напряжения эмиттерного перехода $U_{Бэ}$ транзистора, и, в-третьих, изменение его коэффициента передачи тока $h_{21э}$, изменение напряжения питания, изменение сопротивления нагрузки и т. п. Все эти воздействия приводят к изменению коллекторного тока транзистора и, следовательно, изменению выходного напряжения усилительного каскада. Эти изменения принято характеризовать понятием — дрейф нуля усилителя.

Дрейфом нуля называется изменение выходного напряжения или тока усилителя, не связанное с воздействием входного сигнала, а обусловленное изменением режимов работы его элементов вследствие воздействия различных внешних дестабилизирующих факторов.

Внешние возмущения, изменяя ток покоя транзистора $I_{КП}$, выводят усилитель из заданного режима работы. Это особенно опасно для режима класса А, так как может вывести транзистор в нелинейную область его характеристик, что вызовет увеличение коэффициента нелинейных искажений или вообще приведет к появлению одностороннего ограничения выходного сигнала при заходе рабочей точки в режимы насыщения или отсечки. По этой причине при проектировании транзисторных усилителей вопрос стабилизации точки покоя является одним из главных.

Существуют три основных метода стабилизации режима работы транзисторного каскада: термокомпенсация; параметрическая стабилизация; введение цепей отрицательной обратной связи.

Метод термокомпенсации базируется на том, что внешними конструктивными и схемотехническими решениями стараются исключить воздействие на транзисторный каскад нежелательных воз-

мушений. Так, если основным возмущающим воздействием является изменение температуры окружающей среды, то наиболее чувствительные к этим воздействиям каскады усилителя могут быть конструктивно выделены в некоторый самостоятельный узел, в котором принудительно (вне зависимости от внешних условий) поддерживается неизменная температура, что и дало название методу. В эту же группу методов можно отнести питание наиболее подверженных воздействию каскадов стабилизированным напряжением или применение элементов со стабильными параметрами и т. п. Общим для всех этих методов, как это уже было отмечено, является исключение действия возмущений на транзисторный каскад, вызывающих недопустимые изменения его параметров.

Метод параметрической стабилизации базируется на использовании в транзисторных каскадах специальных элементов, характеристики которых зависят от внешних возмущающих воздействий, причем изменения параметров этих элементов должны компенсировать изменения параметров транзисторного каскада. В качестве примера на рис. 6.6, а приведена схема транзисторного каскада, в которой для введения начального смещения рабочей точки используется внешний делитель на резисторах $R_{\delta 1}$ и $R_{\delta 2}$. Очевидно, что в данной схеме при увеличении температуры окружающей среды будет увеличиваться ток $I_{кп}$. Это обусловлено уменьшением напряжения $U_{бэ}$ вследствие сдвига входной характеристики транзистора влево и увеличением β_{219} и $I_{к0}$. Поэтому при увеличении температуры сохранение $I_{кп}$ на неизменном уровне требует уменьшения начального смещения $U_{см}$. Для этого необходимо либо увеличивать сопротивление $R_{\delta 1}$, либо уменьшать сопротивление $R_{\delta 2}$. Возможно и одновременное изменение сопротивлений обоих резисторов. Если параметры изменения сопротивлений согласованы с изменениями параметров транзисторов, такое решение позволяет получить хорошую температурную стабильность каскада.

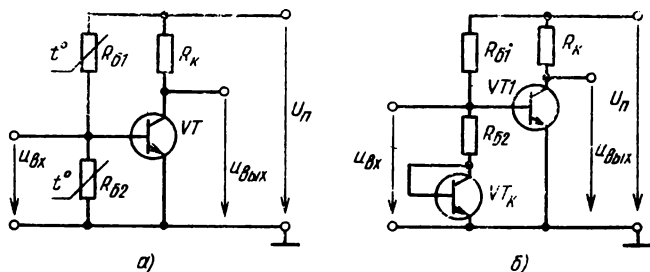


Рис. 6.6. Параметрическая стабилизация режима покоя усилительного каскада с использованием терморезисторов (а) и дополнительного транзистора (б)

Во входном делителе могут быть использованы различные элементы — либо терморезисторы, либо другие полупроводниковые приборы. На рис. 6.6, б показано использование эмиттерного перехода дополнительного транзистора VT_K в качестве такого элемента. Если параметры транзисторов VT_K и VT_1 одинаковы, то такое решение позволяет полностью устранить изменение тока $I_{КЛ}$, вызванное изменением напряжения $U_{БЭ}$. Такое решение находит широкое применение при разработке аналоговых интегральных схем.

Общим для обоих рассмотренных методов является компенсация только одного из дестабилизирующих факторов. Так, решение, приведенное на рис. 6.6, б, не позволяет компенсировать изменение тока $I_{КЛ}$, обусловленное изменением значения $h_{21Э}$, а термостабилизация режима работы части каскадов не устраняет возмущений, вызванных изменением напряжения питания и т. п. К тому же при использовании параметрического метода трудно подобрать элементы, способные в широком диапазоне изменения внешних возмущений достаточно точно стабилизировать параметры транзисторного каскада, поэтому рассмотренные выше методы применяются как дополнительные, т. е. совместно с введением в каскад различных цепей обратной связи. Как было показано в § 5.7, введение цепей обратной связи способно сильно изменять все параметры усилителя, причем чем больше исходный коэффициент усиления, тем сильнее могут быть эти изменения.

Метод введения цепей обратной связи является универсальным методом стабилизации параметров не только одиночного транзисторного каскада, но и всего усилителя в целом. При правильном выборе он способен компенсировать влияние всех воздействующих на усилитель внешних возмущений.

Для каскада, показанного на рис. 6.1, практическое применение нашло введение последовательной отрицательной обратной связи по току нагрузки и параллельной отрицательной обратной связи по выходному напряжению. Рассмотрим более подробно эти методы.

6.1.5. КАСКАД С ПОСЛЕДОВАТЕЛЬНОЙ ОТРИЦАТЕЛЬНОЙ ОБРАТНОЙ СВЯЗЬЮ ПО ТОКУ НАГРУЗКИ

Типовая схема транзисторного каскада с общим эмиттером, охваченного последовательной отрицательной обратной связью (ООС) по току нагрузки, приведена на рис. 6.7, а. Эта связь образуется за счет введения в эмиттерную цепь транзистора VT резистора $R_э$. Ток эмиттера, протекая по резистору $R_э$, создает на нем падение напряжения $U_{ООС} = i_э R_э$. Это напряжение алгебраически складывается с входным напряжением $u_{вх}$, присутствующим на

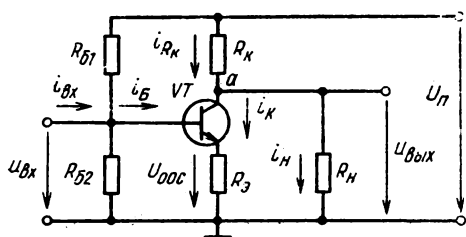


Рис. 6.7. Транзисторный каскад с цепью последовательной ООС по току нагрузки

резисторе делителя $R_{б2}$. Сумма напряжений прикладывается к эмиттерному переходу транзистора и, по сути, является входным напряжением каскада. Входное напряжение и напряжение обратной связи направлены встречно, поэтому обратная связь отрицательна.

Как следует из анализа, проделанного в § 5.7, введение резистора $R_з$ снижает общий коэффициент усиления каскада, повышает его входное и выходное сопротивления, расширяет полосу усиливаемых частот и снижает линейные и нелинейные искажения. Следует отметить, что в реальных усилительных каскадах повышение входного сопротивления несколько компенсирует снижение его общего коэффициента передачи за счет увеличения коэффициента передачи входного делителя.

Коэффициент передачи каскада (рис. 6.7), охваченного цепью ООС, согласно выражению (5.20), равен

$$K_{УК ООС} = K_{УК} / (1 + K_{УК} b_{ОС}).$$

Для рассматриваемой схемы $b_{ОС}$ может быть определено следующим образом:

$$b_{ОС} = \Delta U_{ОС} / \Delta U_{ВНХ} = R_з \Delta I_э / (R_к \Delta I_к).$$

Обычно из-за большого значения $h_{21э}$ можно с достаточной точностью полагать, что $\Delta I_э = \Delta I_к$. Тогда выражение для коэффициента передачи цепи ООС примет вид

$$b_{ОС} = R_з / R_к.$$

Подставляя $b_{ОС}$ в выражение для коэффициента передачи усилителя с ООС, с учетом (6.5) непосредственно для транзисторного каскада получим

$$K_{УК ООС} = \frac{h_{21э} R_к / R_{ВХ}}{1 + R_з h_{21э} R_к / (R_к R_{ВХ})} = h_{21э} R_к / (R_{ВХ} + R_з h_{21э}). \quad (6.13)$$

Входное сопротивление каскада, согласно выражению (5.30) равно

$$\begin{aligned} R_{ВХ ООС} &= R_{ВХ} (1 + K_{УК} b_{ОС}) = R_{ВХ} [1 + h_{21э} R_к R_з / (R_{ВХ} R_к)] = \\ &= R_{ВХ} + R_з h_{21э}. \end{aligned} \quad (6.14)$$

Из (6.14) следует, что выражение (6.13) аналогично исходному выражению для коэффициента передачи каскада (6.6).

Используя (6.13) и (6.6), можно записать выражение для коэффициента усиления всего каскада

$$K_{U \text{ ООС}} = K_{U \text{ К ООС}} K_{\text{дел. ООС}} = h_{21Э} R_K / (R_{\text{вх}} + R_3 h_{21Э} + R_6), \quad (6.15)$$

где R_6 — эквивалентное сопротивление делителя на резисторах R_{61} и R_{62} , приведенное к схеме на рис. 6.1. Выходное сопротивление каскада согласно выражению (5.36) равно

$$R_{\text{вых ООС}} = R_K + R_3 K_{U \text{ К}} = R_K + R_3 h_{21Э} R_K / R_{\text{вх}} = R_K (1 + R_3 h_{21Э} / R_{\text{вх}}). \quad (6.16)$$

Рассмотрим влияние введенной ООС на стабильность тока покоя каскада на рис. 6.7. Ранее было показано, что основными причинами неустойчивости тока коллектора является изменение температуры окружающей среды, вызывающей изменения напряжения эмиттерного перехода $U_{БЭ}$, начального тока коллектора I_{K0} и коэффициента передачи тока $h_{21Э}$. Для современных кремниевых транзисторов можно полагать, что из-за малости абсолютного значения I_{K0} влиянием этого параметра можно пренебречь. Поэтому ограничимся рассмотрением влияния на ток $I_{КП}$ только температурных изменений $U_{БЭ}$ и $h_{21Э}$.

Как уже известно, ток покоя транзистора связан с током базы соотношением $I_{КП} = h_{21Э} I_{БП}$.

Переходя в приведенном выражении к приращениям, получим

$$I_{КП} + \Delta I_{КП} = (h_{21Э} + \Delta h_{21Э}) (I_{БП} + \Delta I_{БП})$$

или, полагая $\Delta h_{21Э} \cdot \Delta I_{БП} \approx 0$,

$$\Delta I_{КП} = \Delta h_{21Э} I_{БП} + h_{21Э} \Delta I_{БП}. \quad (6.17)$$

Используя известную из теории цепей теорему об эквивалентном генераторе, схему на рис. 6.7 всегда можно привести к схеме на рис. 6.1, а. Тогда для исследуемой схемы можно записать

$$I_{БП} = [E_{БЭВ} - U_{БЭП} - (I_{КП} + I_{БП}) R_3] / R_6$$

или, переходя к приращениям,

$$\Delta I_{БП} = [U_{БЭП} + (\Delta I_{КП} + \Delta I_{БП}) R_3] / R_6. \quad (6.18)$$

Подставив (6.18) в (6.17), получим

$$\Delta I_{КП} = \frac{h_{21Э} (R_6 + R_3)}{R_6 + (1 + h_{21Э}) R_3} \left(\frac{\Delta h_{21Э} I_{БП}}{h_{21Э}} - \frac{\Delta U_{БЭП}}{R_6 + R_3} \right). \quad (6.19)$$

Величину $[h_{21Э} (R_6 + R_3)] / [R_6 + (1 + h_{21Э}) R_3]$ принято называть *коэффициентом неустойчивости* S_i .

Найдем допустимый диапазон вариации S_i при изменении сопротивления эмиттерного резистора R_3 . Для этого воспользуемся правилом Лопиталя:

$$\lim_{R_3 \rightarrow \infty} S_i |_{R_3 \rightarrow \infty} = \frac{\frac{d}{dR_3} [h_{21\Delta}(R_6 + R_3)]}{\frac{d}{dR_3} [R_6 + (1 + h_{21\Delta}) R_3]} = \frac{h_{21\Delta}}{1 + h_{21\Delta}} = h_{21\Delta} \approx 1;$$

$$\lim_{R_3 \rightarrow 0} S_i |_{R_3 \rightarrow 0} = \frac{h_{21\Delta} R_6}{R_6} = h_{21\Delta}.$$

Полученные выражения показывают, что минимальный и максимальный ток покоя транзистора определяются выражениями

$$\left. \begin{aligned} \Delta I_{КП \min} &= \Delta h_{21\Delta} I_{БП} / h_{21\Delta} && \text{при } R_3 \rightarrow \infty; \\ \Delta I_{КП \max} &= \Delta h_{21\Delta} I_{БП} - h_{21\Delta} \Delta U_{БЭ} / R_6 && \text{при } R_3 \rightarrow 0. \end{aligned} \right\} \quad (6.20)$$

Из проведенного анализа можно сделать два практических вывода:

введением цепи ООС нестабильность значения $I_{КП}$ не может быть уменьшена ниже величины $\Delta h_{21\Delta} I_{БП} / h_{21\Delta}$;

зная исходную и требуемую нестабильности тока покоя транзистора $\Delta I_{КП}$ и используя выражение (6.19), всегда можно найти требуемую глубину ООС (величину R_3), необходимую для обеспечения заданных параметров усилительного каскада.

В реальных схемах S_i обычно лежит в диапазоне 2...5. Тогда, полагая в (6.19) $h_{21\Delta} \gg 1$ и $h_{21\Delta} \gg S_i$, можно получить простое расчетное соотношение

$$R_6 = R_3 (S_i - 1). \quad (6.21)$$

Зная требуемые R_6 и $E_{Б экв}$, от расчетной схемы на рис. 6.1 можно легко вернуться к исходной схеме.

Следует отметить, что выражение (6.20) фактически определяет минимальное и максимальное значения дрейфа нуля рассматриваемого каскада.

Пример 6.1. Определить, как изменится выходное напряжение транзисторного каскада по схеме на рис. 6.7 при изменении температуры окружающей среды от +20 до -60°С. Каскад имеет следующие параметры: транзистор VT—КТ312А; $h_{21\Delta} = 30$; $U_{БЭ0} = 0,65$ В; $r_6 = 0,1$ кОм; $dh/dT, ^\circ\text{C} = 0,28^\circ\text{C}$; $dU_{БЭ}/dT, ^\circ\text{C} = 2 \cdot 10^{-3} \text{ В}/^\circ\text{C}$; $R_k = 1$ кОм; $R_3 = 0,1$ кОм; $R_{61} = 15$ кОм; $R_{62} = 1,2$ кОм; $U_n = 12$ В.

Решение. 1. Приведем схему на рис. 6.7, а к виду на рис. 6.1. По теореме об эквивалентном генераторе

$$R_{6 экв} = (R_{61} R_{62}) / (R_{61} + R_{62}) = 1,2 \cdot 15 / (15 + 1,2) = 1,11 \text{ кОм};$$

$$U_{БЭ} = (U_n R_{62}) / (R_{61} + R_{62}) = 12 \cdot 1,2 / (15 + 1,2) = 0,89 \text{ В}.$$

2. Определим параметры режима покоя при $T = 20^\circ\text{C}$:

$$I_{БП} = (U_{БЭ} - U_{БЭ0}) / (R_{6 экв} + r_6) = (0,89 - 0,65) / (1,11 + 0,1) = 0,2 \text{ мА};$$

$$I_{КП} = I_{БП} h_{21Э} = 0,2 \cdot 30 = 6 \text{ мА};$$

$$U_{КЭП} = U_{П} - R_{К} I_{КП} = 12 - 1 \cdot 6 = 6 \text{ В}.$$

3. Определим коэффициент неустойчивости

$$S_I = \frac{h_{21Э} (R_{6 экв} + R_3)}{R_{6 экв} \cdot (1 + h_{21Э}) R_3} = \frac{30 (1,11 + 0,1)}{1,11 \cdot (1 + 30) \cdot 0,1} = 8,62.$$

4. Найдём абсолютные изменения $\Delta h_{21Э}$ и $\Delta U_{БЭ}$

$$\Delta h_{21Э} = \frac{dh_{21Э}}{dT, ^\circ\text{C}} \Delta T = 0,28 \cdot 80 = 22,4;$$

$$\Delta U_{БЭ} = \frac{dU_{БЭ}}{dT, ^\circ\text{C}} \Delta T = 2 \cdot 10^{-3} \cdot 80 = 0,16 \text{ В}.$$

5. Найдём изменение коллекторного тока транзистора

$$\Delta I_{КП} = S_I \left(\frac{\Delta h_{21Э}}{h_{21Э}} I_{БП} + \frac{\Delta U_{БЭП}}{R_{6 экв} + R_3} \right) = 8,62 \left(\frac{22,4}{30} \cdot 0,2 + \frac{0,16}{1,11 + 0,1} \right) = 2,42 \text{ мА}.$$

6. Найдём выходное напряжение при $T = -60^\circ\text{C}$. Так как при уменьшении температуры значение $h_{21Э}$ падает, а $U_{БЭ}$ увеличивается, что ведет к уменьшению $I_{КП}$, то

$$I_{КП}(-60^\circ\text{C}) = I_{КП} - \Delta I_{КП} = 6 - 2,42 = 3,58 \text{ мА};$$

$$U_{КЭП}(-60^\circ\text{C}) = U_{П} - R_{К} I_{КП}(-60^\circ\text{C}) = 12 - 1 \cdot 3,58 = 8,42 \text{ В}.$$

При уменьшении температуры окружающей среды до -60°C напряжение покоя каскада увеличится на $(8,42 - 6) \text{ В} = 2,42 \text{ В}$.

Пример 6.2. На основе транзистора КТ312А рассчитать каскад с последовательной ООС по току нагрузки из условия получения максимальной неискаженной амплитуды выходного напряжения при $K_{УХ} = 10$; $U_{П} = 15 \text{ В}$; температурный диапазон $-60 \dots +60^\circ\text{C}$, $R_{Н} = 10 \text{ кОм}$.

Решение. 1. Схема транзисторного каскада приведена на рис. 6.7.

2. По первому закону Кирхгофа запишем уравнение для точки *a*

$$(U_{П} - u_{вых}) / R_{К} = i_{К} + u_{вых} / R_{Н}.$$

3. Зададим максимально допустимый ток коллектора из условия

$$I_{К \text{ макс}} = K_{зап} I_{К \text{ макс доп}},$$

где $K_{зап} = 0,7 \dots 0,8$ — коэффициент запаса по коллекторному току; $I_{К \text{ макс доп}}$ — максимально допустимый коллекторный ток транзистора. По справочнику: $I_{К \text{ макс доп}} = 30 \text{ мА}$; $I_{К \text{ макс}} = 0,75 \cdot 30 = 22,5 \text{ мА}$.

4. Используя выражение (6.15), определим соотношение R_3 и $R_{К}$:

$$K_{УХ} = h_{21Э} R_{К} / (R_{вх} + h_{21Э} R_3 + R_6).$$

Согласно (6.21) $R_6 = R_3 (S_I - 1)$. Тогда, полагая $h_{21Э} \gg 1$ и $R_3 (h_{21Э} + S_I - 1) \gg R_{вх}$, приближенно получим

$$K_{УХ} \approx R_{К} / R_3 \text{ или } R_3 \approx 0,1 R_{К}.$$

5. По току $I_{K \max}$ определим R_K . В режиме насыщения VT имеем

$$I_{K \max} = (U_n - U_{KЭ \text{ нас}}) / (R_K + R_s),$$

где $U_{KЭ \text{ нас}}$ — напряжение между выводами коллектора и эмиттера транзистора VT на границе насыщения.

Принимая $U_{KЭ \text{ нас}} = 0,8$ В, с учетом найденного соотношения между R_K и R_s , получим

$$R_K = (15 - 0,8) / 1,1 \cdot 22,5 = 0,63 \text{ кОм.}$$

Принимаем $R_K = 0,62 \text{ кОм.}$

6. Найдем R_s ,

$$R_s = 0,1 R_K = 0,1 \cdot 0,62 = 0,062 \text{ кОм} = 62 \text{ Ом.}$$

7. Принимая коэффициент нестабильности $S_i = 3,5$ из (6.21), найдем

$$R_6 = R_s (S_i - 1) = 6,2 (3,5 - 1) = 155 \text{ Ом.}$$

8. Уточним значение коэффициента усиления каскада

$$K_{UK\Sigma} = 30 \cdot 0,62 / (0,1 + 30 \cdot 0,062 + 0,155) = 8,8.$$

Полученное значение K_{UK} оказалось меньше заданного. Для увеличения K_{UK} увеличим R_K до $0,75 \text{ кОм.}$ Тогда

$$K_{UK\Sigma} = 30 \cdot 0,75 / (0,1 + 30 \cdot 0,062 + 0,155) = 10,64.$$

9. Найдем минимальное значение коллекторного тока. Для обеспечения минимальных искажений транзистор VT должен работать на линейном участке своей входной ВАХ, при этом $I_{K \min} = h_{21Э} I_{Б \min}$. Ток $I_{Б \min}$ должен находиться по входной ВАХ транзистора. В рассматриваемом случае эта характеристика отсутствует, поэтому $I_{K \min}$ найдем из условия $I_{K \min} = I_{K \max} / 10$:

$$I_{K \min} = U_n \cdot 0,1 / (R_K + R_s) = 15 \cdot 0,1 / (0,75 + 0,062) = 1,85 \text{ мА.}$$

10. Определим минимальное выходное напряжение

$$\begin{aligned} U_{\text{вых min}} &= I_{K \max} R_s + U_{KЭ \text{ нас}} = [U_n / (R_K + R_s)] R_s + U_{KЭ \text{ нас}} = \\ &= 15 \cdot 0,062 / (0,75 + 0,062) + 0,8 = 1,95 \text{ В.} \end{aligned}$$

11. Найдем максимальное выходное напряжение. Для этого воспользуемся выражением, полученным в п. 2 примера,

$$\begin{aligned} U_{\text{вых max}} &= (U_n / R_K - I_{K \max}) [R_K R_n / (R_K + R_n)] = (15 / 0,75 - 1,85) [0,75 \cdot 10 / (10 + 0,75)] = \\ &= 12,66 \text{ В.} \end{aligned}$$

12. Найдем параметры режима покоя

$$U_{\text{вых п}} = (U_{\text{вых max}} + U_{\text{вых min}}) / 2 = (12,66 + 1,95) / 2 = 7,3 \text{ В;}$$

$$I_{K \text{ п}} = (U_n - U_{\text{вых п}}) / R_K - U_{\text{вых п}} / R_n = (15 - 7,3) / 0,75 - 7,3 / 10 = 9,52 \text{ мА;}$$

$$I_{Б \text{ п}} = I_{K \text{ п}} \cdot h_{21Э} = 9,52 \cdot 30 = 0,32 \text{ мА.}$$

13. Используя (6.19), найдем температурные изменения коллекторного тока

$$\Delta I_{K\Sigma} = S_i \left(\frac{\Delta h_{21Э}}{h_{21Э}} I_{Б \text{ п}} + \frac{\Delta U_{БЭ}}{R_s + R_6} \right) = 3,5 \left(\frac{0,28 \cdot 60}{30} \cdot 0,32 + \frac{2 \cdot 10^{-3} \cdot 60}{0,062 + 0,155} \right) = 2,56 \text{ мА.}$$

Значение ΔI_K определено для половины температурного диапазона, т. е. $\Delta T = 60^\circ \text{C}$.

14. Найдем температурные изменения напряжения покоя

$$\Delta U_{\text{вых}}(T, ^\circ\text{C}) = \Delta I_K [R_K R_H / (R_K + R_H)] = 2,56 [0,75 \cdot 10 / (0,75 + 10)] = 1,79 \text{ В.}$$

15. Определим максимально возможную амплитуду выходного напряжения

$$U_{\text{м. вых}} = (U_{\text{вых max}} - U_{\text{вых min}}) / 2 - \Delta U_{\text{вых}}(T, ^\circ\text{C}) = (12,66 - 1,95) / 2 - 1,79 = 3,56 \text{ В.}$$

16. Определим параметры входного делителя. При этом воспользуемся теоремой об эквивалентном генератора

$$R_6 = R_{61} R_{62} / (R_{61} + R_{62}),$$

$$U_B = R_3 (I_{K \Pi} + I_{B \Pi}) + U_{БЭД} + R_{B \Pi} I_{B \Pi} = 0,062 (9,52 + 0,32) + 0,65 + 0,1 \cdot 0,32 = 1,29 \text{ В,}$$

$$U_3 = U_B + R_6 I_{B \Pi} = U_B R_{62} / (R_{61} + R_{62}) = 1,29 + 0,155 \cdot 0,32 = 1,34 \text{ В,}$$

$$R_{62} = \frac{R_6 U_3 \left(1 - \frac{U_{\Pi} - U_3}{U_3}\right)}{U_{\Pi} - U_3} = \frac{0,155 \cdot 1,34 \left(1 + \frac{15 - 1,34}{1,34}\right)}{15 - 1,34} = 0,17 \text{ кОм;}$$

$$R_{61} = R_{62} [(U_{\Pi} - U_3) / U_3] = 0,17 [(15 - 1,34) / 1,34] = 1,73 \text{ кОм.}$$

6.1.6. КАСКАД С ПАРАЛЛЕЛЬНОЙ ООС ПО ВЫХОДНОМУ НАПРЯЖЕНИЮ

Заметим, что в схеме на рис. 6.7 вследствие использования цепи ООС по выходному току, при изменении температуры окружающей среды происходит непосредственная стабилизация $I_{K \Pi}$. Однако такое решение не является единственным. Стабилизировать ток покоя транзистора можно и косвенным путем, за счет стабилизации коллекторного напряжения транзистора. Действительно, в схеме на рис. 6.1 ток коллектора численно равен току коллекторного сопротивления, т. е. $I_{K \Pi} = (U_{\Pi} - U_{KЭ \Pi}) / R_K$, или, переходя к приращениям, $\Delta I_{K \Pi} = \Delta U_{KЭ \Pi} / R_K$. Следовательно, при неизменном сопротивлении коллекторного резистора R_K стабилизация коллекторного напряжения транзистора автоматически означает стабилизацию его коллекторного тока. Поэтому для стабилизации тока покоя транзистора могут быть использованы и цепи ООС по выходному напряжению.

На рис. 6.8, а приведена типовая схема транзисторного каскада, в которой для стабилизации тока покоя транзистора использована цепь параллельной ООС по выходному напряжению. Как следует из анализа, сделанного в § 5.7, введение такой связи снижает общий коэффициент усиления каскада, уменьшает его входное и выходное сопротивления, расширяет полосу усиливаемых частот, снижает линейные и нелинейные искажения.

В реальных усилительных каскадах уменьшение входного сопротивления приводит к еще большему снижению его общего

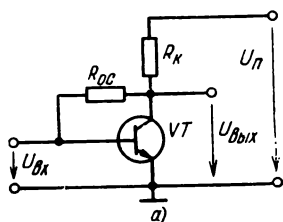
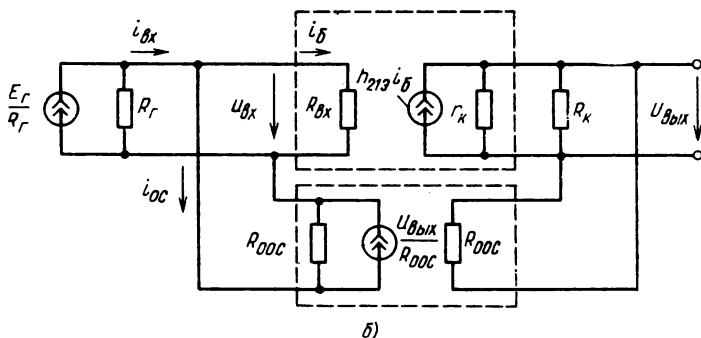


Рис. 6.8. Транзисторный каскад с целью параллельной ООС по выходному напряжению (а) и его схема замещения (б)



коэффициента передачи. Вследствие этого схема на рис. 6.8, а на практике используется реже, чем схема на рис. 6.7.

Особенность получения количественных соотношений для рассматриваемой схемы состоит в том, что при параллельном способе введения сигнала ООС, входным параметром каскада является ток. Поэтому его коэффициент передачи имеет размерность сопротивления

$$K_{\Pi} = U_{\text{вых}}/I_{\text{вх}} = R_{\Pi 0}$$

и носит название сопротивления передачи. Точно также размерным является и коэффициент передачи цепи ОС, измеряемый в сименсах:

$$b = I_{\text{оос}}/U_{\text{вых}} = g_{\text{оос}}$$

С учетом сказанного, для каскада на рис. 6.8, а справедлива схема замещения на рис. 6.8, б. В ней источники входного сигнала и сигнала ООС представлены соответствующими источниками тока $E_{\text{г}}/R_{\text{г}}$ и $U_{\text{вых}}/R_{\text{оос}}$. Согласно этой схеме для $R_{\Pi 0}$ и $g_{\text{оос}}$ можно записать

$$R_{\Pi 0} = \frac{U_{\text{вых}}}{I_{\text{вх}}} = \frac{I_{\text{Б}} h_{213} [r_{\text{к}} R_{\text{к}} / (r_{\text{к}} + R_{\text{к}})]}{I_{\text{Б}}} \approx R_{\text{к}} h_{213};$$

$$g_{\text{оос}} = I_{\text{оос}}/U_{\text{вых}} = (U_{\text{вых}}/R_{\text{оос}}) (1/U_{\text{вых}}) = 1/R_{\text{оос}}.$$

Очевидно, что несмотря на то, что величины $R_{п0}$ и $g_{оос}$ размерны, для них справедливо общее выражение для коэффициента передачи усилителя с цепью ООС (5.20). Тогда для коэффициента передачи схемы на рис. 6.8, а можно записать

$$R_{п оос} = R_{п0} / (1 + R_{п0} g_{оос}) = h_{21э} R_k / (1 + h_{21э} R_k / R_{оос}).$$

При глубоких ООС, т. е. при выполнении условия $h_{21э} R_k / R_{оос} \gg 1$, полученное выражение можно упростить:

$$R_{п оос} \approx R_{оос}.$$

Данное выражение подтверждает сделанный ранее вывод о том, что при большой глубине ООС параметры устройства практически не зависят от собственных свойств усилителя и полностью определяются характеристиками цепи обратной связи.

При необходимости по сопротивлению передачи каскада можно легко найти его коэффициент усиления по напряжению. Для этого в исходном выражении для $R_{п}$ входной ток необходимо заменить током эквивалентного генератора входного сигнала (см. рис. 6.8, б)

$$R_{п} = U_{вых} / I_{вх} = U_{вых} / (E_r / R_r) = K_{УК} R_r, \quad (6.22)$$

где $K_{УК} = U_{вых} / E_r$ — общий коэффициент усиления каскада по напряжению.

Полученное выражение показывает, что коэффициент усиления конкретного каскада по напряжению не остается постоянным и зависит от параметров источника входного сигнала. Поэтому для описания свойств каскада удобнее пользоваться не коэффициентом $K_{УК}$, а его сопротивлением $R_{п}$.

Используя схему замещения каскада (см. рис. 6.8, б), можно легко получить выражение для его входного сопротивления

$$R_{вх оос} = \frac{U_{вх}}{I_{вх}} = \frac{R_{вх} R_{оос}}{R_{вх} + R_{оос} + R_k h_{21э}}. \quad (6.23)$$

Аналогичное выражение можно получить, воспользовавшись общим выражением для входного сопротивления усилителя с цепью, параллельной ООС (выражение 5.32).

Учитывая, что согласно схеме замещения транзистора, включенного по схеме с общим эмиттером (см. гл. 2), собственное входное сопротивление транзистора $R_{вх} = h_{11э} \approx r_6 + r_э(h_{21э} + 1) \approx \approx r_э h_{21э}$, и полагая $R_k h_{21э} \gg R_{оос}$, что справедливо для глубоких ООС, из выражения (6.23) получим

$$R_{вх оос} \approx r_э (R_{оос} / R_k).$$

Используя выражение (5.34) для выходного сопротивления каскада, можно записать

$$R_{вых оос} = \frac{R_{вых}}{1 + R_{п0} g_{оос}} = \frac{R_{вых}}{1 + h_{21э} (R_k / R_{оос})}. \quad (6.24)$$

Согласно схеме замещения на рис. 6.8, б $R_{\text{вых}} = r_k R_k / (r_k + R_k) \approx \approx R_k$. Тогда, полагая цепь ООС глубокой ($h_{21Э} R_k / R_{\text{ООС}} \gg 1$), из (6.24) получим

$$R_{\text{вых ООС}} \approx R_{\text{ООС}} / h_{21Э}.$$

Пример 6.3. Определить параметры транзисторного каскада (рис. 6.8, а), обеспечивающего получение на резисторе $R_k = 5,1 \text{ кОм}$ максимально возможной амплитуды выходного напряжения. Транзистор КТ312А; $U_n = 20 \text{ В}$; $R_r = 3,6 \text{ кОм}$.

Решение: 1. Определяем параметры режима покоя каскада

$$U_{кп} = (U_{кЭ\text{max}} - U_{кЭ\text{min}}) / 2.$$

Для рассматриваемой схемы $U_{кЭ\text{max}} = U_n$, $U_{кЭ\text{min}} = U_{кЭ\text{нас}} \approx 0,8 \text{ В}$.

Примечание. $U_{кЭ\text{нас}}$ определяется из условия $U_{кЭ\text{нас}} = U_{БЭ\text{нас}}$ по входной характеристике или ее аппроксимации для $I_{Б\text{нас}} \approx U_n / (h_{21Э} R_k)$:

$$U_{кп} = (20 + 0,8) / 2 = 10,4 \text{ В};$$

$$I_{кп} = (U_n - U_{кп}) R_k = (20 - 10,4) / 5,1 = 1,86 \text{ мА};$$

$$I_{Бп} = I_{кп} / h_{21Э} = 1,86 / 30 = 0,062 \text{ мА}.$$

2. Находим сопротивление резистора $R_{\text{ООС}}$, обеспечивающего заданный режим покоя каскада. Для этого для вывода базы записываем уравнение по первому закону Кирхгофа

$$I_{Бп} + U_{Бп} / R_r = (U_{кп} - U_{Бп}) / R_{\text{ООС}},$$

откуда

$$R_{\text{ООС}} = (U_{кп} - U_{Бп}) / (I_{Бп} + U_{Бп} / R_r) = (10,4 - 0,7) / (0,062 + 0,7 / 3,6) = 37,8 \text{ кОм}.$$

Принимаем $R_{\text{ООС}} = 39 \text{ кОм}$.

Примечание. $U_{Бп}$ определяется либо по входной характеристике, либо либо по ее аппроксимации аналогично примеру 4.4.

3. Находим сопротивление передачи каскада. Согласно выражению (6.22) имеем

$$R_{п\text{ООС}} = h_{21Э} R_k / (1 + h_{21Э} R_k / R_{\text{ООС}}) = 30 \cdot 5,1 / (1 + 30 \cdot 5,1 / 39) = 31,1 \text{ кОм}.$$

4. Найдём коэффициент усиления каскада по напряжению

$$K_{Uк} = R_{п\text{ООС}} / R_r = 31,1 / 3,6 = 8,6.$$

5. Определим выходное сопротивление каскада согласно (6.24):

$$R_{\text{вых ООС}} = R_{\text{вых}} / (1 + h_{21Э} R_k / R_{\text{ООС}}) = 5,1 / (1 + 30 \cdot 5,1 / 31,1) = 0,86 \text{ кОм}.$$

6. Найдём входное сопротивление каскада. Согласно (6.23)

$$R_{вх\text{ООС}} = R_{вх} R_{\text{ООС}} / (R_{вх} + R_{\text{ООС}} + R_k h_{21Э}).$$

Сопротивление $R_{вх}$ можно определить непосредственно по входной характеристике транзистора при токе базы $i_B = I_{Бп}$. В рассматриваемом случае, так как i_B мал и, следовательно, входная характеристика транзистора мало отли-

чается от идеальной. сопротивление $R_{вх}$ можно найти аналитически. Согласно выражению (2.2) ВАХ p - n -перехода описывается выражением

$$u_{p-n} = \varphi_T \ln (i_{p-n}/I_0 + 1).$$

Тогда дифференциальное сопротивление перехода равно

$$\partial u_{p-n} / \partial i_{p-n} = \varphi_T / (i_{p-n} + I_0) \approx \varphi_T / i_{p-n} = R_{вх},$$

где φ_T — температурный потенциал, который для $T = 300$ К можно считать равным 25 мВ ($\varphi_T = T/11,6 \cdot 10^3$).

Используя полученное выражение для $i_B = I_B$, найдем

$$R_{вх} = 25 \cdot 10^{-3} / 0,062 \cdot 10^{-3} = 403 \text{ Ом}.$$

В этом случае

$$R_{вх \text{ оос}} = 0,4 \cdot 39 / (0,4 + 39 + 30 \cdot 5,1) = 80 \text{ Ом}.$$

6.1.7. ФОРМИРОВАНИЕ ЧАСТОТНОЙ ХАРАКТЕРИСТИКИ КАСКАДОВ С ЦЕПЯМИ ООС

Существенным недостатком рассмотренного выше способа стабилизации параметров транзисторного каскада является уменьшение его коэффициента усиления. При заданном суммарном усилении это приводит к существенному усложнению схемы усилителя.

Рассмотрим схемотехнические приемы, которые в ряде случаев позволяют компенсировать данный недостаток. Для этого еще раз вернемся к самой постановке задачи стабилизации режима покоя усилительного каскада. Цепи стабилизации режима покоя призваны обеспечить долговременную стабильность тока $I_{кп}$ или напряжения $U_{кэп}$, т. е. они должны компенсировать только медленные изменения этих параметров. Естественно, что процесс изменения температуры окружающей среды не может происходить быстро. При этом не требуется стабилизация тока, изменение которого является следствием действия на входе достаточно быстрых отклонений полезного входного сигнала. Следовательно, цепь ООС должна быть замкнута по постоянному и медленно изменяющемуся сигналу и разомкнута по его переменной составляющей. Этого можно добиться, если коэффициент передачи цепи ООС $b_{ос}$ сделать частотозависимым. Цепь ООС должна пропускать только медленно изменяющиеся сигналы и не пропускать высокочастотные, т. е. с увеличением частоты сигнала коэффициент $b_{ос}$ должен уменьшаться. Этим свойством обладает апериодическое звено с передаточной функцией вида

$$b_{ос}(p) = b_{ос0} / (Tp + 1).$$

Очевидно, что при $\omega = 0$ $b_{ос} = b_{ос0}$, а при $\omega \rightarrow \infty$ $|b_{ос}| \rightarrow 0$.

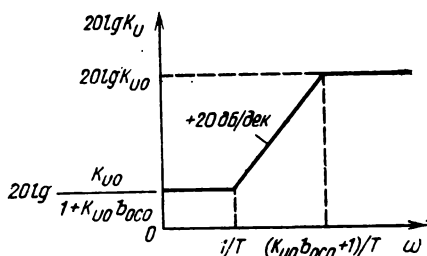


Рис. 6.9. ЛАЧХ транзисторного каскада с цепью частотозависимой ООС

Подставив приведенное выше значение b_{OC} в выражение для коэффициента передачи усилителя с цепью ООС, получим передаточную функцию усилительного каскада

$$W(p) = K_{U0} / [1 + K_{U0} b_{OC0} / (Tp + 1)] = \frac{K_{U0}}{K_{U0} b_{OC0} + 1} \frac{Tp + 1}{[Tp (K_{U0} b_{OC0} + 1) + 1]}.$$

Данной передаточной функции соответствует ЛАЧХ, приведенная на рис. 6.9.

Схемотехническая реализация данного технического решения применительно к транзисторным каскадам с последовательной ООС по току и параллельной ООС по напряжению приведена на рис. 6.10, а, б.

В схеме, показанной на рис. 6.10, а, с увеличением частоты суммарное сопротивление параллельно включенных R_3 и C_3 падает. При постоянном токе коллектора это приводит к уменьшению напряжения обратной связи и, следовательно, увеличению коэффициента усиления каскада.

В схеме на рис. 6.10, б с увеличением частоты коэффициент передачи делителя, образованного резистором R_{1OC} и конденсато-

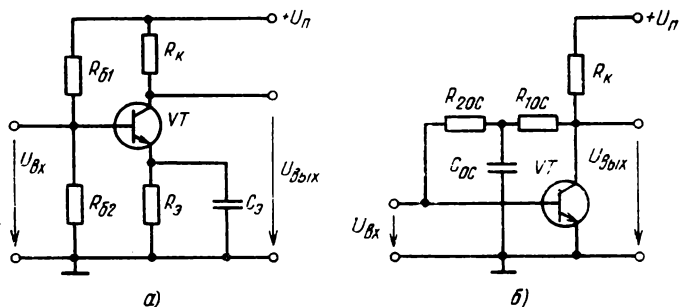


Рис. 6.10. Включение корректирующего конденсатора в каскад с цепями последовательной ООС по выходному току (а) и параллельной ООС по выходному напряжению (б)

ром C_{OC} , уменьшается. Это приводит к падению части напряжения, передаваемого из коллекторной цепи транзистора в его базовую цепь, что, в свою очередь, приводит к уменьшению коэффициента передачи цепи ООС и увеличению собственного усиления каскада. Частотная характеристика такого каскада аналогична рассмотренной выше (см. рис. 6.9).

Так как с увеличением частоты сигнала сопротивление конденсатора C_{OC} падает, то для предотвращения шунтирования этим конденсатором входной цепи усилителя (это привело бы к падению коэффициента усиления каскада) в нее введен дополнительный резистор R_{2OC} .

Пример 6.4. Определить параметры цепи ООС для каскада из примера 6.3, если нижняя частота полосы пропускания равна $f_H = 100$ Гц.

Решение. 1. Параметры цепи ООС в режиме работы по постоянному току были найдены в примере 6.3:

$$R_{OOC} = 39 \text{ кОм}; K_{UК OOC} = 8,6.$$

2. Определим исходный коэффициент усиления усилителя

$$K_{U0} = R_{n0}/R_T = R_K h_{21Э}/R_T = 5,1 \cdot 30/3,6 = 42,5.$$

3. Найдем коэффициент передачи цепи ООС. Согласно схеме замещения на рис. 6.8,б коэффициент передачи цепи ООС каскада по напряжению равен

$$b_{OC} = \frac{U_{вых}}{U_{вх}} = \frac{R_{вх} R_T}{R_{вх} + R_T} / \left(R_{OOC} + \frac{R_{вх} R_T}{R_{вх} + R_T} \right) \approx \frac{R_{вх}}{R_{OOC}} \approx 0,4/39 \approx 0,01.$$

4. Для осуществления частотной коррекции сопротивление R_{OOC} разделим примерно поровну на $R_{1OC} = 18 \text{ кОм}$ и $R_{2OC} = 20 \text{ кОм}$ (номиналы взяты наиболее близкими из существующего ряда номиналов).

5. Цепь ООС усилителя на рис. 6.10,б можно рассматривать как последовательное соединение аperiodического и пропорционального звеньев. Тогда его суммарная передаточная функция имеет вид

$$\begin{aligned} W(p) &= W_1(p) W_2(p) = \\ &= \frac{R_{1OC} R_{вх}}{R_{1OC} + R_{вх} + R_{2OC}} \frac{1}{\frac{(R_{1OC} + R_{вх}) R_{2OC}}{R_{1OC} + R_{вх} + R_{2OC}} Cp + 1} \frac{R_{вх}}{R_{1OC} + R_{вх}} \approx \\ &\approx \frac{R_{вх}}{R_{1OC} + R_{2OC}} \frac{1}{\frac{R_{1OC} R_{2OC}}{R_{1OC} + R_{2OC}} Cp + 1}. \end{aligned}$$

6. Согласно частотной характеристике каскада (см. рис. 6.9) нижняя частота полосы пропускания

$$\omega_H = \frac{K_{U0} b_{OOC} + 1}{T} = \frac{K_{U0} b_{OOC} + 1}{\frac{R_{1OC} R_{2OC}}{R_{1OC} + R_{2OC}} C}$$

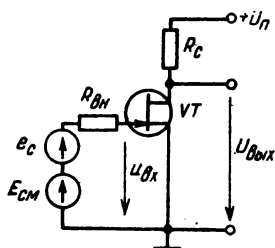


Рис. 6.11. Обобщенная схема усилительного каскада на полевом транзисторе

или

$$C = \frac{K_{U0} b_{OC} + 1}{\frac{R_{1OC} R_{2OC}}{R_{1OC} + R_{2OC}} \cdot 2\pi f_n} = \frac{42,5 \cdot 0,01 + 1}{\frac{18 \cdot 20}{18 + 20} \cdot 2\pi \cdot 100} = 0,24 \text{ мкФ.}$$

6.2. УСИЛИТЕЛЬНЫЙ КАСКАД ПО СХЕМЕ С ОБЩИМ ИСТОКОМ

Схемотехнические решения, применяемые при построении каскадов на полевых транзисторах, во многом схожи с решениями, используемыми при построении каскадов на биполярных транзисторах. Существующие особенности связаны с отличием собственных свойств этих приборов.

Как отмечалось ранее, при построении аналоговых усилителей на полевых транзисторах наибольшее распространение получила схема каскада с общим истоком. При этом в ней, как правило, применяются либо полевые транзисторы с управляющим *p-n*-переходом, либо МДП-транзисторы со встроенным каналом.

На рис. 6.11 приведена типовая схема каскада на полевом транзисторе с управляющим *p-n*-переходом и каналом *n*-типа. В этой схеме, изменяя напряжение источника смещения E_{cm} , можно обеспечить работу в любом из описанных в § 6.1.2 классов усиления. Однако наиболее часто эта схема используется в режиме класса А при построении входных каскадов усилителей. Объясняется это следующими преимуществами полевого транзистора перед биполярным:

большее входное сопротивление, что упрощает его согласование с высокоомным источником сигнала;

как правило, меньший коэффициент шума, что делает его более предпочтительным при усилении слабых сигналов;

большая собственная температурная стабильность режимов покоя.

Вместе с тем каскады на полевых транзисторах обычно обеспечивают получение меньшего коэффициента усиления по напряжению.

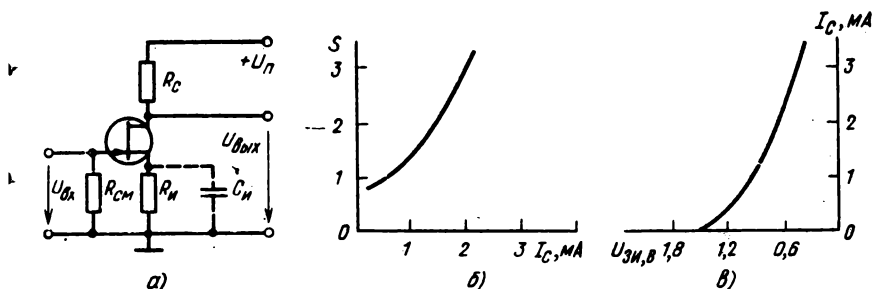


Рис. 6.12. Задание режима покоя в усилительном каскаде на полевом транзисторе с управляющим $p-n$ -переходом (а); зависимости $S = \varphi(I_c)$ (б), $I_c = \psi(U_{зи})$ (в) для полевого транзистора КП303В

Из-за схожести выходных ВАХ графический анализ работы усилительного каскада на полевом транзисторе идентичен рассмотренным ранее случаям усилителя на биполярном транзисторе. По этой же причине, как уже отмечалось, схожи и используемые схемотехнические решения.

В § 2.3 было показано, что в полевом транзисторе с управляющим переходом полярности напряжений, приложенные к его стоку и затвору, должны быть противоположными (см. рис. 2.18). Поэтому для задания режима по постоянному току на практике широко используется введение в каскад последовательной ООС по току нагрузки. Схема такого каскада приведена на рис. 6.12, а. Ее особенностью, кроме резистора R_n , является подключение параллельно входным выводам каскада дополнительного резистора $R_{см}$. Этот резистор обеспечивает гальваническую связь затвора с общей шиной, что необходимо для замыкания цепи смещения. Кроме этого он стабилизирует входное сопротивление каскада. Сопротивление резистора $R_{см}$ выбирается меньше собственного входного сопротивления транзистора (обычно $R_{см} \leq 1 \text{ МОм}$).

Следует отметить, что так как собственный входной ток полевого транзистора стремится к нулю, то падение напряжения на $R_{см}$ от протекания тока смещения также стремится к нулю и напряжение смещения практически равно падению напряжения на резисторе R_n .

В рассматриваемой схеме резистор R_n выполняет двойную роль. Во-первых, как было указано выше, он обеспечивает начальное смещение рабочей точки каскада и, во-вторых, вводит в него последовательную ООС по току нагрузки, что приводит к уменьшению коэффициента усиления каскада и стабилизирует его рабочую точку.

Вопрос стабилизации положения рабочей точки каскада заслуживает особого рассмотрения. В § 2.3 было показано, что при изменении температуры окружающей среды на ток стока $I_{СП}$ действуют два противоположных фактора: увеличение сопротивления полупроводникового материала, что снижает величину $I_{СП}$, и уменьшение толщины $p-n$ -перехода, что увеличивает значение $I_{СП}$. В результате действия этих двух противоположных факторов на передаточной характеристике транзистора можно найти точку, в которой ток стока не зависит от температуры окружающей среды. Если напряжение $U_{см}$ выбрать так, чтобы транзистор работал в этой точке, то температурная стабилизация каскада не требуется. К сожалению, такой выбор с точки зрения требований к каскаду не всегда возможен и полевой транзистор работает, как правило, при больших токах стока.

Для современных приборов температурный дрейф тока стока составляет порядка $0,6\%/^{\circ}\text{C}$. К тому же он отрицателен, что исключает в каскадах положительную ОС по температуре, свойственную биполярным транзисторам. Поэтому при работе в малых диапазонах изменения температуры окружающей среды можно вполне обойтись без цепей термостабилизации.

Для определения основных параметров каскада обратимся к его схеме замещения, приведенной на рис. 6.13, а. Данная схема не учитывает частотных свойств каскада и справедлива для области низких и средних частот, где влиянием собственных емкостей транзистора можно пренебречь.

Определим коэффициент усиления каскада по напряжению. Согласно приведенной схеме замещения для тока стока можно записать следующее выражение:

$$I_C = sU_3 + U_{\text{вых}}/r_c,$$

где r_c — дифференциальное выходное сопротивление транзистора.

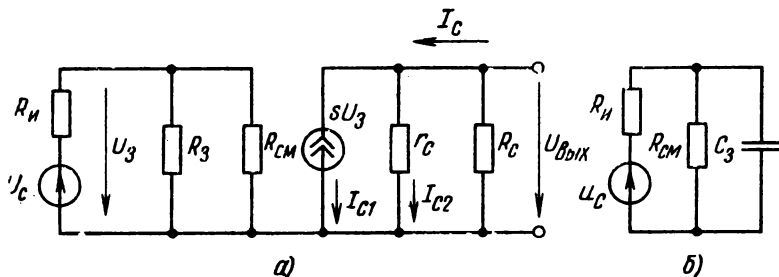


Рис. 6.13. Схема замещения усилительного каскада по постоянному (а) и переменному (б) токам

Для расчета r_c при работе транзистора на пологой части его передаточной характеристики можно воспользоваться выражением

$$r_c = dU_c/dI_c = r_{c1} \dot{I}_{c1}/I_c,$$

где r_{c1} — дифференциальное сопротивление для тока I_{c1} .

В этом случае для выходного напряжения каскада можно записать выражение

$$U_{\text{вых}} = I_c R_c = R_c (sU_3 + U_{\text{вых}}/r_c).$$

Учитывая, что каскад является инвертирующим, т. е. увеличение тока стока приводит к уменьшению выходного напряжения, для модуля коэффициента усиления каскада можно записать

$$K_{U\text{ К}} = U_{\text{вых}}/U_3 = r_c R_c s U_3 / (r_c + R_c) U_3 = r_c R_c s / (r_c + R_c). \quad (6.25)$$

Обычно в каскадах выполняется условие $r_c \gg R_c$. Тогда (6.25) примет более простой вид

$$K_{U\text{ К}} = s R_c. \quad (6.26)$$

Используя приведенные выше допущения, для входного и выходного сопротивлений каскада можно записать следующие выражения:

$$R_{\text{вх}} = R_{\text{см}} R_3 / (R_{\text{вх}} + R_3) \approx R_{\text{см}}; \quad (6.27)$$

$$R_{\text{вых}} = R_c R_c / (R_c + r_c) \approx R_c. \quad (6.28)$$

Как отмечалось, задание смещения рабочей точки введением резистора R_n уменьшает коэффициент усиления каскада. По аналогии со схемой на биполярном транзисторе, для коэффициента передачи цепи ООС можно записать

$$b_{\text{ОС}} = U_{\text{ОС}}/U_{\text{вых}} = I_c R_n / I_c R_c = R_n / R_c.$$

Тогда, используя основное выражение для усилителя с цепью ООС, получим

$$K_{U\text{ К ООС}} = K_{U0} / (1 + K_{U0} b_{\text{ОС}}) = s R_c / (1 + s R_c R_n / R_c) = s R_c / (1 + s R_n). \quad (6.29)$$

Из выражения (6.29) следует, что глубина отрицательной обратной связи в каскаде равна $(1 + s R_n)$. Поэтому абсолютные температурные изменения тока покоя каскада с цепью ООС и без нее связаны соотношением

$$\Delta I_{\text{С П ООС}} = \Delta I_{\text{С П}} / (1 + s R_n). \quad (6.30)$$

При расчете каскада требуемое сопротивление R_n легко найти по заданному току $I_{\text{СП}}$. Для этого по передаточной характеристике транзистора (см. рис. 6.14), задавшись $I_c = I_{\text{СП}}$, находят требуемое напряжение $U_{\text{зи П}}$. Так как ток затвора практически равен нулю, то падение напряжения на резисторе $R_{\text{см}}$ отсутствует и тре-

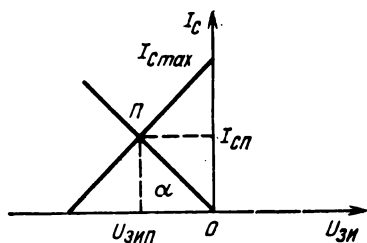


Рис. 6.14. Графическое определение сопротивления резистора R_n

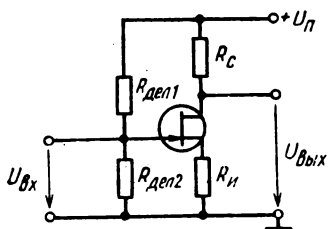


Рис. 6.15. Усилительный каскад на полевом транзисторе с комбинированной цепью задания режима покоя

буемое сопротивление резистора R_n можно найти из выражения

$$R_n = U_{зип}/I_{cп}. \quad (6.31)$$

Можно использовать и графическое решение. Для этого через точку передаточной характеристики, соответствующую значению $I_{cп}$, и начало координат проводят прямую линию. Угол наклона этой прямой и определяет требуемое сопротивление R_n (см. рис. 6.14):

$$R_n = \operatorname{ctg} \alpha. \quad (6.32)$$

Для получения максимального значения выходной переменной ток $I_{cп}$ желательно выбирать близким к половине максимального тока стока $I_{c\max}$. При этом сопротивление R_n , рассчитанное из этого условия, может оказаться меньше рассчитанного, например, из условия требуемой стабильности параметров каскада или заданных искажений. В этом случае для реализации требуемого режима работы можно использовать введение дополнительного делителя напряжения, как это показано на рис. 6.15.

Частотные свойства каскада (как и в случае биполярного транзистора) полностью определяются собственными свойствами прибора. При этом основную роль в их формировании играет входная емкость транзистора $C_{вх}$. В этом случае схема замещения входной цепи каскада, полученная из схемы замещения транзистора (см. рис. 2.23, б) имеет вид, показанный на рис. 6.13, б.

С учетом найденного выше коэффициента усиления передаточная функция всего каскада будет иметь вид

$$K_{УК}(p) = K_d s R_c / (T p + 1), \quad (6.33)$$

где $K_d = R_{cm} / (R_n + R_{cm})$ — коэффициент передачи входного делителя по постоянному току; $T = C_{вх} R_n R_{cm} / (R_n + R_{cm})$ — постоянная времени входной цепи; $C_{вх} = C_{зи} (1 + K_{У0})$ — эквивалентная входная емкость транзистора.

Введение резистора R_n (как было показано ранее) снижает общий коэффициент усиления каскада. Если каскад предназначен для усиления напряжения только переменного тока, это уменьшение усиления можно компенсировать выполнением цепи ООС частотозависимой. Для этого (как и в случае каскада на биполярном транзисторе) резистор R_n необходимо шунтировать дополнительным конденсатором как показано штриховой линией на рис. 6.12.

Емкость этого конденсатора при заданной минимальной частоте входного сигнала может быть рассчитана из условия $1/C_n \omega_n \ll R_n$.

Все сказанное остается справедливым и при построении каскада с использованием МДП-транзистора со встроенным каналом. В этом случае могут быть только количественные отличия, обусловленные тем, что передаточная характеристика транзистора имеет продолжение в первом квадранте. При этом могут измениться доли напряжений смещения, создаваемые резистором R_n и делителем на резисторах $R_{дел1}$ и $R_{дел2}$ (см. рис. 6.15).

Пример 6.5. Используя транзистор КП303Г, рассчитать каскад по схеме на рис. 6.12,а, обеспечивающий получение на выходе максимальной амплитуды выходного напряжения; $U_n=15$ В; $S=2,5$ мА/В; $U_{отс}=2,5$ В; $I_{с нач}=5$ мА; $R_{вх}=100$ кОм.

Решение. 1. Определим диапазон изменения тока стока

$$I_{с max}=I_{с нач}=5 \text{ мА};$$

$$I_{с min}=0,1 I_{с нач}=0,5 \text{ мА}.$$

Значение $I_{с min}$ определено по передаточной характеристике транзистора. При $I_{с} \leq 0,5$ мА характеристика имеет значительную нелинейность, что предполагает получение больших нелинейных искажений.

2. Найдем ток покоя стока $I_{сп}$:

$$I_{сп}=(I_{с max}+I_{с min})/2=(5+0,5)/2=2,75 \text{ мА}.$$

3. Определим сопротивление резистора R_n , обеспечивающее получение $I_{с}=I_{сп}$. Для этого используем линейную аппроксимацию передаточной характеристики транзистора:

$$I_{сп}=I_{с нач}=sU_{зи п};$$

$$U_{зи п}=R_n I_{сп}, \text{ откуда}$$

$$R_n=(I_{с нач}-I_{сп})/s I_{сп}=(5-2,75)/2,5 \cdot 2,75=0,327 \text{ кОм}.$$

Принимаем из стандартного ряда сопротивлений $R_n=0,33$ кОм. Уточним ток $I_{сп}$

$$I_{сп}=I_{с нач}/(1+sR_n)=5/(1+2,5 \cdot 0,33)=2,74 \text{ мА}.$$

4. Определим сопротивление резистора R_c .

Для того чтобы полевой транзистор находился в насыщенном состоянии (рабочая точка находится на горизонтальном участке его выходных характеристик), должно выполняться условие

$$U_{СИ} \geq U_{ЗИ\text{ отс}} - U_{ЗИ}.$$

Ранее было выбрано, что $I_{С\text{ max}} = I_{С\text{ нач}}$, что соответствует $U_{ЗИ} = 0$. Тогда

$$U_{СИ\text{ min}} = U_{ЗИ\text{ отс}}.$$

Максимальный ток стока, который может протекать в схеме на рис. 6.12, равен

$$I_{С\text{ max}} = (U_{п} - U_{СИ\text{ min}}) / (R_{с} + R_{н}).$$

Тогда

$$R_{с} = (U_{п} - U_{СИ\text{ min}}) / I_{С\text{ max}} - R_{н} = (15 - 2,5) / 5 - 0,33 = 2,17 \text{ кОм}.$$

Принимаем $R_{с} = 2,2 \text{ кОм}$.

Тогда $I_{С\text{ max}} = (15 - 2,5) / (2,2 + 0,33) = 4,9 \text{ мА}$.

5. Найдем диапазон изменения выходного напряжения

$$U_{вых\text{ max}} = U_{п} - I_{С\text{ min}} R_{с} = 15 - 0,5 \cdot 2,2 = 13,9 \text{ В};$$

$$U_{вых\text{ min}} = U_{п} - I_{С\text{ max}} R_{с} = 15 - 5 \cdot 2,2 = 4 \text{ В};$$

$$\Delta U_{вых} = U_{вых\text{ max}} - U_{вых\text{ min}} = 13,9 - 4 = 9,9 \text{ В};$$

$$U_{п\text{ вых}} = \Delta U_{вых} / 2 = 4,95 \text{ В}.$$

6. Напряжение покоя стока $U_{СП}$

$$U_{СП} = U_{п} - R_{с} I_{СП} = 15 - 2,2 \cdot 2,74 = 8,97 \text{ В}.$$

7. Коэффициент усиления по напряжению

$$K_{U\text{ пос}} = s R_{с} / (1 + R_{н} s) = 2,5 \cdot 2,2 / (1 + 0,33 \cdot 2,5) = 3,01.$$

8. Для получения $R_{нх} = 100 \text{ кОм}$ полагаем согласно (6.27)

$$R_{вх} = R_{сн} = 100 \text{ кОм}.$$

9. Согласно (6.28)

$$R_{вых} = R_{с} = 2,2 \text{ кОм}.$$

Пример 6.6. Используя транзистор КП303В, рассчитать параметры каскада на рис. 6.12,а при коэффициенте усиления по напряжению $K_U = 10$, на частотах более 50 Гц и $U_{п} = 15 \text{ В}$.

Решение. Согласно выражению (6.29) увеличение коэффициента усиления каскада на полевом транзисторе заданного типа требует увеличения сопротивления $R_{с}$. Это, в свою очередь, уменьшает максимальный ток стока $I_{С\text{ max}}$ и, следовательно, снижает S транзистора. Поэтому при расчете каскада необходимо учитывать зависимость $s = \varphi(I_{С})$.

1. Аппроксимируем зависимость $s = \varphi(I_{С})$ (рис. 6.12,б) для заданного транзистора прямой линией. Для этого выберем две ее точки $S_1 = 1$, $I_{С1} = 0,6 \text{ мА}$ и $S_2 = 3$, $I_{С2} = 2 \text{ мА}$;

$$s = S_0 + K I_C; \quad K = \Delta s / \Delta I_C = (3 - 1) / (2 - 0,6) \approx 1,43 \text{ В}^{-1};$$

$$S_0 = S_2 - K I_{C2} = 3 - 1,43 \cdot 2 = 0,14 \text{ мА/В};$$

$$S = 0,14 + 1,43 I_C.$$

2. Так как задан коэффициент усиления на переменном токе, то для определения коэффициента усиления можно воспользоваться выражением (6.26). Поэтому

$$R_C = K_{U0} / S = K_{U0} / (0,14 + 1,43 I_C).$$

3. Определим напряжение покоя стока

$$U_{CII} = (U_{\text{вых max}} + U_{\text{вых min}}) / 2.$$

Допустим $U_{\text{вых max}} = U_n$; $U_{\text{вых min}} \approx U_{CII \text{ нас}} \approx U_{3II \text{ пор}} - U_{3II} \approx U_{3II \text{ пор}}$. Тогда

$$U_{CII} = (U_n + U_{3II \text{ пор}}) / 2 = (16 + 1,5) / 2 = 8,25 \text{ В}.$$

4. Определим ток покоя стока I_{CII} :

$$I_{CII} = (U_n - U_{CII}) / R_C \text{ или}$$

$$R_C = (U_n - U_{CII}) / I_{CII}.$$

Приравнявая это значение R_C полученному в п. 2, найдем

$$K_{U0} / (0,14 + 1,43 I_{CII}) = (U_n - U_{CII}) / I_{CII}.$$

Отсюда

$$I_{CII} = \frac{0,14 (U_n - U_{CII})}{K_{U0} - 1,43 (U_n - U_{CII})} = \frac{0,14 (15 - 8,25)}{10 - 1,43 (15 - 8,25)} = 0,58 \text{ мА}.$$

5. Найдем сопротивление резистора R_C :

$$R_C = (U_n - U_{CII}) / I_{CII} = (15 - 8,25) / 0,58 = 11,63 \text{ кОм}.$$

Выбираем $R_C = 12 \text{ кОм}$, тогда $I_{CII} = (15 - 8,25) / 12 = 0,56 \text{ мА}$.

6. По приведенной передаточной характеристике (рис. 6.12,е) транзистора найдем напряжение затвора покоя $U_{3II} = 1,155 \text{ В}$.

7. Из условия задания режима найдем сопротивление резистора смещения

$$R_n = U_{3II} / I_{CII} = 1,155 / 0,56 = 2,06 \text{ кОм}.$$

Принимаем $R_n = 2 \text{ кОм}$.

8. Емкость конденсатора, шунтирующего резистор R_n , найдем из условия

$$1 / \omega C_n < R_n / 100 \text{ или}$$

$$C_n > 100 / \omega R_n = 100 / 2\pi \cdot 50 \cdot 2 \cdot 10^3 = 159 \text{ мкФ}.$$

Принимаем $C_n = 200 \text{ мкФ}$.

6.3. ЭМИТТЕРНЫЙ И ИСТОКОВЫЙ ПОВТОРИТЕЛИ

Эмиттерным и истоковым повторителями называются каскады, охваченные 100%-ной последовательной ООС. Поэтому основные свойства этих каскадов достаточно близки, а существующие отли-

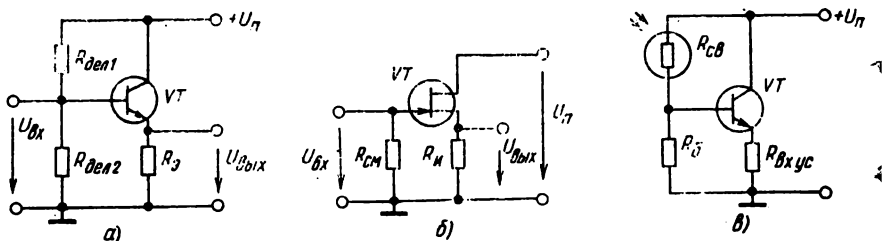


Рис. 6.16. Схемы эмиттерного (а) и истокового (б) повторителей; схема согласования для примера 6.7 (в)

чения обусловлены несовпадением характеристик используемых транзисторов.

Типовые схемы эмиттерного и истокового повторителей приведены соответственно на рис. 6.16, а, б.

Ниже рассмотрим схему эмиттерного повторителя, отмечая для истокового повторителя только его характерные особенности.

Наличие 100%-ной ООС предполагает, что в эмиттерном повторителе выходной сигнал и сигнал обратной связи равны. Последнее возможно только в случае, если в схеме на рис. 6.7 резистор R_k отсутствует, а выходной сигнал снимается непосредственно с резистора обратной связи R_3 . Такие преобразования изменяют схему включения транзистора, преобразуя ее в схему с общим коллектором.

В отличие от усилителя по схеме с общим эмиттером, схема с общим коллектором не инвертирует входной сигнал. Действительно, если к входу эмиттерного повторителя приложить увеличивающееся по уровню напряжение, то это приведет к увеличению эмиттерного тока транзистора и соответствующему увеличению его выходного напряжения. Поэтому входной и выходной сигналы в схеме будут изменяться в фазе.

Рассмотрим основные характеристики каскада. Для определения коэффициента усиления по напряжению воспользуемся основным выражением для коэффициента передачи усилителя с цепью ООС. Тогда, полагая $b_{oc} = 1$, получим

$$K_{U\text{к ООС}} = K_{U0}/(1 + K_{U0}b_{oc}) = K_{U0}/(1 + K_{U0}) < 1. \quad (6.34)$$

Используя (6.41), для коллекторного тока транзистора можно терного повторителя, можно записать

$$R_{вх} = h_{11э} + h_{21э}R_3. \quad (6.35)$$

Обычно в реальных схемах выполняется условие $h_{11э} \ll R_3$, тогда для входного сопротивления каскада можно использовать более простое выражение

$$R_{вх} = h_{21э}R_3. \quad (6.36)$$

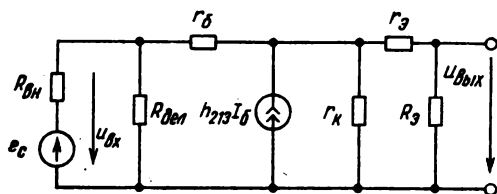


Рис. 6.17. Схема замещения эмиттерного повторителя

Выражение (6.36) говорит о том, что в эмиттерном повторителе можно получить очень большие значения входного сопротивления. Это является одним из основных достоинств этого каскада.

Входное и выходное сопротивления каскада можно также легко получить из его схемы замещения, приведенной на рис. 6.17:

$$R_{\text{вх}} = r_6 + (h_{21Э} + 1) [r_к (r_э + R_э) / (r_к + r_э + R_э)] \approx h_{21Э} R_э. \quad (6.37)$$

$$R_{\text{вых}} = r_э + (r_6 + R_{\text{вх}}) / (h_{21Э} + 1) \approx r_э.$$

При выводе уравнения для $R_{\text{вых}}$ полагалось, что сопротивления $r_к$ и $R_{\text{дел}}$ весьма велики и их влиянием можно пренебречь.

Частотные свойства эмиттерного повторителя (как и каскада с общим эмиттером) полностью определяются частотными свойствами применяемого транзистора. Однако на практике данный каскад является более высокочастотным, что является следствием 100%-ной ООС.

Не обладая усилением по напряжению, эмиттерный повторитель обеспечивает значительное усиление по току:

$$K_I = h_{21Э} + 1. \quad (6.38)$$

Следствием этого является значительное усиление по мощности ($K_P = K_I$).

Из сказанного следует, что каскад эмиттерного повторителя наиболее удобен для согласования высокоомных источников сигнала с низкоомной нагрузкой ($R_{\text{вх}}$ — велико, $R_{\text{вых}}$ — мало, K_I — велик).

Малое выходное сопротивление каскада делает его идеальным при согласовании усилителя с емкостной нагрузкой.

Основные свойства стокового повторителя аналогичны свойствам эмиттерного повторителя, т. е.

$$K_{U \text{ к ООС}} < 1;$$

$$R_{\text{вх}} \approx R_{\text{сч}} \text{ — велико};$$

$$R_{\text{вых}} \approx 1/s \text{ — мало.}$$

Частотные свойства истокового повторителя существенно лучше частотных свойств каскада с общим стоком. Причина этого та же, что и в схеме эмиттерного повторителя — 100%-ная ООС.

Следует отметить, что так как цепь затвора в схеме на рис. 6.16,б шунтирована резистором, то, как правило, не удастся реализовать свойственное полевому транзистору большое входное сопротивление. Для реализации этой возможности необходимо отказываться от использования данного способа задания начального смещения.

Пример 6.7. Согласовать датчик освещенности, выполненный на фоторезисторе СФ2-2, с усилителем, входное сопротивление которого равно 1 кОм. Параметры фоторезистора: темновое сопротивление $R_T = 2$ МОм; кратность изменения сопротивления $K = R_T/R_{св} = 3000$; $U_n = 15$ В.

Решение. 1. Найдем минимальное сопротивление фоторезистора $R_{св} = R_T/K = 2 \cdot 10^6/2000 = 0,66$ кОм.

2. Изменение напряжения на входе усилителя при непосредственном подключении фоторезистора к входу усилителя

$$U_{вх\max} = U_n R_{вх} / (R_{вх} + R_{св}) = 15 \cdot 1 / (1 + 0,66) = 9,03 \text{ В};$$

$$U_{вх\min} = U_n R_{вх} / (R_{вх} + R_T) = 15 \cdot 1 / (1 + 3000) = 5 \cdot 10^{-3} \text{ В}.$$

3. Подключаем выход датчика к входу усилителя через схему эмиттерного повторителя (см. рис. 6.16,в). Для увеличения входного сопротивления используем в эмиттерном повторителе транзистор КТ3102Г с $h_{21Э\min} = 400$.

В этом случае для входного напряжения эмиттерного повторителя $U_{вх\text{эп}}$ справедливо выражение

$$U_{вх\text{эп}} = \frac{\frac{R_6 R_{вх\text{ус}} h_{21Э}}{R_6 + R_{вх\text{ус}} h_{21Э}} U_n}{R_\Phi + \frac{R_6 R_{вх\text{ус}} h_{21Э}}{R_6 + R_{вх\text{ус}} h_{21Э}}},$$

откуда для R_6 найдем

$$R_6 = \frac{U_{вх\text{эп}} R_{вх\text{ус}} h_{21Э} R_\Phi}{R_{вх\text{ус}} h_{21Э} U_n - U_{вх\text{эп}} (R_\Phi + R_{вх\text{ус}} h_{21Э})},$$

где R_Φ — текущее значение сопротивления фоторезистора.

4. Задав минимальное входное напряжение эмиттерного повторителя, определим сопротивление балластного резистора R_6 .

Допустим $U_{вх\text{эп}} = 1$ В. Тогда

$$R_6 = \frac{1 \cdot 1 \cdot 400 \cdot 3000}{1 \cdot 400 \cdot 15 - 1(3000 + 1 \cdot 400)} = 461 \text{ кОм}.$$

Принимаем $R_6 = 470$ кОм.

5. Уточним диапазон изменения входного напряжения эмиттерного повторителя

$$R_{\text{вх эп}} = \frac{R_6 R_{\text{вх ус}} h_{21Э}}{R_6 + R_{\text{вх ус}} h_{21Э}} = \frac{470 \cdot 1 \cdot 400}{470 + 1 \cdot 400} = 216 \text{ кОм};$$

$$U_{\text{вх эп min}} = \frac{U_{\text{п}} R_{\text{вх эп}}}{R_{\text{г}} + R_{\text{вх эп}}} = \frac{15 \cdot 216}{3000 + 216} = 1 \text{ В};$$

$$U_{\text{вх эп max}} = \frac{U_{\text{п}} R_{\text{вх эп}}}{R_{\text{св}} + R_{\text{вх эп}}} = \frac{15 \cdot 216}{0,66 + 216} = 14,95 \text{ В};$$

$$\Delta U_{\text{вх}} = U_{\text{вх эп max}} - U_{\text{вх эп min}} = 14,95 - 1 = 13,85 \text{ В}.$$

Без эмиттерного повторителя

$$\Delta U_{\text{вх}} = 9,025 \text{ В}.$$

Применение схемы эмиттерного повторителя увеличило диапазон изменения входного напряжения в $13,95/9,025 = 1,54$ раза.

6.4. ИСТОЧНИКИ ПОСТОЯННОГО ТОКА И НАПРЯЖЕНИЯ

При разработке усилительных устройств часто возникает необходимость использования устройств, свойства которых близки к свойствам идеальных источников постоянного тока и напряжения. Следует сразу отметить, что создание устройств, являющихся идеальными источниками тока и напряжения, невозможно. Однако для некоторого ограниченного диапазона изменения параметров создание устройств, имитирующих такие источники, вполне возможно. При этом могут использоваться как биполярные, так и полевые транзисторы.

Наиболее просто на полупроводниковых приборах реализуются источники постоянного тока. Рассмотрим принципы построения таких устройств на примере биполярных транзисторов. Для этого обратимся к выходным характеристикам биполярного транзистора, соответствующим его схеме включения с общим эмиттером (см. рис. 6.18, а). Очевидно, что если биполярный транзистор работает в активном режиме при постоянном значении базового тока, то его выходной ток мало зависит от напряжения между выводами эмиттера и коллектора. Аналогичным свойством обладает и полевой транзистор, работающий в насыщенном режиме при постоянном напряжении на затворе. Именно на этом принципе и строятся все транзисторные схемы источников тока. Рассмотрим наиболее часто встречающиеся схемы источников постоянного тока и напряжения.

6.4.1. ИСТОЧНИКИ ТОКА НА БИПОЛЯРНЫХ ТРАНЗИСТОРАХ

Предположим, что в базу биполярного транзистора от некоторого внешнего источника задан постоянный ток $I_{\text{Б0}} = \text{const}$ и транзистор работает в активном режиме (рис. 6.18, б). Тогда при за-

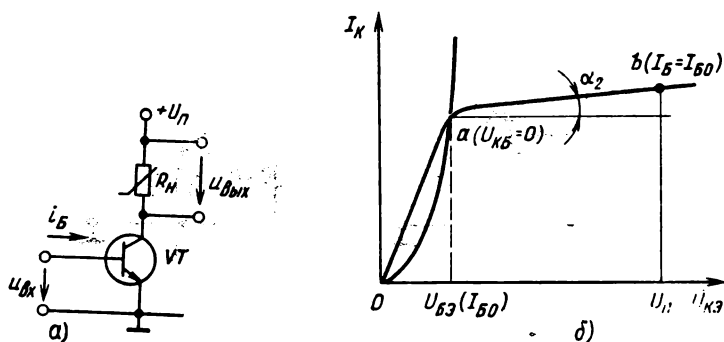


Рис. 6.18. Обобщенная схема генератора тока (а) и определение допустимого диапазона изменения сопротивления его нагрузки (б)

данном значении напряжения питания U_{Π} точка пересечения нагрузочной прямой, соответствующая значению R_{Π} , должна лежать на отрезке ab его выходной характеристики. Это означает, что сопротивление нагрузки должно удовлетворять неравенству

$$R_{\Pi \max} = [U_{\Pi} - U_{БЭ}(I_{Б0})] / h_{21Э} I_{Б0} \geq R_{\Pi} > R_{\Pi \min} = 0, \quad (6.39)$$

где $U_{БЭ}(I_{Б0})$ — напряжение $U_{БЭ}$, соответствующее базовому току, равному $I_{Б0}$.

Следовательно, при заданных напряжении питания и токе базы с использованием выражения (6.39) всегда можно определить допустимое изменение сопротивления нагрузки, при котором транзистор можно рассматривать как источник тока.

Определим насколько изменится выходной ток транзистора в рассматриваемом случае, если сопротивление нагрузки изменяется в диапазоне, определенном выражением (6.39). Для этого воспользуемся h -параметрами транзистора.

Наклон выходной характеристики транзистора при постоянстве его базового тока (см. § 2.2) определяется выходной проводимостью транзистора $h_{22Э}$. Считая, что на интервале ab выходной характеристики величина $h_{22Э}$ постоянна, для заданного неравенством (6.39) диапазона изменения сопротивления нагрузки максимальное изменение выходного тока определяется выражением

$$\Delta I_{\text{К}} = h_{22Э} [U_{\Pi} - U_{БЭ}(I_{Б0})]. \quad (6.40)$$

Из-за малости величины $h_{22Э}$ (обычно $r_{\text{К}} \gg R_{\Pi}$) отклонение выходного тока транзистора для всего диапазона изменений сопротивления нагрузки обычно не превышает нескольких процентов и рассматриваемую схему можно рассматривать как идеальный источник тока.

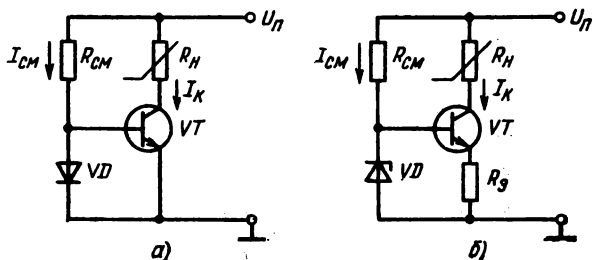


Рис. 6.19. Задание режима работы генератора тока с помощью диода (а) и стабилитрона (б)

Таким образом, проблема выполнения источника тока на биполярном транзисторе сводится к проблеме задания его постоянного базового тока $I_{Б0}$.

Из входной характеристики биполярного транзистора следует, что стабилизация базового тока означает стабилизацию эмиттерного напряжения $U_{БЭ}$. Следовательно, если эмиттерный переход биполярного транзистора шунтировать элементом, напряжение на котором не зависит от изменения внешних условий, базовый и, следовательно, коллекторный токи будут оставаться практически постоянными. В качестве такого элемента может быть использован резистивный делитель. Однако, так как в процессе работы любой схемы ее напряжение питания не остается постоянным, лучшие результаты могут быть получены при использовании $p-n$ -переходов, работающих на участках прямого смещения или обратного пробоя.

На рис. 6.19, а приведена простейшая схема источника тока, в которой для стабилизации эмиттерного напряжения транзистора VT использован диод VD , смещенный в прямом направлении. Ток диода задается резистором R_{CM} . Полагая, что ВАХ диода и входная характеристика транзистора одинаковы, напряжение на диоде и, следовательно, на эмиттерном переходе транзистора может быть определено с использованием кусочно-линейной аппроксимации его ВАХ (4.1):

$$U_d = U_{БЭ} = U_{D0} + (U_n - U_{D0}) r_d / 2 (R_{CM} + r_d / 2). \quad (6.41)$$

Используя (6.41) и для коллекторного тока транзистора можно записать следующее выражение:

$$I_K = h_{21Э} (U_n - U_{D0}) / 2 (R_{CM} + r_d / 2). \quad (6.42)$$

Данная схема, несмотря на простоту, кроме всего прочего обеспечивает получение достаточно хорошей температурной стабильности. Это объясняется тем, что температурные изменения напряже-

ния эмиттерного перехода компенсируются соответствующими изменениями напряжения диода.

Повысить стабильность выходного тока в рассматриваемой схеме можно при введении в нее цепи ООС. Схема источника тока с цепью последовательной ООС по выходному току приведена на рис. 6.19, б.

Следует отметить, что введение эмиттерного резистора R_3 требует увеличения напряжения на базе транзистора. Поэтому в этом случае в качестве источника постоянного напряжения удобнее использовать стабилитрон.

Выходной ток источника определяется следующим выражением:

$$I_K = I_{\text{вых}} = (U_D - U_{\text{БЭ}}) h_{21Э} / (h_{21Э} + 1) R_3. \quad (6.43)$$

Оценить стабильность тока рассматриваемой схемы при изменении внешних условий эксплуатации (например, температуры) можно с помощью методики, приведенной ранее в § 6.1.5. При этом дополнительно следует учесть температурную зависимость напряжения стабилитрона.

Для получения хорошей температурной стабильности необходимо, чтобы ТКН стабилитрона компенсировал температурные изменения параметров транзистора. В противном случае в схему необходимо вводить дополнительные элементы термокомпенсации, как это было показано в § 6.1.4.

Следует отметить, что если в качестве элемента, задающего эмиттерное напряжение транзистора, использовать источник изменяющегося напряжения, то на тех же принципах возможна разработка управляемых источников тока.

Пример 6.8. Определить пределы изменения сопротивления нагрузки и максимальное относительное изменение выходного тока источника тока, выполненного на транзисторе 2Т201А, для которого $h_{22Э} = 3 \cdot 10^{-6}$ См; $U_n = 15$ В; $h_{21Э} = 20$; $I_{\text{вых}} = 5$ мА.

Решение. Рассматриваемый случай соответствует схеме генератора тока, приведенной на рис. 6.18, а.

1. Определим требуемый ток базы транзистора

$$I_B = I_K / h_{21Э} = 5 / 20 = 0,25 \text{ мА.}$$

2. Допустимый диапазон изменения напряжения нагрузки

$$0 \leq U_n < U_n - U_{\text{БЭ}},$$

где $U_{\text{БЭ}}$ — напряжение эмиттерного перехода транзистора, соответствующее току $I_B = 0,25$ мА. Принимаем $U_{\text{БЭ}} = 0,7$ В, тогда

$$0 \leq U_n \leq 15 - 0,7 = 14,3 \text{ В.}$$

3. Найдем допустимый диапазон изменения сопротивления нагрузки

$$R_{n \text{ max}} = U_{n \text{ max}} / I_{\text{вых}} = 14,3 / 5 = 2,86 \text{ кОм;}$$

$$0 \leq R_n < 2,86 \text{ кОм.}$$

4. Определим изменения выходного тока транзистора в найденном диапазоне изменения сопротивления нагрузки

$$\Delta I_{\text{вых}} = \Delta U_{\text{вых}} h_{22\Omega} = 14,3 \cdot 3 \cdot 10^{-6} = 42,9 \cdot 10^{-6} \text{ А.}$$

5. Полное относительное изменение выходного тока транзистора

$$\delta I_{\text{вых}} = (\Delta I_{\text{вых}} / I_{\text{вых}}) 100\% = (42,9 \cdot 10^{-6} / 5 \cdot 10^{-3}) 100 = 0,858\%.$$

Пример 6.9. Определить изменение выходного тока схемы на рис. 6.19,б при изменении температуры окружающей среды от -60 до $+60$ °С при следующих условиях: $U_{\text{п}}=20$ В; VT—КТ312А; $h_{21\Omega}=30$; $U_{\text{БЭ0}}=0,65$; $r_6=0,1$ кОм; $\partial h_{21\Omega} / \partial T$, °С = $0,28$ °С $^{-1}$; $\partial U_{\text{БЭ}} / \partial T$, °С = $2 \cdot 10^{-3}$ В/°С; $R_3=0,75$ кОм; $R_{\text{см}}=2,7$ кОм; VD—КС182Ж; $U_{\text{ст0}}=8,2$ В; $r_{\text{сг}}=40$ Ом; ТКН = $8 \cdot 10^{-2}$ %/°С.

Решение. 1. Приведем входную цепь схемы генератора тока на рис. 6.19,б к виду основной расчетной схемы на рис. 6.1а,

$$R_{\text{эв}} = r_{\text{сг}} R_{\text{см}} / (r_{\text{сг}} + R_{\text{см}}) = 40 \cdot 2700 / (40 + 2700) = 39,4 \text{ Ом;}$$

$$I_{\text{сг}} = \frac{U_{\text{п}} - U_{\text{сг0}} - (U_{\text{сг0}} - U_{\text{БЭ0}}) \frac{R_{\text{см}}}{h_{21\Omega} R_3 + r_6}}{R_{\text{см}} + r_{\text{сг}} + R_{\text{см}} r_{\text{сг}} / (h_{21\Omega} R_3 + r_6)} = \frac{20 - 8,2 - (8,2 - 0,65) \frac{2,7}{30 \cdot 0,75 + 0,1}}{2,7 + 0,04 + 2,7 \cdot 0,04 / (30 \cdot 0,75 + 0,1)} = 3,97 \text{ мА;}$$

$$U_{\text{эв}} = U_{\text{сг0}} + I_{\text{сг}} r_{\text{сг}} = 8,2 + 3,97 \cdot 10^{-3} \cdot 40 = 8,36 \text{ В.}$$

2. Определим входное сопротивление транзистора

$$R_{\text{вх}} = r_6 + h_{21\Omega} R_3 = 100 + 30 \cdot 750 = 22,5 \text{ кОм.}$$

3. Базовый ток транзистора

$$I_{\text{Б}} = (U_{\text{эв}} - U_{\text{БЭ0}}) / (R_{\text{вх}} + R_{\text{эв}}) = (8,36 - 0,65) / (22,5 \cdot 10^3 + 39,4) = 0,342 \text{ мА.}$$

4. Коллекторный ток транзистора

$$I_{\text{К}} = I_{\text{Б}} h_{21\Omega} = 0,342 \cdot 30 = 10,26 \text{ мА.}$$

5. Найдем температурные изменения напряжений $\Delta U_{\text{БЭ}}$ и $\Delta U_{\text{сг0}}$, а также коэффициента передачи транзистора по току $\Delta h_{21\Omega}$. За расчетную точку примем значение температуры $T=0$ °С. В этом случае изменения параметров схемы при увеличении и уменьшении температуры будут одинаковы по величине, но иметь различный знак:

$$\Delta U_{\text{БЭ}} = (\partial U_{\text{БЭ}} / \partial T, \text{ °С}) \Delta T = 2 \cdot 10^{-3} \cdot 60 = 0,12 \text{ В;}$$

$$\Delta U_{\text{сг0}} = (U_{\text{сг0}} \text{ТКН} / 100) \Delta T = (8,2 \cdot 8 \cdot 10^{-2} / 100) \cdot 60 = 0,394 \text{ В;}$$

$$\Delta h_{21\Omega} = (\partial h_{21\Omega} / \partial T, \text{ °С}) \Delta T = 0,28 \cdot 60 = 16,8$$

6. Коэффициент неустойчивости схемы согласно выражению (6.19) равен

$$S_I = \frac{h_{21\Omega} (R_6 + R_3)}{R_6 + (1 + h_{21\Omega}) R_3} = \frac{30 (39,4 + 750)}{39,4 + (1 + 30) 750} = 1,02.$$

7. Найдем абсолютное температурное изменение тока коллектора транзистора. Согласно (6.19), а также учитывая, что $\Delta U_{\text{э}} = \Delta U_{\text{БЭ}} + \Delta U_{\text{сг}}$, получим

$$\Delta I_{KП} = S_I \left(\frac{\Delta h_{21Э}}{h_{21Э}} I_{BП} + \frac{\Delta U_{БЭ} + \Delta U_{ст}}{R_6 + R_9} \right) = 1,02 \cdot \left(\frac{16,8}{30} \cdot 0,343 \cdot 10^{-3} + \frac{0,12 \pm 0,394}{39,4 + 750} \right) = 0,86 \text{ мА.}$$

Примечание. Температурные изменения $\Delta U_{БЭ}$ и $\Delta U_{ст}$ имеют различный знак, так как, например, с повышением температуры напряжение эмиттерного перехода снижается, а напряжение стабилитрона растет. Однако оба этих изменения способствуют увеличению коллекторного тока транзистора и поэтому в выражении (6.19) должны суммироваться.

8. Относительное температурное изменение тока коллектора

$$\delta I_K = (\Delta I_{KП} / I_{KП}) 100 \% = (0,86 / 10,26) 100 = 8,38 \%; \quad \delta I_K = \pm 8,38 \%.$$

6.4.2. ИСТОЧНИКИ ТОКА НА ПОЛЕВЫХ ТРАНЗИСТОРАХ

Учитывая, что выходные характеристики полевого транзистора и аналогичные характеристики биполярного транзистора почти идентичны, с использованием описанных выше методик можно разрабатывать источники тока и на этом типе прибора. При этом стабилизация тока стока в некотором диапазоне изменения сопротивления нагрузки возможна при работе полевого транзистора в насыщенном режиме.

Анализ передаточных характеристик различных типов полевых транзисторов показывает, что при использовании МДП-транзистора источники тока можно выполнять по схемам, аналогичным показанным на рис. 6.19.

При использовании полевых транзисторов с управляющим *p-n*-переходом схемы источников тока могут быть упрощены. Связано это с тем, что этот тип транзистора работает при полярности напряжения затвора, противоположной полярности напряжения стока. Поэтому простейший источник тока на этом типе транзистора может быть получен при закорачивании выводов затвора и истока (рис. 6.20, а). При этом, поскольку напряжение между

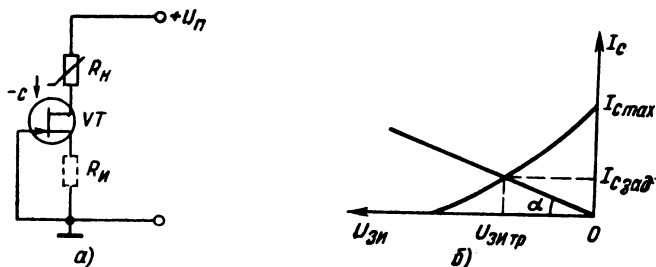


Рис. 6.20. Схема генератора тока на полевом транзисторе с управляющим *p-n*-переходом (а) и графическое задание режима его работы (б)

затвором и истоком будет зафиксировано на нулевом уровне, ток стока будет равен своему максимальному значению (рис. 6.20, б) $I_{C \max}$. Стабильность полученного тока полностью определяется стабильностью характеристик транзистора.

Уменьшить выходной ток такого источника можно введением в истоковую цепь транзистора дополнительного резистора R_n (на рис. 6.20, а показан штриховой линией). При заданном выходном токе сопротивление резистора R_n может быть определено с использованием следующей методики:

по передаточной характеристике полевого транзистора для заданного выходного тока $I_{C \text{ зад}}$ определяют соответствующее ему напряжение затвор — исток $U_{зи}$;

необходимое сопротивление истокового резистора определяется либо графически по наклону нагрузочной прямой, проведенной через начало координат и точку передаточной характеристики транзистора с координатами $U_{зи}$ и $I_{C \text{ зад}}$, либо с использованием выражения $R_n = U_{зи} / I_{C \text{ зад}}$.

С учетом того, что резистор R_n вводится в схему ООС по выходному току, стабильность параметров данной схемы будет выше, чем в схеме без резистора R_n .

Аналогично может быть построен и источник тока на МДП-транзисторе со встроенным каналом. Для этого необходимо, чтобы ветвь его передаточной характеристики для требуемого выходного тока была расположена во втором квадранте осей координат, т. е. на таком принципе возможно создание источников малых токов.

Если в схеме на рис. 6.20, а резистор R_n сделать переменным, то получим регулируемый источник тока.

Диапазон изменения сопротивления нагрузки, при котором схема на рис. 6.20, а сохраняет свойства, подобные источнику тока, может быть определен с использованием выходных характеристик прибора аналогично рис. 6.18, б или аналитически из условия

$$(U_n - U_{\text{си нас}}) / I_{C \text{ зад}} \geq R_n \geq 0.$$

Пример 6.10. Используя транзистор из примера 6.6, спроектировать генератор тока по схеме на рис. 6.20, а со следующими параметрами: $I_r = 1,5$ мА; $U_n = 15$ В.

Решение. 1. Используя передаточную характеристику транзистора, найдем, что при $I_C = 1,5$ мА напряжение $U_{зи} = -0,78$ В.

2. Определим сопротивление резистора R_n :

$$R_n = -U_{зи} / I_r = 0,78 / 1,5 = 0,52 \text{ кОм.}$$

Выбираем $R_n = 0,51$ кОм.

3. Для выбранного R_n уточним I_r и $U_{зи}$.

В точке передаточной характеристики $I_C = 1,5$ мА крутизна транзистора равна 2,1 мА/В (см. рис. 6.12, б). Так как отклонения R_n от расчетной величины

невелики, то для уточнения тока I_c можно воспользоваться линейной аппроксимацией передаточной характеристики транзистора. Аппроксимируем передаточную характеристику в точке $I_c = 1,5$ мА прямой линией

$$I_c = S(U_{3И} - U'_{3И \text{ отс}}),$$

где $U'_{3И \text{ отс}}$ — напряжение, отсекаемое аппроксимирующей прямой на оси абсцисс;

$$-U'_{3И \text{ отс}} = I_c/S - U_{3И}(I_c) = 1,5/2,1 + 0,78 = 1,49 \text{ В.}$$

С учетом условия п. 2 для тока стока будет справедливо следующее выражение:

$$I_c = -SU'_{3И \text{ отс}} / (1 + SR_n) = 2,1 \cdot 1,49 / (1 + 2,1 \cdot 0,51) = 1,51 \text{ мА};$$

$$-U_{3И} = I_c/S - U'_{3И \text{ отс}} = 1,51/2,1 - 1,49 = 0,77 \text{ В.}$$

4. Определим допустимый диапазон изменения сопротивления нагрузки. При этом воспользуемся приведенным ранее соотношением

$$\begin{aligned} R_{н \text{ max}} &= (U_n - U_{СИ \text{ нас}}) / I_{с \text{ зад}} = (U_n + U_{3И \text{ отс}} - U_{3И}) / I_{с \text{ зад}} = \\ &= (15 - 1,5 + 0,77) / 1,51 = 9,45 \text{ кОм}; \\ 0 &\leq R_n \leq 9,45 \text{ кОм.} \end{aligned}$$

6.4.3. ИСТОЧНИКИ ПОСТОЯННОГО НАПРЯЖЕНИЯ

Анализируя характеристики полупроводниковых приборов, можно сделать вывод, что в качестве источника постоянного напряжения можно использовать либо прямую ветвь ВАХ p - n -перехода, либо его обратную ветвь в области электрического пробоя перехода. Источники постоянного напряжения, построенные на этом принципе, будут рассмотрены в гл. 13. Здесь остановимся на другой возможности построения источников напряжения. Источник постоянного напряжения может быть легко построен на основе источника постоянного тока. Для этого достаточно выходной ток источника пропустить через резистор с неизменным сопротивлением. На рис. 6.21, а показаны схемы такого источника постоянного напряжения. В качестве источника постоянного тока ($I_{нт}$) используется полевой транзистор VT с истоковым резистором R_n , а в качестве преобразователя ток — напряжение — эталонный резистор R_I . Выходное напряжение $U_{вых}$ и его относительное изменение при изменении тока нагрузки определяются выражениями

$$\begin{aligned} U_{вых} &= I_{нт} R_I; \\ \delta U_{вых} &= \delta I_{нт}. \end{aligned} \tag{6.44}$$

Приведенные выражения являются предельными и справедливы в случае, когда сопротивление нагрузки R_n стремится к бесконеч-

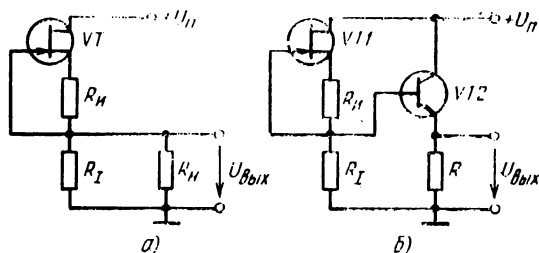


Рис. 6.21. Схемы источников постоянного напряжения с эталонным резистором (а) и дополнительным эмиттерным повторителем (б)

ности. В противном случае параметры устройства должны определяться с учетом как самого сопротивления R_H , так и его относительного изменения

$$U_{\text{вых}} = I_{\text{нт}} \frac{R_I R_H}{R_I + R_H};$$

$$\delta U_{\text{вых}} = \frac{R_I \delta R_H / (R_H + R_I) + \delta I_{\text{нт}} \delta R_H}{1 + \delta R_H R_H / (R_H + R_I)}. \quad (6.45)$$

Из (6.45) следует, что чем больше значения R_I и δR_H и меньше R_H , тем менее стабильным будет выходное напряжение.

Для конкретных условий значения R_H и δR_H , как правило, заданы. Поэтому единственным путем повышения стабильности выходного напряжения является уменьшение R_I . Однако уменьшение R_I при заданном напряжении $U_{\text{вых}}$ требует увеличения тока $I_{\text{нт}}$, что в большинстве случаев неприемлемо.

Улучшить параметры устройства можно, используя для согласования сопротивлений R_I и R_H эмиттерного или стокового повторителей. Пример такого решения показан на рис. 6.21, б.

В данном случае, полагая $R_{\text{вх эп}} = h_{213} R_H \gg R_I$, для относительного изменения выходного напряжения, вызванного изменением сопротивления нагрузки, можно записать

$$\delta U_{\text{вых}} = \frac{R_I \delta R_H}{R_I + R_H h_{213} (1 + \delta R_H)}.$$

При условии $R_I \ll R_H$ можно сказать, что введение эмиттерного повторителя в h_{213} раз уменьшает относительное изменение $U_{\text{вых}}$, связанное с изменением R_H .

Значительно улучшить параметры схемы на рис. 6.21, а можно при использовании в качестве R_I элемента с малым дифференциальным сопротивлением, например диода или стабилитрона.

Пример 6.14. Определить параметры источника напряжения, выполненного по схеме на рис. 6.21, а для случая $U_{\text{вых}} = 3 \text{ В}$; $R_{\text{н min}} = 10 \text{ кОм}$; $R_{\text{н max}} = 100 \text{ кОм}$. В качестве генератора тока использовать схему из примера 6.10.

Решение. 1. Определим сопротивление резистора R_I из условия $R_{\text{н}} = R_{\text{н max}}$:

$$U_{\text{вых}} = \frac{R_I R_{\text{н max}}}{R_I + R_{\text{н max}}} I_{\text{нт}}.$$

Отсюда

$$R_I = U_{\text{вых}} R_{\text{н max}} / (U_{\text{вых}} + I_{\text{нт}} R_{\text{н max}}) = 3 \cdot 100 / (3 + 1,51 \cdot 100) = 1,95 \text{ кОм}.$$

Принимаем $R_I = 2 \text{ кОм}$, тогда

$$U_{\text{вых}} = 2 \cdot 100 \cdot 1,51 / (2 + 100) = 2,96 \text{ В}.$$

2. Найдем относительное изменение выходного напряжения, вызванного изменением сопротивления нагрузки,

$$\delta U_{\text{вых}} = R_I \delta R_{\text{н}} / (R_I + R_{\text{н}} (1 + \delta R_{\text{н}}));$$

$$\delta R_{\text{н}} = (R_{\text{н min}} - R_{\text{н max}}) / R_{\text{н max}} = (10 - 100) / 100 = -0,9;$$

$$\delta U_{\text{вых}} = 2 \cdot (-0,9) / [2 + 100 (1 - 0,9)] = -0,15.$$

3. Абсолютное изменение выходного напряжения

$$\Delta U_{\text{вых}} = U_{\text{вых}} \delta U_{\text{вых}} = 2,96 \cdot (-0,15) = -0,444 \text{ В}.$$

4. Найдем изменение $\delta U_{\text{выхз}}$ в случае использования схемы на рис. 6.21, б; транзистор КТ315А; $h_{21з \text{ min}} = 30$

$$\delta U_{\text{выхз}} = 2 \cdot (-0,9) / [2 + 100 \cdot 30 (1 - 0,9)] = -5,96 \cdot 10^{-3};$$

$$\Delta U_{\text{выхз}} = 2,96 \cdot (-5,96 \cdot 10^{-3}) = -0,0176 \text{ В}.$$

5. Определим степень уменьшения $\delta U_{\text{вых}}$ в случае введения в схему эмиттерного повторителя

$$\delta U_{\text{вых}} / \delta U_{\text{выхз}} = (-0,15) / (-5,96 \cdot 10^{-3}) = 25,17.$$

6.5. СХЕМА «ТОКОВОГО ЗЕРКАЛА»

«Токовым зеркалом» называют электронное устройство с одним входом и одним или несколькими выходами, выходной ток (или токи) которого повторяет как по величине, так и по направлению его входной ток.

По выполняемым функциям данное устройство, по существу, является управляемым током источником тока, коэффициент передачи которого равен единице. Поэтому в основу разработки таких устройств могут быть положены принципы, использованные ранее при построении схем источников тока.

Простейшая схема «токового зеркала» приведена на рис. 6.22. Ее основу составляют транзисторы $VT1$ и $VT2$, причем для нор-

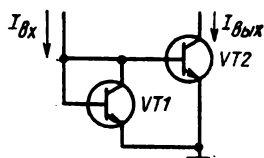


Рис. 6.22. Схема «токового зеркала»

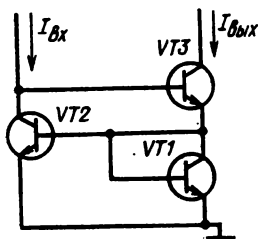


Рис. 6.23. Схема «токового зеркала» с дополнительным транзистором

мальной работы устройства необходимо, чтобы параметры транзисторов были полностью идентичны.

Транзистор $VT1$ используется в диодном включении. Так как его напряжение $U_{КБ} = 0$, то он работает на границе активного режима и режима насыщения. При этом его коллекторный и базовый токи связаны соотношением $I_{К VT1} = I_{Б VT1} h_{21Э}$.

Так как параметры транзисторов полностью идентичны, то из очевидного условия $U_{БЭ VT1} = U_{БЭ VT2}$ следует, что $I_{Б VT1} = I_{Б VT2}$. Однако при этом $I_{К VT1} = I_{К VT2}$.

Для входного тока устройства справедливо соотношение $I_{вх} = I_{К VT1} + I_{Б VT1} + I_{Б VT2}$. При идентичности параметров транзисторов его можно переписать в виде $I_{вх} = I_{К VT1} (1 + 2/h_{21Э})$, откуда $I_{К VT1} = I_{вх} / (1 + 2/h_{21Э})$.

Типовой коэффициент передачи тока в схеме с общим эмиттером $h_{21Э}$ для современных транзисторов удовлетворяет условию $h_{21Э} \gg 1$. Поэтому с достаточной с инженерной точки зрения точностью, можно записать

$$I_{вх} \approx I_{К VT1} = I_{К VT2}. \quad (6.46)$$

Получаемая при этом погрешность полностью определяется конкретным значением $h_{21Э}$. Так, если $h_{21Э}$ обоих транзисторов равен 50, то получаемая ошибка не превышает 4%, что вполне допустимо. На практике значения $h_{21Э}$ обычно больше. Следовательно, в рассматриваемой схеме выходной ток будет повторять входной как по величине, так и по направлению.

Если точность повторения (отражения) тока, обеспечиваемая в схеме на рис. 6.22, недостаточна, то применяют более сложные структуры «токового зеркала». Одна из таких схем приведена на рис. 6.23. От исходной она отличается введением дополнительного транзистора $VT3$ и местом подключения входного тока. Поясним работу данной схемы. Для этого запишем уравнения для токов в схеме

$$\begin{aligned}
I_{\text{вх}} &= I_{\text{к VT2}} + I_{\text{б VT3}}; \\
I_{\text{вых}} &= I_{\text{к VT3}}; \\
I_{\text{б VT2}} &= I_{\text{б VT1}} = I_{\text{б}}; \\
I_{\text{э VT3}} &= I_{\text{к VT3}} + I_{\text{б VT3}} = I_{\text{к VT1}} + 2I_{\text{б}}; \\
I_{\text{к VT2}} &= I_{\text{к VT1}}.
\end{aligned}$$

Найдем из полученных выражений связь между выходным током схемы $I_{\text{к VT3}}$ и коллекторными токами транзисторов VT1 и VT2

$$I_{\text{вых}} = I_{\text{к VT3}} = I_{\text{э VT3}} - I_{\text{б VT3}} = I_{\text{к VT1}} + 2I_{\text{б}} - I_{\text{б VT3}}.$$

Допустим, что $I_{\text{б VT3}} = I_{\text{б}}$. Это вполне оправдано, так как $h_{21\text{э}}$ всех транзисторов велик и токи $I_{\text{к VT3}}$ и $I_{\text{к VT1}}$ близки. Тогда окончательно получим

$$I_{\text{вых}} = I_{\text{к VT1}} + I_{\text{б}} = I_{\text{к VT2}} + I_{\text{б}} = I_{\text{вх}}. \quad (6.47)$$

Из приведенного выражения следует, что в схеме на рис. 6.23 повторяемость входного и выходного токов значительно выше, чем в исходной схеме «токового зеркала» на рис. 6.22.

Если входной ток в рассмотренных схемах будет поддерживаться неизменным, то они превращаются в источники постоянного тока. Для этого входы обеих схем достаточно подключить через ограничительные резисторы к источнику входного напряжения. Нетрудно заметить, что в этом случае схема «токового зеркала» на рис. 6.22 повторяет ранее рассмотренную схему источника тока, приведенную на рис. 6.19, а.

Следует заметить, что в этом случае стабильность тока в схеме на рис. 6.23 будет значительно выше, чем в схеме на рис. 6.22. Это объясняется тем, что транзистор VT2 фактически выполняет роль усилителя, включенного в цепи ООС транзистора VT3 .

6.6. АКТИВНАЯ НАГРУЗКА

Рассмотрим еще раз усилительный каскад, выполненный по схеме с общим эмиттером (рис. 6.1). Коэффициент усиления этого каскада согласно выражению (6.5) равен

$$K_{\text{ук}} = h_{21\text{э}} R_{\text{к}} / R_{\text{вх}}.$$

В этом выражении под сопротивлением $R_{\text{к}}$ понимается суммарное сопротивление всех элементов, включенных в коллекторной цепи каскада. В общем случае $R_{\text{к}}$ можно представить как собственно резистор $R_{\text{к}}$ и некоторый резистор $R_{\text{н}}$, включенный параллельно выводам эмиттера и коллектора транзистора (рис. 6.2). Резистор $R_{\text{н}}$ отражает факт подключения к каскаду некоторых

внешних нагрузок. Так, в многокаскадном усилителе R_{Π} равно входному сопротивлению следующего каскада.

Введение дополнительного резистора уменьшает коэффициент усиления каскада. Так, для усилителя, схема которого показана на рис. 6.2, он равен

$$K_{U\kappa} = h_{21\kappa} R_{\kappa} R_{\Pi} / (R_{\kappa} + R_{\Pi}) R_{\text{вх}}. \quad (6.48)$$

Полученное уменьшение коэффициента усиления можно объяснить уменьшением доли изменения коллекторного тока, протекающего собственно через сопротивление нагрузки R_{Π} , которая определяется выражением

$$\Delta I_{R_{\Pi}} = \Delta U_{\text{вх}} h_{21\kappa} R_{\kappa} / R_{\text{вх}} (R_{\kappa} + R_{\Pi}). \quad (6.49)$$

Максимальное значение $\Delta I_{R_{\Pi}}$ может быть получено в случае, если все изменения коллекторного тока транзистора будут протекать через сопротивление R_{Π} . Последнее возможно, если сопротивление R_{κ} стремится к бесконечности. Тогда

$$\lim \Delta I_{R_{\Pi}} |_{R_{\kappa} \rightarrow \infty} = \Delta U_{\text{вх}} h_{21\kappa} / R_{\text{вх}}. \quad (6.50)$$

Однако на практике такое решение невозможно. Увеличение сопротивления R_{κ} при заданном токе покоя транзистора приводит к увеличению падения напряжения на этом резисторе. Соответственно уменьшается падение напряжения между выводами коллектора и эмиттера транзистора. Последнее приводит к уменьшению максимальной амплитуды сигнала, которая может быть получена на выходе каскада. Попытка сохранить амплитуду выходного сигнала на неизменном уровне требует увеличения напряжения питания. Однако это увеличение не может быть бесконечным, так как оно ограничивается, в частности, предельно допустимыми параметрами используемой элементной базы. К тому же увеличение напряжения питания сопровождается увеличением рассеиваемой в каскаде мощности. Это, в свою очередь, препятствует использованию методов гибридной и полупроводниковой технологии при разработке требуемых устройств.

Таким образом, в каскадах, подобных изображенному на рис. 6.2, коэффициент усиления всегда меньше максимально возможного значения.

Решить проблему увеличения коэффициента усиления каскада на рис. 6.23 можно, если в качестве резистора R_{κ} использовать нелинейный элемент, статическое сопротивление которого значительно меньше его дифференциального сопротивления. В этом случае падение напряжения на этом элементе от протекания тока покоя будет определяться его статическим сопротивлением, а отклонения выходного напряжения, вызванные изменением тока коллектора — его дифференциальным сопротивлением. Роль нели-

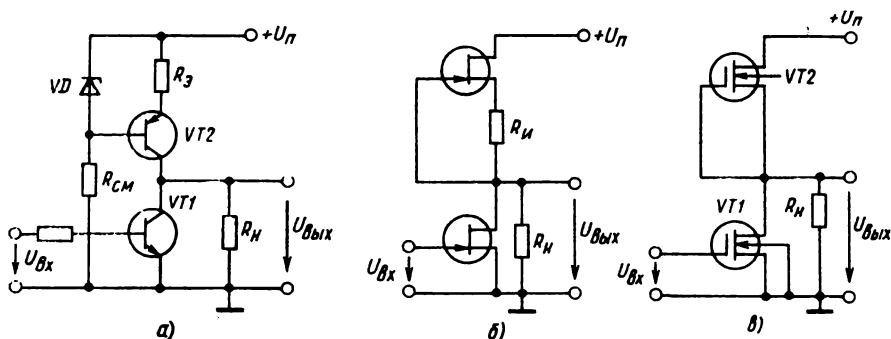


Рис. 6.24. Усилительные каскады с динамической нагрузкой в виде генератора тока на биполярных (а), полевых (б) и МДП-транзисторах (в)

нейного элемента в каскаде на рис. 6.2 может выполнять источник постоянного тока. Для нормальной работы такого каскада необходимо, чтобы номинальный ток источника тока равнялся сумме токов покоя транзистора и нагрузки.

На рис. 6.24, а приведена схема каскада на $n-p-n$ -транзисторе, включенном по схеме с общим эмиттером, у которого в качестве сопротивления R_k использован источник постоянного тока на транзисторе $VT2$ $p-n-p$ -типа.

Допустим, для режима покоя выполняется условие

$$I_{KVT2} = I_{нт} = I_{KпVT1} + I_{нп}.$$

Если под действием внешнего сигнала ток коллектора транзистора $VT1$ получил приращение ΔI_k , согласно приведенному выше выражению

$$I_{KVT2} - I_{нт} = I_{KпVT1} + \Delta I_{KVT2} + I_{нп} + \Delta I_n.$$

Вычитая второе выражение из первого, получим

$$\Delta I_{KVT2} = -\Delta I_n. \quad (6.51)$$

Следовательно, все приращение коллекторного тока будет протекать через внешнюю нагрузку, что соответствует получению максимально достижимого в данном каскаде усиления. Конкретное значение коэффициента усиления определяется выражением (6.5), в котором под R_k необходимо понимать R_n .

Аналогично могут быть построены усилители и на полевых транзисторах. В качестве примера на рис. 6.24, б, в приведены каскады на полевом транзисторе с управляющим $p-n$ -переходом и МДП-транзисторе со встроенным каналом. Коэффициенты усиления этих каскадов имеют максимальное возможное значение, равное согласно выражению (6.25) $K_{УК} = sR_n$.

6.7. СОСТАВНОЙ ТРАНЗИСТОР

Анализируя выражения для коэффициентов усиления каскадов, выполненных на биполярных транзисторах, можно заключить, что в конечном счете максимальное значение их коэффициента усиления определяется коэффициентом передачи тока транзистора в схеме с общим эмиттером $h_{21э}$. Реальное значение $h_{21э}$ определяется типом и технологией изготовления транзистора и обычно не превышает нескольких сотен. Увеличение $h_{21э}$ выше этого значения в ряде случаев позволяет существенно упростить схемотехнику проектируемых усилительных устройств. Так, при построении многокаскадных усилителей можно обойтись меньшим числом каскадов или при управлении мощной нагрузкой отказаться от промежуточных усилителей мощности и управлять значительной мощностью непосредственно от маломощного источника.

Решить проблему увеличения $h_{21э}$ можно чисто схемотехническим путем за счет каскадного включения нескольких транзисторов. Применительно к транзисторам одного типа проводимости такие схемы были впервые предложены Дарлингтоном и поэтому часто называются схемами Дарлингтона или составными транзисторами.

Основные параметры таких схем рассмотрим на примере приведенной на рис. 6.25 структуры, выполненной на двух $n-p-n$ -транзисторах.

Будем полагать, что в рассматриваемом случае используется схема включения транзисторов с общим эмиттером. Тогда для каждого транзистора в силу (2.13) можно записать

$$I_{K1} = I_{B1}h_{21э1} + I_{KB01},$$

$$I_{K2} = I_{B2}h_{21э2} + I_{KB02}.$$

Для схемы выполняется условие $I_{B2} = I_{Э1}$. Тогда, используя приведенные выражения, выразим ток коллектора транзистора VT2 через базовый ток транзистора VT1. При этом для простоты будем полагать, что для обоих транзисторов $I_{KB0} = 0$

$$I_{K2} = I_{Э1}h_{21э2} = (I_{K1} + I_{B1})h_{21э1} = (I_{B1}h_{21э1} + I_{B1})h_{21э1} = I_{B1}(h_{21э1} + 1)h_{21э2}.$$

Суммарный выходной ток составного транзистора $I_{вых\Sigma}$ равен

$$\begin{aligned} I_{вых\Sigma} &= I_{K1} + I_{K2} = I_{B1}h_{21э1} + I_{B1}(h_{21э1} + 1)h_{21э2} = \\ &= I_{B1}(h_{21э1} + h_{21э2} + h_{21э1}h_{21э2}). \end{aligned}$$

Полагая, что $h_{21э1} + h_{21э2} \ll h_{21э1}h_{21э2}$, окончательно запишем

$$I_{вых\Sigma} \approx I_{B1}h_{21э1}h_{21э2}. \quad (6.52)$$

Таким образом, в составном транзисторе суммарный коэффициент передачи тока равен произведению коэффициентов передачи отдельных транзисторов.

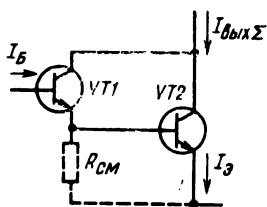


Рис. 6.25. Двойной составной транзистор на приборах одного типа проводимости (схема Дарлингтона)

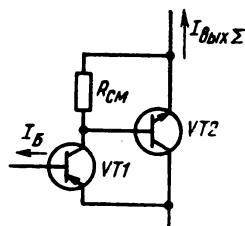


Рис. 6.26. Двойной составной транзистор на приборах с различным типом проводимости

Работоспособность приведенной схемы не нарушается, если выполняется условие $I_{Э1} > I_{КБ02}$. В противном случае из-за разрыва цепи протекания тока $I_{КБ02}$ пропорциональность между входным и выходным токами нарушается. Следовательно, при малых выходных токах схема составного транзистора, приведенная на рис. 6.25, может оказаться неработоспособной. Для устранения этого недостатка эмиттерный переход транзистора $VT2$ обычно шунтируют резистором смещения $R_{см}$. Максимально допустимое сопротивление этого резистора определяется из условия, что создаваемое на нем от протекания тока $I_{КБ0}$ падение напряжения недостаточно для отпирания транзистора и обычно приводится в справочных данных на транзистор.

Рассмотренная схема является не единственно возможной. Составные транзисторы строятся и на приборах различного типа проводимости. Такие структуры называют составными транзисторами с дополнительной симметрией. Пример построения такой схемы приведен на рис. 6.26. В этом случае в качестве входного используется транзистор структуры $p-n-p$, а выходного — структуры $n-p-n$.

Следует отметить, что введение в структуру составного транзистора резистора смещения несколько снижает его суммарный коэффициент передачи. Поэтому, если заведомо известно, что в схеме во всех режимах работы будет выполняться условие $I_{Э1} > I_{КБ02}$, резисторы смещения могут отсутствовать.

С использованием этих принципов могут быть построены составные структуры с произвольным числом транзисторов. В качестве примера на рис. 6.27 приведены две схемы составных транзисторов, выполненных на трех приборах.

В принципе структура составного транзистора может быть построена с использованием как полевых, так и биполярных транзисторов. Пример такой схемы, выполненной на полевом транзисторе

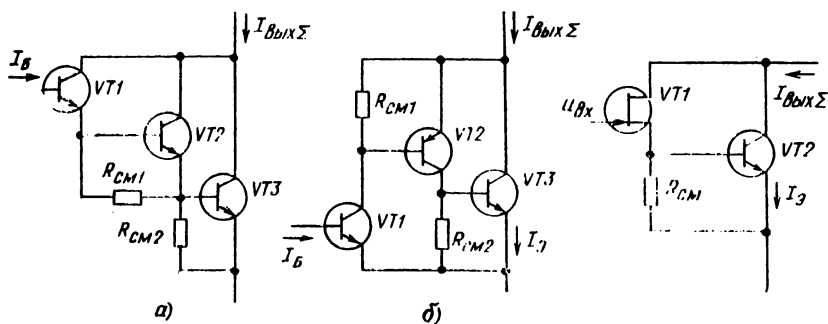


Рис. 6.27. Тройные составные транзисторы на приборах одного (а) и различного (б) типов проводимости

Рис. 6.28. Составной транзистор на полевом и биполярном транзисторах

с управляющим $p-n$ -переходом и каналом n -типа и биполярном транзисторе структуры $n-p-n$, приведен на рис. 6.28. Данная схема удачно совмещает свойства полевого и биполярного транзисторов — это большое входное сопротивление, теоретически бесконечный статический коэффициент усиления по току (мощности), что обеспечивает возможность управления мощной нагрузкой непосредственно от маломощного источника сигнала. В данной схеме в качестве транзистора $VT1$ могут использоваться и МДП-транзисторы.

Пример 6.12. Определить максимальный ток коллектора в схеме на рис. 6.28 на транзисторах: $VT1$ —КП302Б; $I_{C \text{ нач}} = 18 \dots 43$ мА; $VT2$ —КТ817А; $h_{21Э} = 25$; $R_{см} = 1$ кОм; $r_B = 10$ Ом; $U_{БЭ0} = 0,75$ В.

Решение. 1. Возможный диапазон изменения базового тока транзистора $VT2$

$$I_B = I_{C \text{ нач}} - U_{БЭ} / R_{см};$$

$$U_{БЭ} = U_{БЭ0} + r_B I_B;$$

$$I_B = (I_{C \text{ нач}} R_{см} - U_{БЭ0}) / (R_{см} + r_B);$$

$$I_{B \text{ max}} = (43 \cdot 1 - 0,75) / (1 + 0,01) = 41,83 \text{ мА};$$

$$I_{B \text{ min}} = (18 \cdot 1 - 0,75) / (1 + 0,01) = 17,08 \text{ мА}.$$

2. Возможный диапазон изменения максимального тока коллектора транзистора $VT2$

$$I_{K \text{ min}} = I_{B \text{ min}} h_{21Э} = 17,08 \cdot 25 = 427 \text{ мА};$$

$$I_{K \text{ max}} = I_{B \text{ max}} h_{21Э} = 1,046 \text{ А}.$$

6.8. ДИФФЕРЕНЦИАЛЬНЫЙ УСИЛИТЕЛЬ

В настоящее время, особенно при разработке интегральных схем, широкое распространение получили так называемые дифференциальные усилители. По принципу построения это балансные (мостовые) усилительные каскады параллельного типа. Они обладают высокой стабильностью параметров при воздействии различных дестабилизирующих факторов, большим коэффициентом усиления дифференциальных сигналов и высокой степенью подавления синфазных помех. Все это выгодно отличает данный тип каскадов от рассмотренных ранее.

По структуре такой каскад, по существу, состоит из двух каскадов, у которых используется общий эмиттерный резистор (его типовая схема приведена на рис. 6.29, а). Элементы схемы образуют мост (рис. 6.29, б), в одну диагональ которого включен источник питания с напряжением U_n , а в другую — сопротивление нагрузки R_n . Используя эту схему, легко получить условие баланса моста, т. е. условие, при котором его выходное напряжение будет равняться нулю

$$U_a = U_n R_{VT1} / (R_{VT1} + R_{K1}) = U_b = U_n R_{VT2} / (R_{VT2} + R_{K2})$$

или

$$R_{VT1} R_{K2} = R_{VT2} R_{K1}. \quad (6.53)$$

Нарушение условия (6.53) приводит к разбалансировке моста и появлению выходного напряжения, пропорционального возникшему разбалансу. Такой разбаланс может вызываться, например, изменением выходных сопротивлений транзисторов R_{VT1} и R_{VT2} , которые, в свою очередь, зависят от входных напряжений $U_{вх1}$ и $U_{вх2}$.

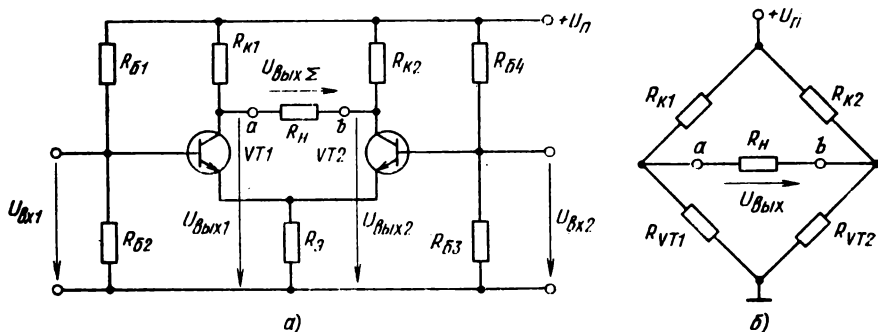


Рис. 6.29. Дифференциальный усилительный каскад (а) и его схема замещения (б)

Можно утверждать, что если элементы схемы на рис. 6.29, а будут полностью идентичны, выходное напряжение при действии любых дестабилизирующих факторов будет оставаться постоянным.

Действительно, для выходного напряжения каскада справедливо выражение

$$U_{\text{вых}} = \varphi_a - \varphi_b = U_{\text{п}} \left| \frac{R_{VT1}}{R_{VT1} + R_{K1}} - \frac{R_{VT2}}{R_{VT2} + R_{K2}} \right|. \quad (6.54)$$

Если мост сбалансирован, т. е. выполнено условие (6.53), то любые изменения напряжения питания не вызовут изменение выходного напряжения.

Это же выражение можно переписать через коллекторные токи транзисторов

$$U_{\text{вых}} = \Delta I_{K1} R_{K1} - \Delta I_{K2} R_{K2}.$$

Если параметры транзисторов идентичны, то изменение температуры приведет к одинаковым изменениям токов обоих транзисторов. В результате абсолютное значение выходного напряжения остается неизменным.

Следует обратить внимание, что дифференциальный усилитель имеет по два входа и выхода, т. е. на него можно подавать и снимать симметричные приращения сигналов. Поэтому для выходного напряжения можно записать

$$U_{\text{вых}} = U_{\text{вых1}} - U_{\text{вых2}} = -K_1 U_{\text{вх1}} - (-K_2 U_{\text{вх2}}),$$

где K_1 — коэффициент усиления каскада на транзисторе VT1; K_2 — коэффициент усиления каскада на транзисторе VT2.

В общем случае $U_{\text{вх1}} = -U_{\text{вх2}}$ и $U_{\text{вх}} = U_{\text{вх1}} - U_{\text{вх2}} = 2U_{\text{вх1}}$.

Используя последнее выражение, с учетом (6.54) окончательно получим

$$U_{\text{вых}} = -U_{\text{вх}} (K_1 + K_2)/2 = -U_{\text{вх}} K_{\text{д}}, \quad (6.55)$$

где $K_{\text{д}} = (K_1 + K_2)/2$ — коэффициент усиления дифференциального усилителя.

Определим, как зависит коэффициент усиления дифференциального усилителя от параметров его элементов. Если дифференциальный усилитель рассматривать как два каскада, выполненных по схеме с общим эмиттером, то для каждого из них в соответствии с (6.13) можно записать

$$K_U = (U_{\text{вых}}/2)/(U_{\text{вх}}/2) = R_K h_{21Э}/(h_{11Э} + h_{21Э} R_3).$$

Здесь $h_{21Э} R_3$ отражает влияние последовательной ООС по току на коэффициент усиления по напряжению. Для дифференциального усилителя приращения напряжения на его входах имеют проти-

воположные знаки. Поэтому приращения как коллекторного, так и эмиттерного токов также имеют противоположные знаки. Изменения коллекторных потенциалов обоих транзисторов, вызванные противоположными по знаку приращениями коллекторных токов, протекающих через различные резисторы, приводят к появлению выходного напряжения

$$\Delta U_{\text{вых}} = \Delta I_{K1} R_{K1} - (-\Delta I_{K2} R_{K2}) = R_K (\Delta I_{K1} + \Delta I_{K2}).$$

На общем эмиттерном резисторе изменение эмиттерных токов даст соответственно приращение

$$\Delta U_{\Sigma} = R_{\Sigma} (\Delta I_{\Sigma 1} - \Delta I_{\Sigma 2}).$$

Если параметры обеих половин дифференциального усилителя одинаковы, то $|\Delta I_{\Sigma 1}| = |\Delta I_{\Sigma 2}|$ и $\Delta U_{\Sigma} = 0$.

Как уже отмечалось, напряжение ΔU_{Σ} отражает действие в каскаде, выполненном по схеме с общим эмиттером, последовательной ООС по току нагрузки. Отсутствие этого напряжения говорит о том, что в полностью симметричном дифференциальном каскаде как по постоянному, так и по переменному токам действие ООС отсутствует. Поэтому для коэффициента усиления по напряжению справедливо ранее полученное для каскада с общим эмиттером без обратной связи выражение

$$K_{\Delta y} = h_{21\Xi} R_K / h_{11\Xi}. \quad (6.56)$$

На основании сказанного можно сделать следующий вывод. *Коэффициент усиления по напряжению дифференциального усилителя при равной температурной стабильности всегда больше, чем в каскаде на одиночном транзисторе.*

В отличие от полезного сигнала, напряжения, вызванные действием различных возмущающих факторов, таких, как изменение температуры, напряжения питания и т. п., действуют на оба входа дифференциального усилителя в фазе. Такие напряжения принято называть синфазными. Согласно сказанному $U_{1\text{вх сф}} = U_{2\text{вх сф}} = U_{\text{вх сф}}$.

Для синфазных сигналов (по аналогии с проделанным выше) можно записать

$$\begin{aligned} U_{\text{вых сф}} &= -U_{\text{вх сф}} K_1 - (-U_{\text{вх сф}} K_2) = -U_{\text{вх сф}} (K_1 - K_2) = \\ &= -U_{\text{вх сф}} K_{\text{сф}}, \end{aligned} \quad (6.57)$$

где $K_{\text{сф}}$ — коэффициент усиления синфазных входных напряжений.

Из полученного выражения вытекает сделанный нами априори вывод о том, что при одинаковых параметрах обеих половин схемы выходное напряжение дифференциального усилителя не зависит от действия внешних дестабилизирующих факторов.

В реальном усилителе из-за неизбежной асимметрии схемы $K_1 \neq K_2$ и поэтому происходит лишь частичная компенсация изменений выходного напряжения, вызванного действием внешних дестабилизирующих факторов. Причем, чем ближе свойства входящих в схему элементов, тем меньше дрейф нуля каскада.

Степень компенсации дрейфа нуля принято характеризовать коэффициентом подавления синфазных входных напряжений дифференциального усилителя.

Под коэффициентом подавления входных синфазных напряжений понимают отношение приращений синфазного и дифференциального входных напряжений, вызвавших одинаковое изменение выходного напряжения дифференциального усилителя.

Согласно данному определению $U_{\text{вых}} = U_{\text{вх}} K_{UK} = U_{\text{вх сф}} K_{\text{сф}}$, откуда

$$K_{\text{п сф}} = U_{\text{вх сф}} / U_{\text{вх}} = K_{UK} / K_{\text{сф}}. \quad (6.58)$$

Величина $K_{\text{п сф}}$ в современных дифференциальных усилителях достигает 10 000 ... 100 000, т. е. 80 ... 100 дБ.

Для выявления факторов, влияющих на величину $K_{\text{п сф}}$, рассмотрим более подробно поведение дрейфовых составляющих в дифференциальном каскаде.

Если рассматривать дифференциальный усилитель как две самостоятельных схемы, то величину дрейфа для каждой из них можно рассчитать из следующих соображений. Для переменных составляющих в эмиттерной цепи каждого отдельно взятого каскада включено сопротивление, образованное параллельным соединением резистора R_3 и входного сопротивления второго транзистора, включенного по схеме с общей базой (рис. 6.30). При этом $R_{\text{вх об}} \ll R_3$ и можно полагать, что в эмиттерной цепи транзистора включено низкоомное сопротивление $R_{\text{вх об}} = r_3 + r_6 / (h_{213} + 1)$. Заменяв в выражении (6.19) R_3 на $R_{\text{вх об}}$, можно рассчитать $\Delta I_{\text{кп1}}$ и $\Delta I_{\text{кп2}}$, а, следовательно, и абсолютные значения входного дрейфа каждого одиночного каскада $U_{\text{др1}}$ и $U_{\text{др2}}$.

Однако рассматривая только дрейфовые составляющие, можно считать, что входы дифференциального усилителя по переменной составляющей соединены с общей шиной. Тогда реальный приведенный дрейф на входе каждого транзистора будет складываться из собственного дрейфа, рассчитанного для одиночного каскада, и части дрейфа второго транзистора, рассчитанного как для одиночного каскада, но переданного на вход первого транзистора с коэффициентом передачи $Y_{\text{п}} = R_3 / (R_3 + R_{\text{вх об}})$. Знаки обеих составляющих дрейфа, действующих на входе каждого транзистора, противоположны и поэтому компенсируют друг друга. В соответствии со сказанным, для суммарного приведенного ко входу каждого транзистора дрейфа можно записать

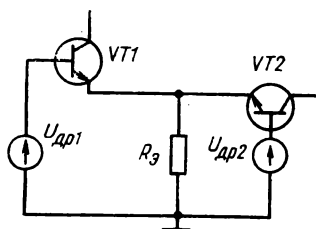


Рис. 6.30. К определению дрейфа нуля дифференциального усилителя

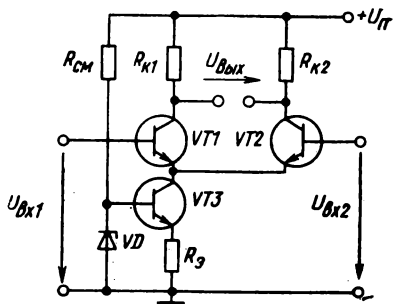


Рис. 6.31. Дифференциальный усилительный каскад с нелинейным двухполюсником в цепи эмиттеров

$$U_{1др пр} = U_{1др} - Y_{п} U_{2др}; \quad (6.59)$$

$$U_{2др пр} = U_{2др} - Y_{п} U_{1др}.$$

Очевидно, что если $Y_{п} \rightarrow 1$ и параметры транзисторов идентичны, то $U_{др} \rightarrow 0$. Таким образом, для уменьшения приведенного дрейфа, а, следовательно, и влияния синфазной составляющей входного напряжения необходимо стремиться к выполнению условия

$$R_{з} \gg R_{вх об}. \quad (6.60)$$

При постоянном значении $R_{вх об}$, выполнение неравенства (6.60) может быть достигнуто только за счет увеличения $R_{з}$.

Следует напомнить, что синфазная составляющая определяется не только температурными изменениями параметров транзистора дифференциального усилителя. Она зависит и от изменения напряжения питания, старения элементов и т. п.

Таким образом, из условия (6.60) вытекают два направления снижения дрейфа нуля дифференциального усилителя: подбор пар транзисторов с одинаковыми параметрами; увеличение $R_{з}$.

Реализация первого направления достигается чисто технологическим путем за счет одновременного изготовления обоих транзисторов дифференциального усилителя на общем кристалле, т. е. применением методов интегральной технологии.

Второе направление не может быть решено технологическим путем. Увеличение $R_{з}$ наталкивается на ограничения, связанные с максимально допустимым напряжением питания усилителя. Действительно, увеличение $R_{з}$ приводит к тому, что уменьшается напряжение между выводами эмиттера и коллектора транзисторов

дифференциального каскада. Следовательно, при этом падает амплитуда выходного сигнала усилителя.

По той же причине увеличение R_3 ограничивает увеличение R_k , что, согласно (6.57), снижает коэффициент усиления каскада.

Решить это противоречие можно при использовании в эмиттерной цепи дифференциального усилителя не пассивного резистора R_3 , а нелинейного двухполюсника, например транзисторного источника тока на биполярном или полевом транзисторе. Как было показано ранее, эти схемы при небольшом статическом сопротивлении обладают большим дифференциальным сопротивлением, т. е. при небольшом падении напряжения имеют большое внутреннее сопротивление для переменных составляющих. Схема дифференциального усилителя, в котором в качестве эмиттерного резистора использован биполярный транзистор, работающий в режиме источника тока, приведена на рис. 6.31.

Для увеличения коэффициента усиления в дифференциальных усилителях часто вместо резисторов R_k используют активную нагрузку, выполненную на биполярных или полевых транзисторах. Рассмотрим пример такого схемотехнического решения. На рис. 6.32 приведена схема дифференциального каскада, у которого в качестве нагрузки использована схема «токового зеркала». Нагрузочное «токовое зеркало» образовано $p-n-p$ -транзисторами $VT3$ и $VT4$. Предположим, что в установившемся режиме выполняется условие $i_1 = i_2 = i_3 = i_4 = i_{кп}$. Следовательно, выходной ток каскада, равный разности токов транзисторов $VT4$ и $VT2$, равен нулю: $i_{вых} = i_4 - i_2 = 0$.

Предположим, что в некоторый момент времени на входы дифференциального усилителя поданы напряжения, вызвавшие изменения коллекторных токов транзисторов $VT1$ и $VT2$ на Δi_k . Тогда

$$i_1 = i_{кп} + \Delta i_k = i_3 = i_4;$$

$$i_2 = i_{кп} - \Delta i_k;$$

$$i_{вых} = i_4 - i_2 = i_{кп} + \Delta i_k - i_{кп} + \Delta i_k = 2\Delta i_k.$$

Таким образом, все изменения токов коллекторов транзисторов $VT1$ и $VT2$ будут протекать через внешнюю нагрузку дифференциального усилителя, что предполагает получение максимально достижимого в каскаде коэффициента усиления. Абсолютное значение коэффициента усиления определяется только сопротивлением внешней нагрузки.

На рис. 6.32 схема «токового зеркала» использована дважды. Второе «токовое зеркало», выполненное на транзисторах $VT5$ и $VT6$, использовано в качестве эмиттерного сопротивления. Значение суммарного эмиттерного тока каскада задано резистором R_1 .

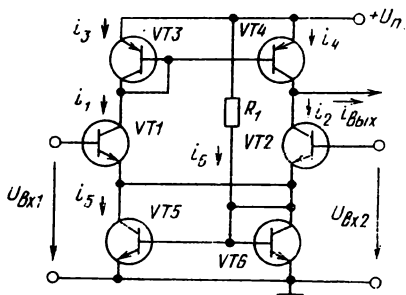


Рис. 6.32. Дифференциальный усилительный каскад с динамической нагрузкой

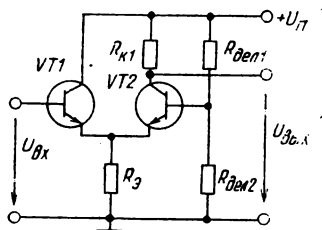


Рис. 6.33. Дифференциальный усилительный каскад с несимметричным входом и выходом

Несомненным достоинством рассматриваемой схемы является возможность ее использования с дифференциальными и реверсивными нагрузками, требующими для своей нормальной работы изменения не только величины, но и полярности приложенного напряжения.

На практике дифференциальный каскад может использоваться как с симметричными, так и несимметричными входами и выходами. Схема с несимметричным выходом применяется, как правило, для согласования дифференциального усилителя с каскадами, выполненными на одиночных транзисторах. При этом резистор в цепи транзистора, не связанного с выходом усилителя, в общем случае может отсутствовать.

Если к дифференциальному усилителю необходимо подключить каскад с несимметричным выходом, напряжение неиспользуемого входа, как правило, фиксируют на неизменном уровне. Для этой цели может быть использован дополнительный делитель напряжения. Пример каскада с несимметричными входом и выходом приведен на рис. 6.33.

Следует отметить, что отсутствие второго коллекторного резистора приводит к уменьшению суммарного коэффициента усиления каскада, а использование несимметричных входов и выходов усилителя — к увеличению величины его дрейфа.

Входное сопротивление дифференциального усилителя может быть существенно увеличено при использовании в каскаде полевых транзисторов. При построении таких схем предпочтение отдается полевым транзисторам с управляющим $p-n$ -переходом. Это обусловлено следующими причинами:

- более высокой стабильностью их характеристик;
- большой электрической прочностью затвора (меньше боится пробоя статическим электричеством);

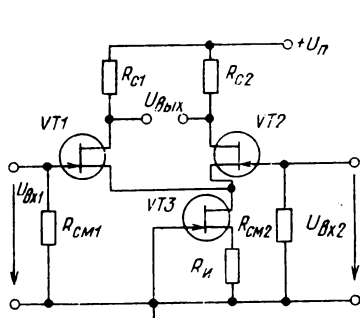


Рис. 6.34. Дифференциальный усилительный каскад на полевых транзисторах

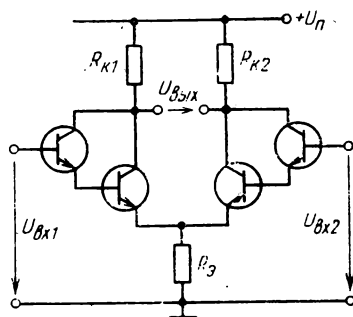


Рис. 6.35. Дифференциальный усилительный каскад на составных транзисторах

большей допустимой разностью входных напряжений (до 20 ... 30 В).

Типовая схема дифференциального каскада на транзисторе с управляющим p - n -переходом и каналом n -типа приведена на рис. 6.34. Особенностью этой схемы является использование в качестве источника тока задающего элемента источника тока на полевом транзисторе $VT3$ и резисторе R_H . Резисторы R_{CM1} и R_{CM2} (как и в схеме на рис. 6.12) предназначены для задания начального смещения на затворах транзисторов $VT1$ и $VT2$.

Входное сопротивление дифференциального усилителя, выполненного на биполярных транзисторах, тоже может быть значительно увеличено при использовании в каскаде составных транзисторов. Следствием этого является уменьшение входного тока усилителя, что крайне важно при его использовании в виде интегральной схемы.

Схема дифференциального усилителя на составных транзисторах приведена на рис. 6.35. Применение составных транзисторов (кроме увеличения входного сопротивления) позволяет значительно поднять усиление каскада.

Иногда для увеличения входного сопротивления дифференциального каскада в нем используют комбинированные составные транзисторы, аналогичные приведенным на рис. 6.28.

6.9. МНОГОКАСКАДНЫЕ УСИЛИТЕЛИ

Типы усилителей. Как правило, коэффициент усиления одночного транзисторного каскада не превышает нескольких десятков. Поэтому в случае необходимости получения больших значений коэффициента усиления, как отмечалось в гл. 5, используют многокаскадные усилители, построенные путем последовательного со-

соединения нескольких одиночных каскадов. При таком соединении встает проблема согласования входных и выходных сигналов различных каскадов как по постоянному, так и по переменному току.

Ранее отмечалось, что усилительные устройства могут классифицироваться, в частности, и по виду межкаскадных связей. При этом было выделено две группы усилителей: усилители переменного тока; усилители постоянного тока.

К первой группе относятся усилители с трансформаторными и RC -связями. Вторую группу, в основном, представляют усилители с гальваническими связями.

Особенностью усилителей первой группы является отсутствие между отдельными каскадами связи по постоянному току. Ввиду этого в каждом отдельном каскаде можно установить наиболее оптимальный режим работы по постоянному току, например с точки зрения коэффициента усиления или вносимых искажений. Однако, если в этих усилителях входной сигнал кроме переменной содержит и постоянную составляющую, то после усилителя информация о постоянной составляющей будет потеряна.

В усилителях с гальваническими связями необходимо заботиться о согласовании сигналов как по постоянному, так и по переменному току. Это накладывает определенные ограничения на выбор режимов работы транзисторов и в большинстве случаев существенно затрудняет проектирование усилителя. Ниже рассмотрим проектирование усилителей с RC - и гальваническими связями, как наиболее совместимые с методами современной технологии.

Усилители с RC -связями. Основной проблемой, с которой приходится сталкиваться при проектировании усилителей переменного тока с RC -связями, является проблема правильного выбора элементов межкаскадной связи. Именно эти элементы в большей степени определяют полосу пропускания усилителя. Поэтому основным критерием выбора элементов межкаскадной связи является уровень вносимых частотных искажений. Задача расчета — обеспечить уровень вносимых искажений не больше заданного, т. е. обеспечить требуемую полосу пропускания усилителя.

Принципы расчета цепей межкаскадных связей едины для усилителей как на биполярных, так и полевых транзисторах. Поэтому методику их расчета рассмотрим на примере усилителя на биполярных транзисторах, выполненного по схеме с общим эмиттером.

Схема транзисторного каскада с элементами RC -связи приведена на рис. 6.36. Конденсаторы C_{p1} и C_{p2} предназначены для разделения режимов отдельных каскадов по постоянному току и называются разделительными. Очевидно, что для последующего каскада выходной разделительный конденсатор C_{p2} выполняет роль входного. Поэтому для одиночного каскада расчет сводится к выбору разделительного конденсатора C_{p1} .

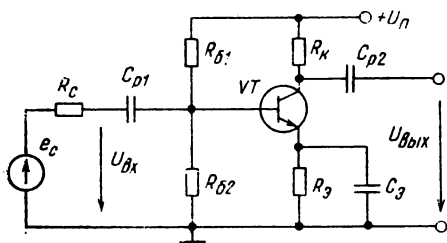


Рис. 6.36. Усилительный каскад с RC-связями

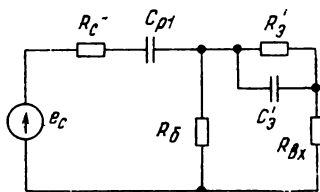


Рис. 6.37. Схема замещения усилительного каскада с RC-связями

В схеме, приведенной на рис. 6.36, присутствует еще один конденсатор — C_3 . Его назначение, как было показано в § 6.1, состоит в увеличении коэффициента усиления каскада по переменной составляющей. Следовательно, конденсатор C_3 также формирует частотную характеристику усилителя. Поэтому его расчет целесообразно проводить совместно с расчетом цепей межкаскадной связи.

Входная цепь каскада, приведенного на рис. 6.36, в области средних частот может быть представлена схемой замещения, показанной на рис. 6.37. На этом рисунке обозначено:

$R_{\delta} = R_{\delta 1} R_{\delta 2} / (R_{\delta 1} + R_{\delta 2})$ — эквивалентное сопротивление входного делителя по переменному току;

$R_3' = h_{213} R_3$ — приведенное к базовой цепи сопротивление резистора R_3 ;

$C_3' = C_3 / h_{213}$ — приведенное к базовой цепи значение емкости конденсатора C_3 ;

R_c — выходное сопротивление источника входного сигнала;

$R_{\text{вх}} = h_{113}$ — собственное входное сопротивление транзистора. Очевидно, что для последующего каскада сопротивление R_c определяется выходным сопротивлением предыдущего каскада

$$R_c = R_{\text{вх}} = R_K R_{\text{вх}} VT / (R_K + R_{\text{вх}} VT) \approx R_K.$$

Приведение R_3 к базовой цепи выполнено из условия $R_3' = R_3 h_{213}$, а C_3 — из условия постоянства вносимой этими двумя элементами постоянной времени $\tau = R_3 C_3 = R_3' C_3'$.

Рассматриваемая схема содержит две реактивности, следовательно, она описывается дифференциальным уравнением второго порядка, и ее передаточная функция имеет второй порядок.

Если выполнить указанные ранее условия (см. § 5.5) о соблюдении свойств однонаправленности передачи сигнала и разнесении постоянных времени, характеризующих воздействие отдельных реактивностей на суммарную частотную характеристику,

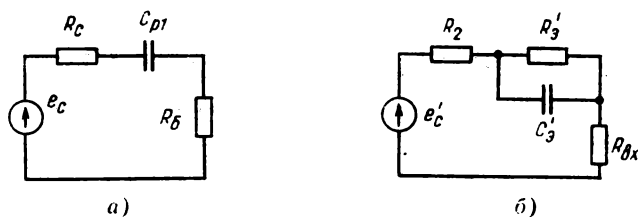


Рис. 6.38. Представление схемы замещения (рис. 6.37) элементарными звеньями

схему замещения на рис. 6.37 можно разделить на две независимые цепи первого порядка. Это существенно упрощает расчет усилителя. При этом, чем более жестко будут выполняться указанные выше условия, тем точнее будет полученный результат.

Предположим, что указанные выше условия выполняются путем разнесения постоянных времени. Тогда схему на рис. 6.37 можно разделить на две самостоятельные цепи, показанные на рис. 6.38, а, б.

Сопротивление R_2 на рис. 6.38, б представляет выходное сопротивление схемы на рис. 6.38, а. При выполнении условия разнесения постоянных времени для сопротивления R_c справедливо выражение

$$R_2 = R_c R_6 / (R_c + R_6).$$

Передаточные функции для полученных схем замещения имеют соответственно вид

$$W_1(p) = T_{11} p / (T_{12} p + 1);$$

$$W_2(p) = K (T_{21} p + 1) / (T_{22} p + 1),$$

где

$$T_{11} = R_6 C_{p1}, \quad T_{12} = (R_c + R_6) C_{p1};$$

$$T_{21} = R'_3 C'_3;$$

$$T_{22} = (R_2 + R_{Bx}) C'_3 R'_3 / (R_2 + R_{Bx} + R'_3);$$

$$K = R_{Bx} / (R_2 + R_{Bx} + R'_3).$$

Справедливость такого разбиения будет соблюдаться при $T_{12} \gg T_{21}$. Проиллюстрируем сказанное частотной характеристикой рассматриваемого каскада.

Передаточная функция $W_1(p)$ в числителе содержит идеальное дифференцирующее звено, асимптотическая частотная характеристика которого согласно табл. 5.1 имеет наклон $+20$ дБ/дек. Этот наклон будет сохраняться от очень низкой (практически нулевой) частоты до частоты, определяемой постоянной времени знаменателя, $\omega_{12} = 1/T_{12}$ (рис. 6.39).

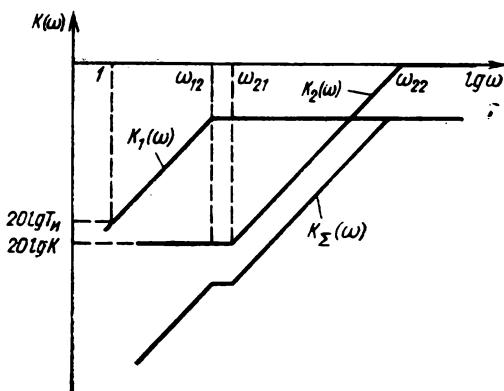


Рис. 6.39. ЛАЧХ схемы замещения усилительного каскада

Передаточная функция $W_2(p)$ обеспечивает на низких частотах (вплоть до частоты $\omega_{21}=1/T_{21}$) нулевой наклон частотной характеристики, а далее для частоты $\omega > \omega_{21}$ наклон $+20$ дБ/дек. Так как $T_{22} < T_{21}$, этот наклон будет продолжаться до частоты $\omega_{22} = 1/T_{22}$, после которой знаменатель $W_2(p)$ даст асимптоту с наклоном -20 дБ/дек. Следовательно, после $\omega = \omega_{22}$ суммарный наклон частотной характеристики второго звена будет равен нулю. Если $\omega_{12} \leq \omega_{21}$, а это необходимо для достоверности приведенных выражений, то суммарную частотную характеристику каскада можно построить простым суммированием обеих полученных характеристик.

Таким образом, разделительные и эмиттерные цепи усилительного каскада формируют низкочастотную часть частотной характеристики усилительного каскада и легко могут быть рассчитаны либо по заданной низкочастотной границе полосы пропускания, либо по требуемой величине частотных искажений.

При расчете реальных частотозависимых цепей необходимо помнить, что:

логарифмическая амплитудная частотная характеристика усилителя строится в масштабе круговой частоты ω , поэтому, если нижняя частота пропускания усилителя задана в герцах, ее необходимо перевести в круговую частоту с учетом соотношения $\omega_n = 2\pi f_n$;

на частоте среза отличие реальной и асимптотической характеристик составляет 3 дБ, поэтому при расчете многокаскадного усилителя расчетное значение частот среза отдельных звеньев необходимо выбирать с соответствующим запасом. При этом удобно пользоваться графиком на рис. 6.40, позволяющим в зависимости

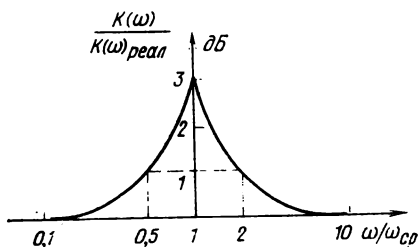


Рис. 6.40. Отличие реальной и асимптотической частотных характеристик

от отношения частот определить расхождение реальной и асимптотической характеристик.

Следует напомнить, что если в усилителе не предусмотрено формирование высокочастотной части его характеристики, то верхняя граница полосы пропускания будет определяться собственными частотными свойствами используемых полупроводниковых приборов.

Рассмотрим в качестве примера схему трехкаскадного усилителя переменного тока, приведенную на рис. 6.41. Особенности схемы являются:

использование в первом и втором каскадах схем усиления с общим эмиттером, причем для обеспечения температурной стабилизации режима покоя в каждом из них использована последовательная ООС по току нагрузки;

выполнение третьего каскада по схеме эмиттерного повторителя, что уменьшает выходное сопротивление усилителя;

использование для формирования высокочастотной части характеристики цепи общей последовательной ООС по выходному напряжению, что увеличивает входное и уменьшает выходное сопротивление усилителя. Для введения этой связи эмиттерный резистор транзистора VT1 разбит на два последовательно включенных.

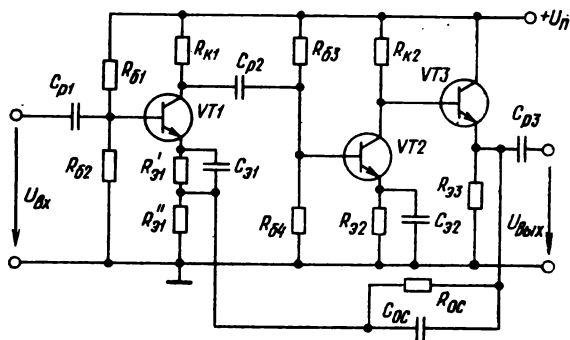


Рис. 6.41. Схема трехкаскадного усилителя переменного тока с RC-связи

Это позволяет в первом каскаде при требуемой стабильности режима покоя сохранить достаточный коэффициент усиления по переменному току.

Пример 6.13. Рассчитать усилитель по схеме на рис. 6.41, для следующих исходных данных: $U_n=20$ В; $R_n=51$ Ом; $f_n=20$ Гц; $f_a=2 \cdot 10^4$ Гц; $K_{U\pi}=100$; $U_m=7$ В.

Решение. 1. Рассчитаем каскад на транзисторе VT3. Максимальный эмиттерный ток транзистора VT3 определим в предположении, что на рабочей частоте резисторы $R_{\Sigma 3}$ и R_n включены параллельно

$$I_{\Sigma 3 \max} = 2U_{m \text{ вых}}(R_{\Sigma 3} + R_n)/(R_{\Sigma 3}R_n).$$

Минимальное падение напряжения на резисторе R_{k2}

$$U_{R_{k2} \min} = U_n - 2U_{m \text{ н}} - U_{БЭ3} - U_{КЭ2}.$$

Сопротивление резистора R_{k2}

$$R_{k2} = U_{R_{k2} \min} (h_{21Э3} + 1) / I_{\Sigma 3 \max}.$$

Для обеспечения термостабильности каскада согласно (6.21) имеем $R_6 = R_{\Sigma}(S_i - 1)$, где $S_i = 2 \dots 5$ — коэффициент неустойчивости. Тогда, так как для каскада на транзисторе VT3 $R_6 = R_{k2}$, получаем

$$U_{R_{k2} \min} (h_{21Э3} + 1) / I_{\Sigma 3 \max} = R_{\Sigma 3}(S_i - 1).$$

Для выбора типа выходного транзистора допустим $R_n = R_{\Sigma 3}$. Тогда транзистор должен отвечать следующим требованиям:

$$I_{K \max \text{ доп}} \geq 2U_{m \text{ вых}}(2/R_n) = 0,55 \text{ А};$$

$$U_{КЭ \max \text{ доп}} \geq U_n = 20 \text{ В};$$

$$f_p \geq f_a = 2 \cdot 10^4 \text{ Гц};$$

$$P_K \geq (U_n - U_m)^2 / R_n = (20 - 7)^2 / 51 = 3,31 \text{ Вт}.$$

По приведенным данным выбираем транзистор КТ815А: $U_{КЭ} = 40$ В; $I_{K \max} = 1,5$ А; $P_K = 10$ Вт; $h_{21Э} = 40$; $f_{гр} = 5$ МГц.

Полагая $U_{R_{\Sigma 2}} = 2$ В, $S_i = 5$, $U_{БЭ3} = 0,8$ В, с учетом выражения для минимального напряжения на резисторе R_{k2} найдем

$$R_{\Sigma 3} = \left[\frac{U_{R_{\Sigma 2} \min} (h_{21Э} + 1)}{2U_m (S_i - 1)} - 1 \right] R_n = 51 \cdot \left[\frac{3,2(40 + 1)}{2 \cdot 7(5 - 1)} - 1 \right] = 188 \text{ Ом}.$$

Принимаем $R_{\Sigma 3} = 180$ Ом.

2. Рассчитаем каскад на транзисторе VT2:

$$R_{k2} = \frac{3,2(40 + 1) \cdot 51 \cdot 180}{2 \cdot 7(180 + 51)} = 372 \text{ Ом}.$$

Принимаем $R_{k2} = 360$ Ом.

Ток покоя транзистора VT2

$$I_{K2\text{ л}} = \frac{U_{\text{п}} - U_{R_{\text{э2}}} - U_{\text{м}} - U_{\text{БЭз}}}{R_{K2}} = \frac{20 - 2 - 7 - 0,8}{360} = 28 \text{ мА.}$$

$$R_{\text{э2}} \approx U_{R_{\text{э2}}} / I_{K2\text{ л}} = 2/28 = 71 \text{ Ом.}$$

Принимаем $R_{\text{э2}} = 68 \text{ Ом.}$

Транзистор VT2 должен отвечать следующим требованиям:

$$I_{K\text{ макс доп}} \geq U_{\text{п}} / R_{K2} = 55 \text{ мА; } U_{KЭ\text{ макс доп}} > U_{\text{п}} = 20 \text{ В; } f_p \geq 2 \cdot 10^4 \text{ Гц;}$$

$$P_{K\text{ макс доп}} \geq I_{K\text{ л}} U_{KЭ\text{ л}} = 28 \cdot 7 = 196 \text{ мВт.}$$

Выбираем транзистор КТ503Б: $U_{KЭ\text{ макс доп}} = 25 \text{ В; } I_{K\text{ макс доп}} = 150 \text{ мА; } P_{K\text{ макс доп}} = 350 \text{ мВт; } h_{21Э} = 80 - 120; f_{\text{гр}} = 5 \text{ МГц.}$

Согласно выражению (6.21) получим

$$R_{\text{б2}} = R_{\text{э2}} (S_i - 1) = 68 (5 - 1) = 272 \text{ Ом.}$$

Тогда

$$(R_{\text{б3}} R_{\text{б4}}) / (R_{\text{б3}} + R_{\text{б4}}) = R_{\text{б2}};$$

$$U_{\text{п}} R_{\text{б4}} (R_{\text{б3}} + R_{\text{б4}}) = U_{R_{\text{э2}}} + U_{\text{БЭз}} = U_{\text{б2}}.$$

Из приведенных выражений при условии $U_{\text{Бз}} = 0,75 \text{ В}$ найдем

$$R_{\text{б4}} = \frac{R_{\text{б2}} U_{\text{п}}}{U_{\text{п}} - U_{\text{б2}}} = \frac{272 \cdot 20}{20 - 2,75} = 315 \text{ Ом} = 330 \text{ Ом.}$$

$$R_{\text{б3}} = \frac{U_{\text{п}} - U_{\text{б2}}}{U_{\text{Бз}}} R_{\text{б4}} = \frac{20 - 2,75}{2,75} \cdot 330 = 2070 \text{ Ом} = 2,0 \text{ кОм;}$$

Ток покоя базы транзистора VT2

$$I_{\text{Б2л}} = I_{K2\text{ л}} / h_{21Э} = 28/80 = 0,35 \text{ мА.}$$

Ток делителя на резисторах $R_{\text{б3}}, R_{\text{б4}}$

$$I_{\text{дел}} = U_{\text{п}} / (R_{\text{б3}} + R_{\text{б4}}) = 20 / (2,0 + 0,33) = 8,58 \text{ мА;}$$

$I_{\text{дел}} \gg I_{\text{Б2л}}$ — отвечает условию независимости выходного напряжения делителя $U_{\text{Б2}}$ от тока базы VT2.

Сопротивление нагрузки каскада на транзисторе VT2

$$R_{\text{н}} = R_{K2} \parallel (R_{\text{э3}} \parallel R_{\text{н}}) h_{21Э3} = 293 \text{ Ом.}$$

Коэффициент усиления каскада на транзисторе VT2 без учета действия цепи местной ООС ($R_{\text{вх}} = 230 \text{ Ом}$)

$$K_{\text{ук}} \approx R_{\text{н}} h_{21Э} / R_{\text{вх}} = 293 \cdot 80 / 230 = 101,9 \approx 102.$$

Сопротивление нагрузки для каскада на транзисторе VT1 по переменному току

$$1/R_{\text{н2}} = 1/R_{\text{б3}} + 1/R_{\text{б4}} + 1/R_{\text{вх}} = 1/2,0 + 1/0,33 + 1/0,23;$$

$$R_{\text{н2}} = 127 \text{ Ом.}$$

3. Рассчитаем каскад на транзисторе VT1.

Резистор $R_{к1}$ определим из условия

$$R_{к1} \gg R_{н2}.$$

Принимаем $R_{к1} = 1$ кОм.

Ток покоя транзистора $VT1$ в предположении, что $U_{к1} = U_{п}/2$, равен $I_{к1п} = (U_{п} - U_{к1})/R_{к1} = 10$ мА.

Транзистор $VT1$ выбираем из условий:

$$I_{к \text{ max доп}} > U_{п}/R_{к1} = 20 \text{ мА}; \quad U_{кз \text{ max доп}} > U_{п} = 20 \text{ В}; \quad f_p \gg 2 \cdot 10^4;$$

$$P_{к \text{ max доп}} \gg I_{к1п} U_{кзп} = 100 \text{ мВт}.$$

Этим требованиям удовлетворяет транзистор КТ315Б: $U_{кз} = 20$ В; $I_{к} = 100$ мА; $P_{к} = 150$ мВт; $h_{21э} = 50 \dots 350$; $f_{гп} = 250$ МГц.

Ток покоя базы транзистора $VT1$

$$I_{б1п} = I_{к1п}/h_{21э \text{ min}} = 10/50 = 0,2 \text{ мА}.$$

Принимаем ток делителя на резисторах $R_{б1}$, $R_{б2}$ равным $I_{дел1} = 10 I_{б1п}$. Тогда

$$R_{б1} + R_{б2} = U_{п}/I_{д1} = 20/(10 \cdot 0,2) = 10 \text{ кОм}.$$

Значение $R_{з1} = R'_{з1} + R''$, найдем из условия (6.21) в предположении $S_i = 5,5$ и $U_{БЭ1} = 0,75$ В

$$R_{б1} R_{б2} / (R_{б1} + R_{б2}) = R_{з1} (S_i - 1);$$

$$U_{п} R_{б2} / (R_{б1} + R_{б2}) \approx U_{БЭ1} + I_{к} R_{з1}.$$

Решая приведенные уравнения и округляя полученные значения до ближайших из стандартного ряда величин, найдем $R_{з1} = 390$ Ом:

$$R_{б2} = \frac{(U_{БЭ1} + I_{к} R_{з1})(R_{б1} + R_{б2})}{U_{п}} \approx \frac{(0,75 + 10 \cdot 0,39) \cdot 10}{20} \approx 2,3 \text{ кОм}.$$

Принимаем $R_{б2} = 2,4$ кОм;

$$R_{б1} = 10 - R_{б2} = 10 - 2,4 = 7,6 \text{ кОм}. \text{ Принимаем } R_{б1} = 7,5 \text{ кОм}.$$

Для введения общей цепи ООС резистор $R_{з1}$ разделяем в соотношении $R'_{з1} = 360$ Ом; $R''_{з1} = 30$ Ом. Тогда коэффициент усиления каскада транзистора $VT1$ по переменному току

$$K_{U1} \approx R_{н2} \| R_{к1} / R''_{з1} = 112/30 = 3,7.$$

Входное сопротивление усилителя для переменной составляющей найдем из условия

$$1/R_{вх} = 1/R_{б1} + 1/R_{б2} + 1/(h_{21э1} R''_{з1}), \text{ откуда } R_{вх} = 0,82 \text{ кОм}.$$

4. Рассчитаем цепи связи и конденсаторы цепи местной ООС.

Расчет конденсаторов схемы выполним, полагая, что разделительные и эмиттерные конденсаторы формируют значение f_n , а конденсатор $C_{ос}$ — значение f_v усилителя. Так как усилитель трехкаскадный, то для получения требуемого значения ω_n необходимо (согласно рис. 6.40), чтобы частота среза каждого каскада была равна $\omega_{ср} \ll \omega_n/2$. Тогда суммарный коэффициент усиления на частоте ω_n достигнет 3 дБ

Используя выражения, приведенные в § 6.9, для усилителя с *RC*-связями получим

$$\frac{1}{\omega_{ср\text{н.}}} = \frac{(R_2 + R_{вх}) C_3 R_3}{R_2 + R_{вх} + R_3};$$

$$R_2 = (R_6 R_c) / (R_6 + R_c);$$

$$(R_c + R_6) C_p = R_3 C_3.$$

Тогда соответственно получим

для каскада на транзисторе *VT1*:

$$R_2 = R_{61} R_{62} / (R_{61} + R_{62}) + h_{21Э} R''_3 = 3,32 \text{ кОм};$$

$$C_{31} = \frac{R_2 + R'_{31} h_{21Э}}{\omega_{ср} R_2 R'_{31}} = \frac{(3,32 + 0,360 \cdot 50) \cdot 10^6}{20\pi \cdot 3,32 \cdot 0,36 \cdot 10^6} = 284 \text{ мкФ};$$

$\omega_{ср} = \pi f_{н} = 20 \text{ л.}$ Принимаем $C_{31} = 330 \text{ мкФ}$; $C_{p1} = 360 \cdot 330 \cdot 10^{-9} / 3320 = 36 \cdot 10^{-6} \text{ Ф.}$
Принимаем $C_p = 33 \text{ мкФ}$;

для каскада на транзисторе *VT2*:

$$1/R_2 = 1/R_{63} + 1/R_{64} + 1/R_{к1},$$

откуда $R_2 = 220 \text{ Ом.}$

$$C_{32} = \frac{(220 + 68 \cdot 80)}{20\pi \cdot 220 \cdot 68} = 6,02 \cdot 10^{-3} = 6020 \text{ мкФ.}$$

Принимаем $C_{32} = 6600 \text{ мкФ}$;

$$C_{p2} = 660 \cdot 68 / 220 = 2 \cdot 10^3 = 2000 \text{ мкФ.}$$

Конденсатор C_{p3} выбираем в предположении, что выходное сопротивление эмиттерного повторителя равно нулю. Тогда для выходной цепи справедлива передаточная функция $W(p) = T_1 p / (T_1 p + 1)$, где $T_1 = R_n C_{p3}$.

Отсюда

$$C_{p3} = 1 / \omega_{ср} R_n = 1 / 20 \cdot \pi \cdot 51 = 312 \text{ мкФ.}$$

Принимаем $C_{p3} = 330 \text{ мкФ.}$

5. Рассчитаем цепи общей ООС. Цепь общей ООС имеет передаточную функцию $W(p)_{ООС} = K(T_1 p + 1) / (T_2 p + 1)$; где $K = R''_{31} / (R''_{31} + R_{ос})$; $T_1 = R_{ос} C_{ос}$; $T_2 = R_{ос} R''_{31} C_{ос} / (R_{ос} + R''_{31})$.

Для расчета цепи ООС определим частоты среза для каждого каскада, характеризующихся собственными частотными свойствами транзисторов.

Для каскада на *VT1*: $f_{ср1} = 250 \cdot 10^6 / 350 = 714 \text{ кГц.}$

Для каскада на *VT2*: $f_{ср2} = 5 \cdot 10^6 / 120 = 41,6 \text{ кГц.}$

Для каскада на *VT3*: $f_{ср3} = 5 \cdot 10^6 / 40 = 125 \text{ кГц.}$

Следовательно, цепь ООС должна обеспечить спад частотной характеристики в диапазоне частот $f_n \leq f \leq f_{ср2}$.

Суммарный коэффициент усиления усилителя без цепи ООС

$$K_{\Sigma} = K_{v1} K_{v2} = 101,9 \cdot 3,7 = 377.$$

Требуемый коэффициент усиления $K_{U\Sigma}=100$. Тогда коэффициент передачи цепи по постоянному току

$$b_{OC} \cdot K = \frac{K_{\Sigma} - K_{U\Sigma}}{K_{\Sigma} K_{U\Sigma}} = \frac{377 - 100}{377 \cdot 100} = 7,35 \cdot 10^{-3}.$$

Отсюда $R_{OC} \approx R''_{\Sigma}/K = 4083$ Ом. Принимаем $R_{OC} = 3,9$ кОм.

$$C_{OC} = 1/(\omega_b R_{OC}) = \frac{1}{2\pi \cdot 2 \cdot 10^4 \cdot 3,9 \cdot 10^3} = 2,0 \cdot 10^{-9} \text{ Ф. Принимаем } C_{OC} = 2,2 \text{ пФ.}$$

Усилители постоянного тока. Как отмечалось ранее, усилитель постоянного тока способен усиливать входной сигнал без нарушения соотношения в нем постоянной и переменной составляющих. Это достигается исключением из усилителя элементов, препятствующих передаче очень медленных изменений входного напряжения или тока, т. е. конденсаторов или трансформаторов связи. Между отдельными каскадами усилителя осуществляется так называемая гальваническая связь: связь посредством элементов, обеспечивающих двустороннюю передачу сколь угодно медленных изменений сигнала (напряжения или тока). В частном случае (при отсутствии каких-либо дополнительных элементов) гальваническая связь превращается в непосредственную.

Исключив из схемы усилителя, приведенной на рис. 6.41, все реактивные элементы, получим схему усилителя постоянного тока (рис. 6.42).

Очевидно, что полученная таким образом схема будет существенно проще исходной. К тому же она не содержит крупногабаритных элементов, плохо поддающихся миниатюризации современными технологическими средствами. Поэтому она может быть выполнена в виде интегральной схемы, что повышает надежность ее работы.

Однако исключение разделительных конденсаторов значительно усложняет проектирование таких устройств. При проектировании необходимо решить две технически сложные задачи. Во-пер-

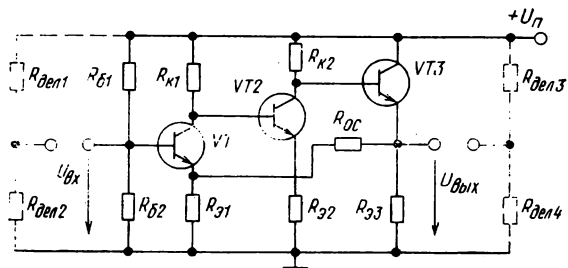
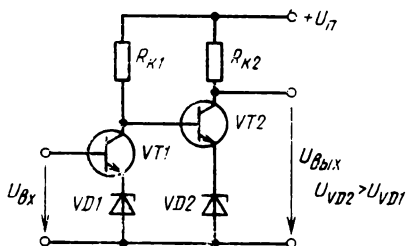


Рис. 6.42. Схема трехкаскадного усилителя постоянного тока

Рис. 6.43. Схема двухкаскадного усилителя постоянного тока с согласованием режимов по постоянному току с помощью стабилитронов



вых, необходимо согласовать режимы работы отдельных каскадов как по постоянному, так и переменному току, и, во-вторых, минимизировать дрейф нуля.

На первый взгляд согласование режимов по постоянному току в схеме, приведенной на рис. 6.42, выполнить достаточно просто. Для этого необходимо, чтобы напряжение на эмиттерном резисторе каждого последующего каскада компенсировало постоянную составляющую режима покоя предыдущего каскада, т. е. для каждого последующего каскада должно выполняться соотношение

$$U_{R_{эi}} + U_{K_{эi}} - U_{Бэ\ i+1} = U_{R_{эi+1}}. \quad (6.61)$$

Однако такой метод согласования приводит к тому, что глубина местной последовательной ООС по току в каждом последующем каскаде будет больше, чем в предыдущем. Поэтому коэффициент усиления каждого последующего каскада будет меньше, чем предыдущего. На практике, если таких последовательно включенных каскадов больше трех, то коэффициент усиления последних каскадов стремится к единице.

Устранить данный недостаток можно, используя в эмиттерных цепях транзисторов нелинейные элементы, падение напряжения на которых не зависит от их сопротивления. В качестве таких элементов в усилителях постоянного тока часто используют стабилитроны (рис. 6.43).

Применение стабилитронов полностью не решает проблему согласования режимов как по постоянному, так и переменному току. Действительно, поскольку напряжение эмиттерного элемента (резистора или стабилитрона) в каждом последующем каскаде должно быть больше, чем в предыдущем, соответственно уменьшается возможное максимальное значение амплитуды выходного сигнала каскада. Однако по принципу работы амплитуда сигнала в каждом последующем каскаде усилителя должна быть больше, чем в предыдущем. Поэтому проектирование на этом принципе усилителей с числом каскадов большим трех, как правило, нецелесообразно. Следовательно, усилители постоянного тока, в которых использован этот метод согласования режимов, имеют вполне опре-

деленный предел по коэффициенту усиления. К тому же рассмотренные усилители обладают следующими недостатками.

1. На входе усилителя присутствует некоторое постоянное напряжение, необходимое для задания режима покоя транзистора первого каскада. Подключение источника входного напряжения с конечным выходным сопротивлением изменит режим работы этого каскада по постоянному току. Это изменение в случае постоянства выходного сопротивления источника входной информации можно компенсировать изменением резисторов R_{61} и R_{62} . Однако, если выходное сопротивление источника сигнала в процессе работы не остается постоянным, его изменения будут восприниматься усилителем как входной сигнал. Кроме того, существуют источники информации (датчики), подача на которые постоянного напряжения недопустима.

2. При отсутствии входного сигнала на выходе усилителя присутствует некоторое постоянное напряжение, обусловленное режимом покоя выходного транзистора усилителя.

Частично устранить указанные недостатки можно введением во входную и выходную цепи усилителя дополнительных делителей напряжения (на рис. 6.42 показаны штриховой линией). Однако это усложняет схему усилителя и увеличивает рассеиваемую в нем мощность, что препятствует применению методов интегральной и гибридной технологий при его изготовлении. К тому же такое решение повышает выходное сопротивление усилителя.

Устранить постоянные составляющие на входе и выходе усилителя можно, используя в нем так называемые схемы сдвига. Пример такого решения показан на рис. 6.44. Идея технического решения состоит в следующем. Если некоторый делитель напряжения подключен к двум последовательно соединенным источникам питания, то сопротивления его резисторов всегда можно подо-

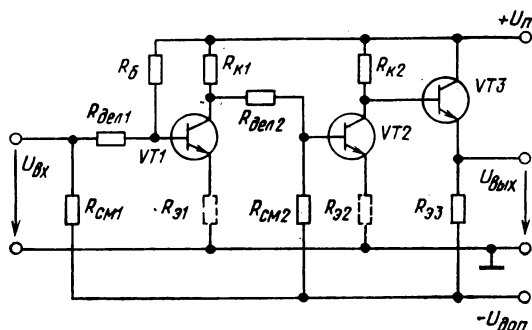


Рис. 6.44. Схема усилителя постоянного тока с цепями сдвига уровня напряжения

брать так, что относительно средней точки источников питания напряжение на выходе делителя будет равно нулю. Применительно к усилителю постоянного тока реализация данной идеи требует введения в устройство дополнительного источника питания, полярность которого противоположна полярности основного источника питания, и использования для межкаскадной связи резистивных делителей напряжения.

Проиллюстрируем сказанное. Предположим, что параметры режима покоя для базовой цепи транзистора $VT1$ заданы ($U_{БЭП}$, $I_{БП}$). Тогда сопротивления резисторов делителей связи могут быть рассчитаны по следующим выражениям:

$$\begin{aligned} R_{см1} &= U_{доп}/KI_{БП}; \\ R_{дел1} &= U_{БЭП}/KI_{БП}; \\ R_6 &= (U_{П} - U_{БЭП})/KI_{БП}, \end{aligned} \quad (6.62)$$

где $K \gg 10$ — коэффициент, определяющий превышение током делителя базового тока транзистора.

Данный метод позволяет выполнить согласование режимов каскадов усилителя как по постоянному, так и переменному току. Однако введение во входную цепь усилителя и между его каскадами дополнительных делителей напряжения снижает суммарный коэффициент усиления устройства. Последнее (при прочих равных условиях) усложняет схему усилителя. Кроме того, в таком усилителе остается нерешенной проблема минимизации дрейфа нуля выходного напряжения.

Абсолютное значение дрейфа нуля для каждого каскада усилителя может быть определено с использованием выражений, приведенных в § 6.1. Для этого изменение коллекторного тока покоя, вычисленное, например, по выражению (6.19), необходимо умножить на сопротивление коллекторного резистора

$$U_{др\text{ вых }K} = \Delta I_{КП} R_{К}. \quad (6.63)$$

Выясним, как дрейф каждого отдельного каскада влияет на суммарный дрейф нуля усилителя. Для этого обратимся к рис. 6.45, где дрейф каждого каскада представлен в виде эквивалентной ЭДС, действующей на входе идеального усилителя с коэффициентом усиления K_i . Эту ЭДС обычно называют приведенным дрейфом.

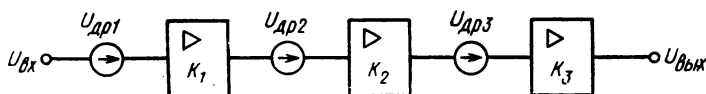


Рис. 6.45. К определению суммарного дрейфа нуля УПТ

Под приведенным дрейфом нуля усилителя (каскада) понимают такое эквивалентное напряжение, действующее на его входе, которое создает такое же изменение его выходного напряжения, как и действие внешних дестабилизирующих факторов.

Величину приведенного дрейфа одиночного каскада можно определить следующим образом:

$$U'_{др} = U_{др\text{ вых}}/K_i = \Delta I_{кп} R_{к}/K_i. \quad (6.64)$$

При анализе будем полагать, что входное напряжение усилителя равно нулю. Тогда для суммарного напряжения выходного дрейфа будет справедливо выражение

$$U_{др\text{ вых}} = U'_{др1} K_1 K_2 K_3 + U'_{др2} K_2 K_3 + U'_{др3} K_3, \quad (6.65)$$

где K_1 , K_2 , K_3 — коэффициенты усиления по напряжению соответственно 1-го, 2-го и 3-го каскадов.

Очевидно, что для приведенного выражения справедливо неравенство

$$K_1 K_2 K_3 \gg K_2 K_3 \gg K_3. \quad (6.66)$$

Тогда, полагая, что приведенное напряжение дрейфа $U'_{др}$ для всех каскадов одинаково, из выражения (6.65) можно сделать вывод, что максимальное влияние на дрейф выходного напряжения усилителя оказывает его первый каскад. Действительно, если в трехкаскадном усилителе коэффициенты усиления всех каскадов равны 20, то доля дрейфа второго каскада в выходном напряжении усилителя составит только 5%, а доля дрейфа третьего каскада — 0,25% от доли дрейфа первого каскада. При увеличении коэффициентов усиления доля дрейфа последующих каскадов будет еще меньше.

Физически это очевидно, так как дрейф первого каскада действует непосредственно на входе усилителя и воспринимается как изменение входного сигнала. Поэтому при проектировании усилителей постоянного тока в первую очередь необходимо заботиться о максимальном увеличении коэффициента усиления первого каскада и максимальном уменьшении его дрейфа.

Величина дрейфа одиночного каскада может быть уменьшена введением в него цепи ООС (эмиттерные резисторы, показанные на рис. 6.44 штриховой линией). Однако это приводит к уменьшению коэффициента усиления усилителя, что не всегда желательно.

Для оценки величины дрейфа нуля усилителя пользуются понятием приведенного дрейфа, определяемого по выражению (6.64). Следует отметить, что так как напряжение приведенного дрейфа действует непосредственно на входе усилителя, то оно складывается с входным сигналом. Поэтому на выходе невозможно выяс-

нить, какая часть сигнала обусловлена изменением входной информации, а какая обусловлена дрейфом усилителя. Следовательно, с точки зрения уменьшения искажения входного сигнала необходимо стремиться к тому, чтобы полезная составляющая этого сигнала всегда была существенно больше составляющей приведенного дрейфа. Отсюда становится ясным, что при проектировании усилителей постоянного тока вопрос уменьшения их приведенного дрейфа является одним из наиболее важных.

При проектировании усилителей постоянного тока используют два основных способа уменьшения приведенного дрейфа нуля усилителя:

- уменьшение величины влияющих на усилитель внешних дестабилизирующих факторов;

- снижение чувствительности усилителя к воздействию внешних дестабилизирующих факторов.

Суть указанных методов была рассмотрена ранее в § 6.1.4. Ниже остановимся только на некоторых наиболее часто встречающихся схмотехнических решениях, иллюстрирующих второй из указанных способов снижения дрейфа нуля.

Уменьшить влияние внешних дестабилизирующих факторов на дрейф выходного напряжения усилителя можно либо компенсируя возникающий дрейф в каждом, особенно в первом, каскаде усилителя, либо исключая путь передачи возникшего напряжения дрейфа на выход усилителя.

Рассмотрим сначала второй из указанных способов. Ранее было показано, что проблема дрейфа нуля возникла при исключении из схемы усилителя на рис. 6.41 разделительных конденсаторов. Эти конденсаторы препятствовали передаче постоянной составляющей напряжения из предыдущего каскада в последующий, т. е. устраняли путь передачи дрейфовых составляющих со входа усилителя на его выход. Однако в усилителе постоянного тока входной, управляющий сигнал также содержит постоянную составляющую, которая после усиления должна присутствовать на выходе усилителя. Вследствие этого возникает задача разделения полезной и дрейфовой составляющих во входном напряжении усилителя.

Эта задача имеет достаточно простое решение. Предпосылками этого решения являются следующие положения. В усилителе переменного тока проблема дрейфа нуля отсутствует в силу самого принципа его работы. Входная постоянная составляющая подается на усилитель от внешнего источника, а дрейфовая появляется в самом усилителе. Таким образом, если на входе усилителя переменного тока постоянную составляющую входного сигнала преобразовать в переменную, а на выходе выполнить обратное преоб-

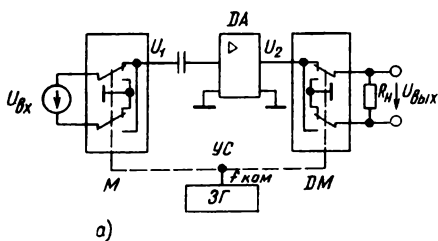
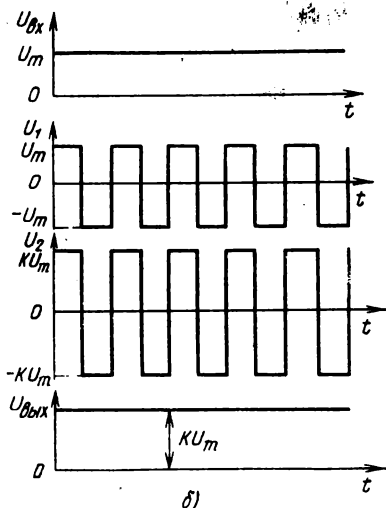


Рис. 6.46. УПТ с модулятором и демодулятором (а) и временные диаграммы, поясняющие его работу (б)



разование, то в выходном напряжении дрейфовые составляющие усилители будут полностью отсутствовать.

Структурная схема усилителя постоянного тока, реализующая данный принцип, приведена на рис. 6.46, а, а временные диаграммы, поясняющие его работу, на рис. 6.46, б.

Входной сигнал усилителя подается на устройство, называемое модулятором (М), предназначенное для преобразования постоянного напряжения в переменное. По своей сути это два переключателя, изменяющие полярность подключения выходного напряжения источника сигнала ко входу усилителя с частотой, задаваемой внешним задающим генератором. Переменное напряжение U_1 с выхода модулятора подается на вход усилителя переменного тока с требуемым коэффициентом усиления K . Усиленное переменное напряжение U_2 с выхода усилителя поступает на вход демодулятора (ДМ). Принцип работы демодулятора обратен работе модулятора. Он выполняет обратное преобразование переменного тока в постоянный. Для правильного восстановления исходного сигнала ДМ должен работать синхронно и синфазно с модулятором. С выхода демодулятора усиленное напряжение постоянного тока подается в нагрузку.

Таким образом, в рассматриваемой структуре дрейф, обусловленный изменением параметров усилителя, вследствие действия различных дестабилизирующих факторов полностью устранен. Погрешности, возникающие на выходе, обусловлены только точностью преобразования постоянного тока в переменный, т. е. они полностью определяются параметрами модулятора.

УПТ, построенные по этому принципу, называются М-ДМ усилителями постоянного тока или УПТ с двойным преобразованием.

К недостаткам данной структуры можно отнести:

наличие в выходном напряжении усилителя составляющей переменного тока, частота которой равна частоте задающего генератора. Это обусловлено неидеальностью работы модулятора и демодулятора. Устранение этой составляющей требует постановки на выходе усилителя дополнительного фильтра;

недостаточно широкая полоса пропускания усилителя. Причина этого, во-первых, в том, что для правильного восстановления исходного сигнала частота работы модулятора и демодулятора должна как минимум в 2 раза превышать максимальное значение частоты входного сигнала (подробнее об этом — при рассмотрении ЦАП и АЦП), во-вторых, в необходимости установки на выходе устройства фильтра, предназначенного для подавления составляющих с частотой работы задающего генератора.

Практической реализацией первого способа уменьшения дрейфа усилителя, а именно компенсации дрейфовой составляющей в каждом каскаде, является использование при его построении дифференциальных каскадов усиления. Ранее было показано (см. § 6.8), что при правильном проектировании в дифференциальных каскадах дрейф нуля может быть существенно меньше, чем в каскадах на одиночных транзисторах. К тому же дифференциальный каскад почти полностью лишен основных недостатков, свойственных УПТ по схеме на рис. 6.42.

При включении источника входного напряжения между базами его транзисторов, а нагрузки — между их коллекторами (см. рис. 6.29, а) постоянные составляющие входного и выходного напряжений усилителя, обусловленные обеспечением его режима работы, принципиально отсутствуют. Следовательно, в усилителе автоматически выполняется условие: если $U_{вх}=0$, то $U_{вых}=0$. Поэтому подключение источника входного сигнала и нагрузки не изменяет режим работы каскада по постоянному току.

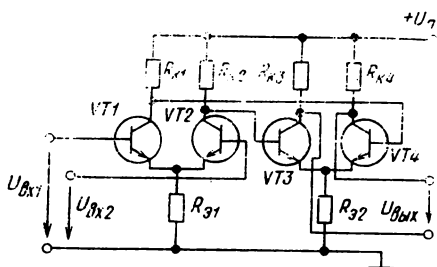
Входное и выходное напряжения дифференциального каскада могут изменять свою полярность.

Источник входного напряжения и нагрузка могут быть как симметричными, так и несимметричными (см. рис. 6.33).

Коэффициент усиления дифференциального каскада при прочих равных условиях всегда больше, чем у каскада на одиночном транзисторе (6.56).

При построении многокаскадного усилителя не возникает проблемы согласования режимов отдельных каскадов по постоянному току, причем в этом случае допускается непосредственная связь между отдельными каскадами. Это позволяет строить с использо-

Рис. 6.47. Схема двухкаскадного УПТ на дифференциальных каскадах



ванием дифференциальных каскадов многокаскадные усилители с очень большим собственным усилением.

На рис. 6.47 приведена схема двухкаскадного УПТ, выполненная с использованием двух дифференциальных каскадов усиления. Из схемы видно, что, хотя для напряжения на эмиттерных резисторах R_3 и справедливо полученное ранее выражение (6.61), увеличение U_{R_3} не приводит к снижению коэффициента усиления последующих каскадов.

Все это послужило причиной того, что дифференциальный усилитель является в настоящее время основой для проектирования многокаскадных УПТ, особенно при использовании гибридной и полупроводниковой технологии. Более детально построение УПТ на основе дифференциальных усилителей будет рассмотрено в гл. 7.

6.10. ВЫХОДНЫЕ УСИЛИТЕЛИ МОЩНОСТИ

Выходные усилители мощности обычно являются выходными каскадами многокаскадного усилителя и предназначены для получения, как правило, в низкоомной нагрузке требуемой мощности выходного сигнала. Исходными данными для расчета таких усилителей являются заданные сопротивление нагрузки R_n и выделяемая в ней мощность R_n .

Получение на выходе усилителя большой мощности предполагает работу его транзисторов при больших значениях токов и напряжений. Отсюда следует, что одним из основных параметров усилителя становится его КПД. К тому же переменные составляющие токов и напряжений в этом случае соизмеримы с постоянными составляющими сигналов. Поэтому на свойства усилителя начинает сильно влиять связь параметров транзистора с режимами его работы и нелинейность основных характеристик. Это заставляет при расчете выходных усилителей мощности отказаться от использования малосигнальных моделей транзисторов и расчет каскадов вести графическим или графоаналитическим методом непосред-

ственно по характеристикам конкретных полупроводниковых приборов.

В выходных усилителях мощности должны использоваться транзисторные каскады с малым выходным сопротивлением, а входные цепи ООС должны быть только по напряжению.

Все сказанное послужило причиной использования в выходных усилителях мощности только двухтактных схем усиления, обеспечивающих работу выходных транзисторов в режимах класса В и АВ. При этом усилители мощности могут быть выполнены как по трансформаторной, так и бестрансформаторной схемам.

Развитие технологии производства полупроводниковых приборов привело к созданию мощных биполярных транзисторов различного типа проводимости и МДП-транзисторов с каналами различного типа. Поэтому при построении выходных усилителей мощности все большее применение находят бестрансформаторные схемы. Это, во-первых, позволяет упростить схемы усилителей и, во-вторых, исключить из них крупногабаритные элементы — трансформаторы, плохо поддающиеся миниатюризации методами современной технологии. По этой причине остановимся только на принципах построения бестрансформаторных схем.

Простейшая схема бестрансформаторного выходного усилителя мощности на биполярных транзисторах различного типа проводимости (комплементарных транзисторах) приведена на рис. 6.48. Основу схемы составляют два двухполюсника, каждый из которых состоит из последовательно соединенных транзистора и источника питания, подключенных к общей нагрузке. Эти двухполюсники принято называть плечами двухтактного усилителя. Эмиттерные переходы транзисторов VT1 и VT2 включены параллельно и на их входы подается управляющее напряжение $U_{вх}$.

Так как в базовых цепях транзисторов отсутствует источник смещения, в каскаде реализуется режим усиления класса В. В каждый полупериод входного напряжения ток нагрузки формируется своим плечом усилителя, а так как полярность напряжений источников питания плеч усилителя различна, в нагрузке протекает переменный ток.

Определим КПД такого усилителя. Предположим, что на входе усилителя действует синусоидальное напряжение с периодом T и он работает на чисто активную нагрузку R_n . Амплитуда выходного напряжения $U_{n\max}$ равна γU_n , где γ — относительная амплитуда выходного напряжения усилителя, $0 \leq \gamma \leq 1$. Тогда мощность, выделяющаяся в нагрузке,

$$P_n = (U_n / \sqrt{2}) (I_n / \sqrt{2}) = (\gamma U_n)^2 / 2R_n. \quad (6.67)$$

Для определения мощности, потребляемой усилителем, найдем среднее значение потребляемого тока

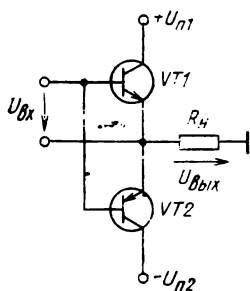


Рис. 6.48. Схема двухтактного усилителя мощности на биполярных транзисторах различного типа проводимости

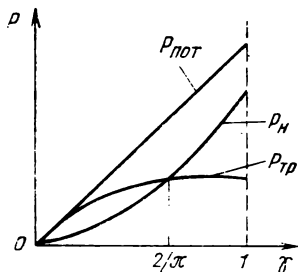


Рис. 6.49. Зависимости входной $P_{\text{пот}}$, выходной $P_{\text{н}}$ и рассеиваемой мощности в транзисторах $P_{\text{тр}}$ от относительной амплитуды выходного напряжения

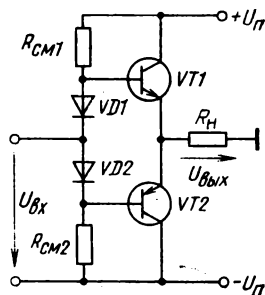


Рис. 6.50. Схема двухтактного усилителя мощности, реализующего класс усиления АБ

$$I_{\text{ср}} = (2/T) \int_0^{T/2} I_{\text{н max}} \sin \omega t dt = 2I_{\text{н max}}/\pi = 2\gamma U_{\text{п}}/\pi R_{\text{н}}. \quad (6.68)$$

Тогда КПД усилителя будет равен

$$\text{КПД} = P_{\text{н}}/P_{\text{п}} = \gamma\pi/4 = \gamma \text{ КПД}_{\text{max}}. \quad (6.69)$$

Максимальное значение КПД соответствует случаю $\gamma=1$ и равно 0,785.

Используя выражения (6.67) и (6.69), запишем выражения для потребляемой и выделяющейся в транзисторе мощностей как функции параметра γ

$$P_{\text{пот}} = P_{\text{н}}/\text{КПД} = 4\gamma P_{\text{н max}}/\pi; \quad (6.70)$$

$$P_{\text{тр}} = P_{\text{пот}} - P_{\text{н}} = P_{\text{н max}}(4\gamma/\pi - \gamma^2). \quad (6.71)$$

Зависимости мощностей $P_{\text{н}}$, $P_{\text{пот}}$ и $P_{\text{тр}}$ от параметра γ показаны на рис. 6.49.

Из полученных выражений следует, что с увеличением амплитуды выходного сигнала КПД рассматриваемого усилителя монотонно растет. При этом существует режим, в котором мощность, рассеиваемая в транзисторе, максимальна. Это значение соответствует относительной амплитуде выходного напряжения усилителя $\gamma=0,637$.

Следует заметить, что в реальных усилителях значение относительной амплитуды выходного сигнала всегда меньше единицы. Поэтому величину КПД_{max} следует рассматривать как теоретический предел для усилителей рассматриваемого типа.

Ранее в § 6.1.2 указывалось, что из-за больших собственных нелинейных искажений режим класса В редко используется при построении усилителей и предпочтение отдается режиму класса АВ. В этом случае несколько увеличивается мощность, рассеиваемая в транзисторе, и снижается КПД усилителя. Особенно это снижение заметно при малых значениях относительной амплитуды, т. е. при небольших значениях выходной мощности, что практически не имеет принципиального значения.

На рис. 6.50 приведена схема выходного усилителя мощности, в которой для обеспечения режима работы класса АВ используются дополнительные цепи смещения. Цепи смещения состоят из резисторов смещения $R_{см1}$ и $R_{см2}$, образующих с диодами $VD1$ и $VD2$ нелинейные делители напряжения. Использование в делителях диодов позволяет дополнительно обеспечить параметрическую стабилизацию режима покоя усилителя. Температурные изменения напряжения на диодах компенсируют температурные изменения напряжения эмиттерных переходов транзисторов.

В отличие от схемы на рис. 6.48, в рассматриваемой схеме транзисторы включены по схеме с общим коллектором, что позволяет значительно уменьшить выходное сопротивление усилителя, но при одинаковых напряжениях питания максимальное выходное напряжение будет меньше. Естественно, будет меньше и максимальная мощность, которая может быть снята с усилителя. Для устранения этого недостатка предвыходные каскады усилителя необходимо питать от источника с повышенным напряжением.

Общим недостатком рассмотренных схем является необходимость в двух источниках питания, но поскольку через нагрузку протекает только переменный ток, этот недостаток можно устранить, подключив нагрузку через разделительный конденсатор к общему выводу схемы. Принципиальная схема такого усилителя приведена на рис. 6.51. Рассмотрим назначение элементов приведенной схемы.

Для формирования напряжения, управляющего выходными транзисторами $VT2$ и $VT3$, в усилителе используется дополнительный каскад на транзисторе $VT1$, включенном по схеме с общим эмиттером. Резистор в эмиттерной цепи этого транзистора создает цепь последовательной ООС по выходному току, что стабилизирует режим работы каскада.

Резистор смещения рабочей точки $R_{дел1}$ транзистора $VT1$ подключен непосредственно к выходу усилителя. Это формирует цепь общей параллельной ООС по выходному напряжению, стабилизирующую режим покоя усилителя и уменьшающую его выходное сопротивление.

Резистор $R_{см}$ обеспечивает работу выходных транзисторов усилителя в режиме класса АВ. Для параметрической стабилизации

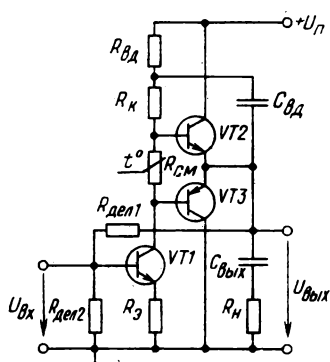


Рис. 6.51. Схема двухтактного усилителя мощности на биполярных транзисторах с однополярным питанием

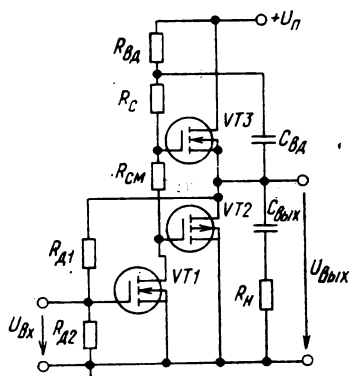


Рис. 6.52. Схема двухтактного усилителя мощности на МДП-транзисторах

этого режима используется терморезистор. Резистор R_k является нагрузочным для каскада усиления на транзисторе VT_1 .

Ранее было отмечено, что при выполнении выходного каскада на транзисторах, включенных по схеме с общим коллектором, для получения полной амплитуды выходного сигнала предварительный каскад необходимо питать от источника повышенного напряжения. С этой целью в схему усилителя введены элементы $R_{вд}$ и $C_{вд}$, образующие цепь положительной обратной связи по напряжению питания. Часто эту цепь называют также вольтодобавкой, поскольку она увеличивает напряжение питания предварительного каскада усилителя. На интервале проводимости транзистора VT_3 конденсатор $C_{вд}$ заряжается от источника питания через резистор $R_{вд}$. На интервале проводимости транзистора VT_2 напряжение конденсатора через резистор R_k обеспечивает протекание базового тока этого транзистора.

При проектировании выходных усилителей мощности часто в качестве выходных используют схемы составных транзисторов. При этом находят применение как составные каскады на транзисторах одного, так и различного типов проводимости. Такое решение позволяет существенно снизить мощность предвыходного усилителя, что положительно сказывается на параметрах всего устройства.

Эти принципы используются и при проектировании выходных усилителей мощности на полевых транзисторах. В качестве примера на рис. 6.52 приведена схема выходного усилителя мощности на МДП-транзисторах с индуцированным каналом. От устройств

на биполярных транзисторах такие схемы отличаются меньшими нелинейными искажениями и большей температурной устойчивостью. Последнее объясняется отсутствием в полевом транзисторе механизма температурной положительной обратной связи, свойственной биполярным транзисторам.

Пример 6.14. Рассчитать усилитель мощности, схема которого приведена на рис. 6.51, со следующими параметрами: $P_{\text{вых}}=10$ Вт; $R_n=8$ Ом; $f_{\text{min}}=50$ Гц; $f_{\text{max}}=12\,500$ Гц.

Решение. 1. Определим минимальное напряжение питания, необходимое для получения в нагрузке заданной выходной мощности. Из выражения (6.67) в предположении $\gamma=0,8$, найдем

$$U'_n = \sqrt{2R_n P_{\text{вых}}} / \gamma = 15,8 \text{ В.}$$

Найденное значение U'_n рассчитано из условия получения амплитуды выходного сигнала. Так как на выходе действует выходной сигнал переменного тока и транзисторы VT2 и VT3 работают поочередно, то общее напряжение питания равно $U_n = U'_n = 3,16$ В. Принимаем $U_n = 32$ В.

2. Найдем максимальный ток коллектора транзистора. Из выражения (6.67) имеем

$$I_n = \sqrt{2P_n / R_n} = \sqrt{2 \cdot 10 / 8} = 1,58 \text{ А.}$$

4. Выберем тип транзисторов VT2, VT3 из условия

$$U_{KЭ \text{ max доп}} \geq U'_n / K_{\text{зап}} = 20 \text{ В; } I_{K \text{ max доп}} \geq I_n / K_{\text{зап}} = 1,97 \text{ А;}$$

$$P_{K \text{ max доп}} \geq P_{\text{тр}} / K_{\text{зап}} = 10,1 \text{ Вт; } f_{h21Э} \geq (8 \dots 10) f_{\text{в}} = 100 \dots 125 \text{ кГц,}$$

где $K_{\text{зап}} = 0,7 \dots 0,8$ — коэффициент запаса.

Указанным требованиям удовлетворяют *p-n-p*-транзистор КТ816А и *n-p-n*-транзистор КТ817А, для которых $U_{KЭ \text{ max доп}} = 25$ В; $I_{K \text{ max доп}} = 3$ А; $h_{21Э} = 25$; $f_{\text{тр}} = 3$ МГц ($f_{h21Э} = f_{\text{тр}} / h_{21Э} = 120$ кГц).

3. Определим максимальную мощность, рассеивающую в транзисторе. Согласно (6.71)

$$P_{\text{тр max}} = P_n \text{ max } \gamma (4/\pi - \gamma) = 4P_n \text{ max } / \pi^2 = 4 \cdot 16 / \pi^2 \approx 6,5 \text{ Вт;}$$

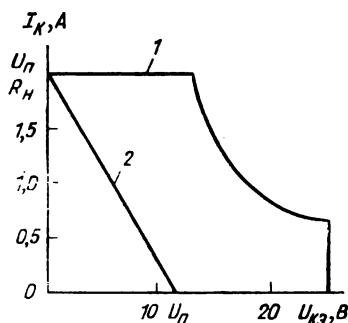
$$P_n \text{ max} = U_n^2 / 2R_n = 16^2 / 2 \cdot 8 = 16 \text{ Вт; } \gamma = 2/\pi = 0,637.$$

5. Для надежной работы усилителя его рабочая точка не должна выходить из области максимально допустимых режимов (траектория движения рабочей точки должна лежать внутри области максимально допустимых режимов). Эта область задается в справочных данных на транзистор. На рис. 6.53 приведена заимствованная из справочника область максимальных режимов для транзистора КТ816А, ограниченная линией 1 с нанесенной на нее нагрузочной прямой 2, соответствующей $R_n = 8$ Ом. Из рисунка видно, что условия обеспечения надежного режима работы для выбранных транзисторов выполнено.

6. Максимальный базовый ток транзисторов

$$I_{B \text{ max}} = I_{K \text{ max}} / h_{21Э} = 1,58 / 25 = 63,2 \text{ мА.}$$

Рис. 6.53. Области безопасной работы транзистора КТ816А



7. Ток покоя коллектора транзистора $VT1$, работающего в режиме класса A , равен $I_{K1п} > I_{B \max} = 63,2$ мА. Выбираем $I_{K1п} = 75$ мА.

8. Транзистор $VT1$ выбираем из условия $I_{KЭ \max \text{ доп}} \geq U'_n / K_{зап} = 20$ В; $I_{K \max \text{ доп}} \geq 2I_{K1п} / K_{зап} = 188$ мА;

$$f_{h21Э} \geq (8 \dots 10)f_v = 100 \dots 125 \text{ кГц};$$

$$P_{K \max \text{ доп}} \geq P_{Kп} / K_{зап} = I_{Kп} U'_n / K_{зап} = 1,5 \text{ Вт}.$$

По справочнику выбираем транзистор КТ815А, для которого

$U_{KЭ \max \text{ доп}} = 40$ В; $h_{21Э \min} = 40$; $I_{K \max \text{ доп}} = 1,5$ А; $P_{K \max \text{ доп}} = 10$ Вт; $f_{гр} = 3$ МГц.

9. Входной ток усилителя $I_{Б1} = I_{Kп} / h_{21Э} = 63,2 / 40 = 1,58$ мА.

10. Значение $C_{вых}$ рассчитывается при формировании требуемой ЛАЧХ усилителя. При этом ее величина должна отвечать неравенству

$$1/2\pi f_{\min} C_{вых} < R_n.$$

11. Сопротивление резисторов $R_{дел1}$, $R_{дел2}$, R_z и R_K можно найти, воспользовавшись выражениями, приведенными § 6.15.

12. Если при расчете получено, что $P_K > P_{K \max \text{ доп}}$, то необходимую поверхность тепловода (радиатора), обеспечивающую нормальный тепловой режим транзисторов, определяют из выражения

$$S_{рад} = 1400 P_{рас} / (T_{K \max} - T_{ср \max} - P_{рас} R_T),$$

где $P_{рас}$ — мощность, рассеиваемая транзистором; $T_{K \max}$ — максимальная температура коллекторного перехода; $T_{ср \max}$ — максимальная температура окружающей среды; R_T — тепловое сопротивление транзистора.

Контрольные вопросы

1. От каких параметров зависит коэффициент усиления каскада на транзисторе, включенном по схеме с общим эмиттером?

2. Как определить параметры каскада по схеме с общим эмиттером при его работе в классе A ?

3. Почему работа транзисторного каскада в классе B сопровождается появлением значительных искажений?

4. Чем класс усиления АВ отличается от класса С?
5. Как найти диапазон изменения входного сигнала схемы на рис. 6.1, а из условия ее работы в классе А?
6. Как должно изменяться входное напряжение схемы на рис. 6.1, а при ее работе в классе D?
7. От каких параметров зависит и как определяется постоянная времени каскада, приведенного на рис. 6.1, а?
8. Какие методы стабилизации режима покоя Вам известны?
9. Почему схема транзисторного каскада с последовательной ООС по току нагрузки используется чаще, чем схема каскада с параллельной ООС по входному напряжению?
10. Как зависят коэффициент усиления и передаточная функция каскада с цепью последовательной ООС по току нагрузки от сопротивления R_3 ?
11. Что такое коэффициент неустойчивости и как он влияет на точность поддержания режима покоя каскада при изменении температуры окружающей среды?
12. Почему в схеме с параллельной ООС по выходному напряжению коэффициент передачи имеет размерность сопротивления?
13. С какой целью в схеме на рис. 6.10, а введен конденсатор C_3 ?
14. Как задается режим по постоянному току в каскаде на полевом транзисторе, включенном по схеме с общим истоком?
15. Чему равен коэффициент усиления каскада на полевом транзисторе с общим истоком?
16. Докажите, что коэффициент усиления эмиттерного повторителя по напряжению всегда меньше единицы.
17. Чему равно входное сопротивление эмиттерного повторителя?
18. Какое свойство биполярного и полевого транзисторов используется при построении схем генераторов тока?
19. Как определить диапазон изменения сопротивления нагрузки, обеспечивающей работу схемы на рис. 6.20, а в режиме генератора тока?
20. Как в схеме на рис. 6.19, б связаны сопротивление R_3 и напряжение стабилизации стабилитрона V_D ?
21. Какой принцип используется при построении транзисторных схем источников напряжения?
22. Как неустойчивость выходного напряжения источника эталонного напряжения связана с неустойчивостью тока используемого генератора и параметрами нагрузки?
23. Для чего предназначена схема «токового зеркала»?
24. При выполнении каких условий выходной ток схемы «токового зеркала» равен его входному току?

25. Почему применение в транзисторном каскаде усиления схемы активной нагрузки повышает коэффициент усиления устройства?

26. Докажите, что для составного транзистора выполняется условие $h_{21Э2} > h_{21Э1} h_{21Э2}$.

27. Запишите выражение для минимального коллекторного тока запертого составного транзистора.

28. Что такое дифференциальный усилитель?

29. Почему коэффициент усиления дифференциального усилителя при заданной стабильности тока покоя всегда больше коэффициента усиления каскада на одиночном транзисторе?

30. Какие напряжения называются синфазными?

31. Почему коэффициент передачи дифференциального усилителя для синфазной составляющей много меньше, чем для дифференциальной?

32. Докажите, что при использовании в эмиттерной цепи транзисторов дифференциального каскада схемы генератора тока коэффициент усиления синфазных составляющих снижается.

33. Почему применение в дифференциальном усилителе в качестве нагрузки «токового зеркала» повышает ее коэффициент усиления?

34. Как введение разделительных конденсаторов влияет на ЛАЧХ многокаскадного усилителя с RC-связями?

35. Покажите, как емкость C_c в схеме на рис. 6.36 связана с параметрами ЛАЧХ каскада.

36. Почему необходимо согласование режима по постоянному току в многокаскадном УПТ?

37. С какой целью в многокаскадный УПТ вводят схемы сдвига уровня напряжения?

38. Что такое дрейф нуля усилителя постоянного тока?

39. Как необходимо выбирать параметры каскадов многокаскадного усилителя с точки зрения уменьшения его дрейфа нуля?

40. С какой целью в эмиттерные цепи каскадов усиления постоянного тока включены стабилизаторы?

41. Как строятся М-ДМ усилители постоянного тока?

42. Поясните, почему применение комплементарных транзисторов позволяет упростить схемы усилителей мощности?

43. Как мощность, рассеиваемая в усилителе мощности, связана с амплитудой его выходного напряжения?

44. Почему выходные транзисторы усилителей мощности обычно включают по схеме с общим коллектором?

45. Чему равен максимально возможный КПД усилителя мощности, работающего в классе В?

ОПЕРАЦИОННЫЕ УСИЛИТЕЛИ

Современный этап развития электроники характеризуется тем, что при проектировании электронных средств различного назначения используют не дискретные элементы (транзисторы, диоды, резисторы, конденсаторы и т. п.), а законченные функциональные узлы, выполненные в виде ИС. Такой подход позволяет значительно повысить статические, динамические, эксплуатационные и надежность показатели аппаратуры, существенно удешевить и сократить сроки ее проектирования, которое фактически сводится к разработке структуры, удовлетворяющей поставленным требованиям, выбору необходимых ИС и согласованию их входных и выходных характеристик.

Применительно к цифровым устройствам выбор ИС с нужными свойствами достаточно формализован и практически не представляет труда. В то же время выбор и применение аналоговых ИС (АИС) достаточно специфичны и оставляют большой простор для творчества разработчика. Он должен знать внутреннюю схемотехнику и конструкцию АИС, свойства типовых схем и условия их применения, а также методы быстрой оценки основных характеристик разрабатываемого устройства.

В настоящее время разработано большое число АИС как общего, так и специального назначения. К ним, в первую очередь, следует отнести АИС усилителей постоянного тока (операционных усилителей), схем сравнения (компараторов), источников питания (непрерывных стабилизаторов напряжения). Большую группу составляют специализированные АИС, предназначенные для построения бытовой аппаратуры. Здесь можно выделить АИС, предназначенные для звуковоспроизводящей и радиоприемной аппаратуры, а также аппаратуры магнитной записи. Однако, несмотря на различие используемой элементной базы, функционального назначения и технологии изготовления основой большинства из них является схемотехника дифференциального усилителя постоянного тока. Дифференциальный усилитель в настоящее время по существу является основным схемотехническим элементом современной интегральной аналоговой электроники. Именно по этой причине интегральные усилители постоянного тока являются наиболее массовым типом АИС.

Ниже, не претендуя на полноту изложения, остановимся на основных параметрах, особенностях построения и функционирования наиболее распространенной аналоговой ИС — операционном усилителе.

Операционный усилитель (ОУ) — унифицированный многокаскадный усилитель постоянного тока, удовлетворяющий следующим требованиям к электрическим параметрам:

коэффициент усиления по напряжению стремится к бесконечности ($K_v \rightarrow \infty$);

входное сопротивление стремится к бесконечности ($R_{вх} \rightarrow \infty$);

выходное сопротивление стремится к нулю ($R_{вых} \rightarrow 0$);

если входное напряжение равно нулю, то выходное напряжение также равно нулю ($U_{вх} = 0 \rightarrow U_{вых} = 0$);

бесконечная полоса усиливаемых частот ($f_v \rightarrow \infty$).

История названия операционного усилителя связана с тем, что подобные усилители постоянного тока использовались в аналоговой вычислительной технике для реализации различных математических операций, например суммирования, интегрирования и др. В настоящее время эти функции хотя и не утратили своего значения, однако составляют лишь малую часть спектра возможных применений ОУ.

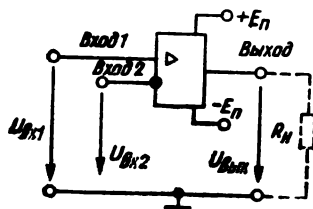
Являясь, по существу, идеальным усилительным элементом, ОУ составляет основу всей аналоговой электроники, что стало возможным в результате достижений современной микроэлектроники, позволившей реализовать достаточно сложную структуру ОУ в интегральном исполнении на одном кристалле и наладить массовый выпуск подобных устройств. Все это позволяет рассматривать ОУ в качестве простейшего элемента электронных схем подобно диоду, транзистору и т. п. Следует отметить, что на практике ни одно из перечисленных выше требований к ОУ не может быть удовлетворено полностью.

Достоверность допущений об идеальности свойств в каждом конкретном случае подтверждается сопоставлением реальных параметров ОУ и требований к разрабатываемым электронным средствам (ЭС). Так, если требуется разработать усилитель с коэффициентом усиления 10, то стандартный ОУ с коэффициентом усиления 25 000, как будет показано в дальнейшем, можно рассматривать для этого случая как идеальный.

7.1. СТРУКТУРНАЯ СХЕМА ОПЕРАЦИОННОГО УСИЛИТЕЛЯ

Операционный усилитель — это аналоговая интегральная схема, снабженная, как минимум, пятью выводами. Ее условное графическое изображение приведено на рис. 7.1. Два вывода ОУ используются в качестве входных, один вывод является выходным, два оставшихся вывода используются для подключения источника питания ОУ. С учетом фазовых соотношений входного и выходного сигналов один из входных выводов (вход 1) называется неинвертирующим, а другой (вход 2) — инвертирующим. Выходное на-

Рис. 7.1. Условное графическое изображение ОУ



напряжение $U_{\text{вых}}$ связано с входными напряжениями $U_{\text{вх1}}$ и $U_{\text{вх2}}$ соотношением

$$U_{\text{вых}} = K_{U0} (U_{\text{вх1}} - U_{\text{вх2}}), \quad (7.1)$$

где K_{U0} — собственный коэффициент усиления ОУ по напряжению.

Из приведенного выражения следует, что ОУ воспринимает только разность входных напряжений, называемую дифференциальным входным сигналом, и нечувствителен к любой составляющей входного напряжения, воздействующей одновременно на оба его входа (синфазный входной сигнал).

Как было отмечено ранее, K_{U0} в ОУ должен стремиться к бесконечности, однако на практике он ограничивается значением $10^5 \dots 10^6$ или $100 \dots 120$ дБ.

В качестве источника питания ОУ используют двухполярный источник напряжения $(+E_{\text{п}}, -E_{\text{п}})$. Средний вывод этого источника, как правило, является общей шиной для входных и выходных сигналов и в большинстве случаев не подключается к ОУ. В реальных ОУ напряжение питания лежит в диапазоне $\pm 3 \text{ В} \dots \pm 18 \text{ В}$. Использование источника питания со средней точкой предполагает возможность изменения не только уровня, но и полярности как входного, так и выходного напряжений ОУ.

Реальные ОУ обычно снабжаются большим числом выводов, которые используются для подключения внешних цепей частотной коррекции, формирующих требуемый вид ЛАЧХ усилителя.

Реализация перечисленных выше требований к электрическим параметрам ОУ невозможна на основе схемы однокаскадного усилителя. Поэтому реальные ОУ строятся на основе двух- или трехкаскадных усилителей постоянного тока.

Функциональная схема трехкаскадного ОУ приведена на рис. 7.2. Она включает в себя входной, согласующий и выходной

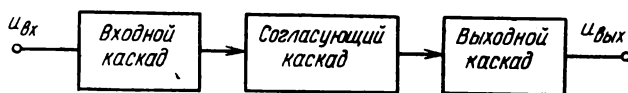


Рис. 7.2. Структурная схема трехкаскадного ОУ

каскады усиления. Анализ электрических параметров ОУ показывает, что их практическая реализация предполагает использование в качестве входного каскада ОУ дифференциального усилительного каскада, что позволяет максимально уменьшить величину дрейфа усилителя, получить достаточно высокое усиление, обеспечить получение максимально высокого входного сопротивления и максимально подавить действующие на входе синфазные составляющие, обусловленные изменением температуры окружающей среды, изменением напряжения питания, старением элементов и т. п.

Согласующий каскад служит для согласования выходного сигнала дифференциального усилителя с выходным каскадом ОУ, обеспечивая необходимое усиление сигнала по току и напряжению, а также согласование фаз сигналов.

Выходной каскад, который, как правило, выполняется по двухтактной схеме, обеспечивает требуемое усиление сигнала по мощности.

На рис. 7.3 приведена упрощенная принципиальная электрическая схема ОУ. Первый каскад устройства выполнен на дифференциальном усилителе (транзисторы $VT1$ и $VT2$), в котором для задания эмиттерного тока транзисторов использована схема «токавого зеркала» на транзисторах $VT3$ и $VT4$. Для уменьшения мощности, рассеиваемой в усилителе, резистор смещения $R_{см}$ «токавого зеркала» питается от одного источника питания ОУ. Резисторы $R_{з1}$ и $R_{з1}'$, обеспечивая введение в цепь каждого транзистора диффе-

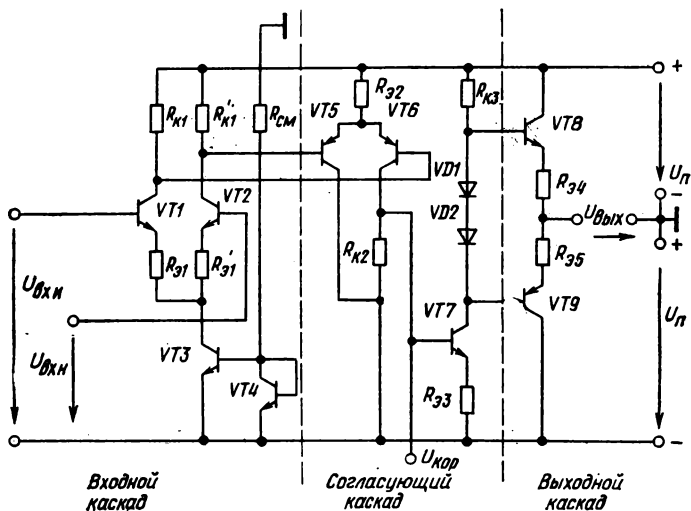


Рис. 7.3. Упрощенная схема трехкаскадного ОУ

ренциального каскада местной последовательной ООС по току нагрузки, увеличивают входное сопротивление усилителя.

Согласующий каскад усилителя также выполнен с использованием дифференциального каскада (транзисторы $VT5$ и $VT6$), на выходе которого подключен каскад по схеме с общим эмиттером ($VT7$). Особенности этого каскада являются использование в дифференциальном усилителе транзисторов, проводимость которых противоположна проводимости транзисторов входного каскада, и применение несимметричного выхода. Вследствие этого нагрузочный резистор в коллекторной цепи транзистора $VT6$ отсутствует. Режим по постоянному току в каскаде на транзисторе $VT7$ стабилизируется введением цепи последовательной ООС по току нагрузки. Резистор $R_{кз}$ является нагрузочным для каскада на транзисторе $VT7$.

В выходном каскаде усилителя использована схема двухтактного усилителя мощности, работающего в классе АВ. Необходимое для этого начальное смещение задается диодами $VD1$ и $VD2$. Эти же диоды обеспечивают температурную стабилизацию режима покоя выходного усилителя. Эмиттерные резисторы $R_{э4}$ и $R_{э5}$ обеспечивают согласование параметров комплементарной пары транзисторов выходного каскада ОУ и ограничивают его максимальный выходной ток.

Схема усилителя, приведенная на рис. 7.3, снабжена тремя выводами для подключения двухполярного источника питания, выходным выводом, выводом для подключения внешней коррекции $U_{кор}$ и двумя входными выводами. Цепь внешней коррекции позволяет требуемым образом изменять частотную характеристику усилителя, что важно при введении в него различных цепей обратной связи. Следует отметить, что цепи коррекции часто встраиваются непосредственно в усилитель.

Как уже отмечалось, применение двух источников питания при подключении нагрузки к их общей точке позволяет формировать на выходе двухполярное напряжение. Следовательно, передаточная характеристика усилителя расположена в двух квадрантах. На рис. 7.4, а, б приведены передаточные характеристики ОУ соответственно для неинвертирующего и инвертирующего входов. Из этих характеристик следует, что максимальное выходное напряжение ОУ ($U_{вых\ max}$) всегда меньше напряжения питания. Как было показано в § 6.3, это является следствием использования в двухтактном усилителе мощности транзисторов, включенных по схеме с общим коллектором.

Более простой является схема двухкаскадного ОУ, из которой исключен согласующий каскад, поэтому необходимый $K_{у0}$ обеспечивается как входным дифференциальным, так и выходным каскадами. Практическая реализация такого решения наталкивается

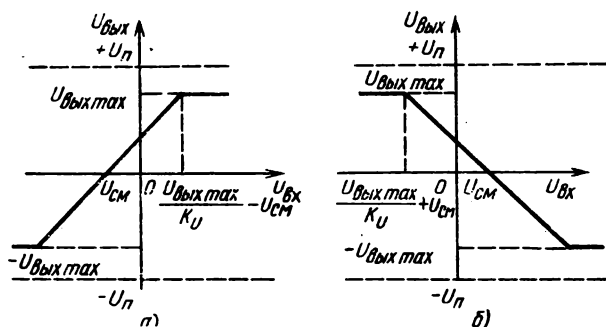


Рис. 7.4. Передающие характеристики ОУ по неинвертирующему (а) и инвертирующему (б) входам

на трудности, связанные с тем, что входное сопротивление дифференциального каскада обратно пропорционально суммарному эмиттерному току его транзисторов, в то время как значение K_{U0} прямо пропорционально этому току. Поэтому попытка повысить усиление дифференциального каскада приводит к снижению входного сопротивления усилителя.

Разрешению этого противоречия способствует использование в первом каскаде схемы активной нагрузки (см. § 6.6). Такое схемотехническое решение стало возможным после освоения технологии изготовления на общей подложке ИС биполярных транзисторов различного типа проводимости с идентичными характеристиками.

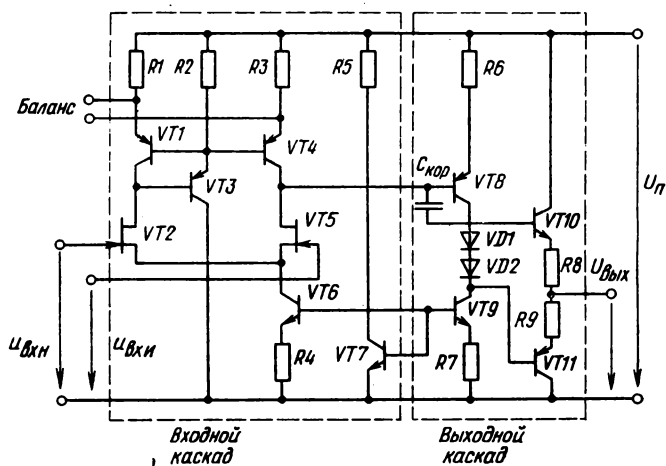


Рис. 7.5. Упрощенная схема двухкаскадного ОУ

В качестве примера на рис. 7.5 приведена упрощенная схема двухкаскадного ОУ типа К544УД1. Входной каскад усилителя выполнен по дифференциальной схеме на n -канальных полевых транзисторах $VT2$ и $VT5$ с управляющим p - n -переходом. В качестве нагрузки использована схема «токового зеркала» на транзисторах $VT1$, $VT4$, а ток истоков стабилизирован генератором тока на транзисторах $VT6$, $VT7$.

Выходной каскад образуют усилитель на транзисторе $VT8$, включенном по схеме с ОЭ и охваченном цепью последовательной ООС по току нагрузки ($R6$) и двухтактный усилитель мощности на комплементарных транзисторах $VT10$, $VT11$. Использование в этом каскаде схемы динамической нагрузки на транзисторе $VT9$ позволяет повысить его коэффициент усиления. Частотные свойства выходного каскада корректируют внутренним или внешним конденсатором $C_{кор}$, шунтирующим коллекторный переход транзистора $VT8$.

В настоящее время серийно выпускаются интегральные ОУ, выполненные по двух- и трехкаскадным схемам.

7.2. ОСНОВНЫЕ ПАРАМЕТРЫ ОПЕРАЦИОННОГО УСИЛИТЕЛЯ

Операционный усилитель является сложным электронным устройством, правильное применение которого зависит от понимания особенностей его работы и знания основных требований, которые он предъявляет к схемам разрабатываемого ЭС. Ниже приводятся основные параметры ОУ, характеризующие его работу.

Коэффициент усиления по напряжению K_{U0} характеризует способность ОУ усиливать подаваемый на его входы дифференциальный сигнал

$$K_{U0} = \Delta U_{\text{вых}} / \Delta U_{\text{вх}}.$$

Типовое значение коэффициента усиления ОУ составляет до $10^5 \dots 10^6$ или 100 ... 120 дБ.

Входное напряжение смещения — это напряжение, которое обусловлено, в основном, неидентичностью напряжений эмиттерных переходов транзисторов входного дифференциального усилителя. Наличие этого напряжения приводит к нарушению условия, согласно которому $U_{\text{вых}} = 0$ при $U_{\text{вх}} = 0$ (см. рис. 7.4). Численно входное напряжение смещения определяется как напряжение, которое необходимо приложить ко входу усилителя для того, чтобы его выходное напряжение было равно нулю. Иногда это напряжение называют напряжением сдвига нуля ($U_{\text{см}}$). Типовое значение этого напряжения единицы — десятки милливольт.

Входной ток $I_{\text{вх}}$ (входной ток смещения) — ток, протекающий во входных выводах ОУ и необходимый для обеспечения требуе-

мого режима работы его транзисторов по постоянному току. Типовое значение этого тока единицы микроампер — сотни наноампер.

Разность входных токов $\Delta I_{вх}$ (ток сдвига). Природа этого тока кроется, в основном, в неодинаковости коэффициентов передачи тока $h_{21э}$ транзисторов входного каскада ОУ. Численно он равен модулю разности входных токов усилителя

$$\Delta I_{вх} = |I_{вх1} - I_{вх2}|. \quad (7.2)$$

Типовое значение параметра — от единиц микроампер до единиц и десятых долей наноампера.

Входное сопротивление $R_{вх}$. Различают дифференциальное входное сопротивление $R_{вх \text{ диф}}$ и синфазное входное сопротивление $R_{вх \text{ син}}$.

$R_{вх \text{ диф}}$ определяется как сопротивление между входами усилителя, а $R_{вх \text{ син}}$ — как сопротивление между объединенными входными выводами и нулевой шиной.

Повышение входного сопротивления дифференциального усилителя достигается снижением базовых токов покоя транзисторов $VT1$ и $VT2$ (см. рис. 7.3) до ничтожно малых значений (единицы наноампер), но это ухудшает работу дифференциального усилителя из-за уменьшения его динамического диапазона, под которым понимают выраженное в децибелах отношение максимального сигнала к минимальному. Для предотвращения этого фактора в качестве $VT1$ и $VT2$ применяют superbeta транзисторы, отличающиеся большими коэффициентами усиления по току (единицы тысяч) за счет использования в них предельно тонкой базы. Однако применение таких транзисторов заметно усложняет задачу стабилизации дифференциального усилителя. Поэтому в ряде случаев повышение входного сопротивления ОУ достигается использованием в его входном канале полевых транзисторов.

Типовое значение входного сопротивления — сотни килоом.

Выходное сопротивление $R_{вых}$ — это сопротивление усилителя; рассматриваемого как эквивалентный генератор. Типовое значение выходного сопротивления — сотни ом.

Коэффициент подавления синфазного сигнала $K_{п \text{ сф}}$ определяет степень подавления (ослабления) синфазной составляющей входного сигнала. Его типовое значение — 50 ... 70 дБ.

Максимальная скорость изменения выходного напряжения (V) характеризует частотные свойства усилителя при его работе в импульсных схемах; измеряется при подаче на вход ОУ напряжения ступенчатой формы. Типовое значение скорости изменения выходного напряжения — единицы вольт/микросекунд.

Частота единичного усиления F_{max} — это частота, на которой модуль коэффициента усиления ОУ равен единице. Обычно эта частота не превышает нескольких мегагерц.

Кроме перечисленных обычно задаются и предельно допустимые значения основных эксплуатационных параметров:

максимально допустимое напряжение питания;

максимально допустимый выходной ток;

диапазон рабочих температур;

максимально допустимая рассеиваемая мощность;

максимально допустимое входное синфазное напряжение;

максимально допустимое входное дифференциальное напряжение и др.

Большинство перечисленных параметров сильно зависит от условий эксплуатации. Эти зависимости обычно задаются графически.

7.3. ЧАСТОТНЫЕ СВОЙСТВА ОПЕРАЦИОННОГО УСИЛИТЕЛЯ

Частотные свойства ОУ в зависимости от условий его применения характеризуются двумя группами параметров. К первой группе относятся параметры, используемые при построении аналоговых схем. К ним в первую очередь относятся передаточная функция усилителя и соответствующие ей ЛАЧХ и ФЧХ.

Вторая группа параметров, а именно максимальная скорость изменения выходного сигнала (скорость отклика усилителя), характеризующегося временем установления выходного напряжения и временем восстановления после перегрузки, применяется для характеристики работы ОУ в импульсных схемах.

При рассмотрении частотных свойств ОУ необходимо принимать во внимание следующее: ОУ может как содержать, так и не содержать собственные (внутренние) цепи коррекции; ОУ является многокаскадным усилителем, поэтому его амплитудная и фазочастотная характеристики могут быть получены простым суммированием соответствующих характеристик входящих в него каскадов.

Следует отметить, что на частотные свойства ОУ кроме применяемых полупроводниковых приборов и внутренних цепей коррекции сильное влияние оказывают паразитные емкости самой ИС. Однако в дальнейшем для простоты рассмотрения влиянием этих паразитных емкостей будем пренебрегать.

Сделанные допущения позволяют предположить, что передаточная функция каждого каскада ОУ без учета элементов цепей внутренней коррекции в первом приближении может быть описана выражением

$$W_i = K_{i\text{оос}} / (T_i p + 1),$$

где $T_i = \tau_b / (1 + b_{i\text{оос}} K_{0i})$ — постоянная времени каскада.

Вполне очевидно, что в различных каскадах из-за неодинаковых свойств приборов и разной глубины местной ООС постоянные

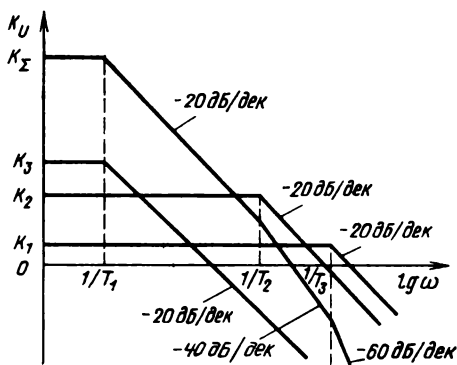


Рис. 7.6. ЛАЧХ трехкаскадного ОУ

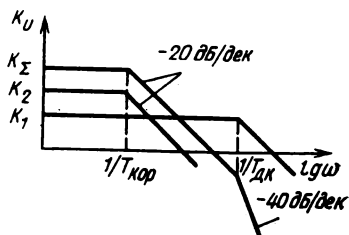


Рис. 7.7. ЛАЧХ двухкаскадного ОУ

времени T_i будут различны. Различными будут и соответствующие им частоты среза. Следовательно, результирующие ЛАЧХ и ФЧХ можно построить суммированием ЛАЧХ и ФЧХ отдельных каскадов. На рис. 7.6 приведена построенная таким образом ЛАЧХ трехкаскадного ОУ.

Следует отметить, что если значения T_i близки, то суммарный наклон ЛАЧХ будет менее -20 дБ/дек. Это создает определенные трудности при использовании такого ОУ. Объясняется это тем, что при разработке конкретных схем сам ОУ, как правило, охватывает цепью ООС. При наклоне ЛАЧХ менее -20 дБ/дек происходит потеря устойчивости (см. § 5.5). В этом случае в ОУ вводят дополнительную внешнюю или внутреннюю цепи коррекции, формирующие наклон его ЛАЧХ -20 дБ/дек во всем диапазоне частот, пока $K(\omega) > 1$. Такая коррекция обычно сужает полосу пропускания усилителя.

Если постоянная времени одного из каскадов усилителя существенно больше других, то наклон -20 дБ/дек во всем диапазоне частот формируется самим усилителем и дополнительная коррекция может не понадобиться.

Таким образом, в любом случае типовая логарифмическая амплитудно-частотная характеристика ОУ во всем диапазоне частот имеет постоянный наклон -20 дБ/дек и его передаточная функция описывается выражением

$$W_{\text{ОУ}} = K_{\text{ОУ}} / (T_{\text{ОУ}} p + 1), \quad (7.3)$$

где $K_{\text{ОУ}}$ — собственный коэффициент усиления ОУ, равный $K_{\text{У0}}$; $T_{\text{ОУ}}$ — постоянная времени ОУ.

Формирование у всех ОУ однотипной ЛАЧХ продиктовано удобством его практического применения. Поэтому сделанное выше допущение о пренебрежении паразитными емкостями конструкции ОУ вполне оправдано.

Следует отметить, что формирование ЛАЧХ, соответствующей передаточной функции (7.3), в схеме двухкаскадного ОУ достигается более простыми средствами, чем в схеме трехкаскадного усилителя. Объясняется это тем, что максимальный наклон ЛАЧХ двухкаскадного ОУ составляет лишь -40 дБ/дек. в то время как в трехкаскадном ОУ он равен -60 дБ/дек. Поэтому для коррекции двухкаскадного ОУ достаточно одной цепи коррекции, а для трехкаскадного ОУ таких цепей необходимо две.

Для коррекции частотных свойств двухкаскадного ОУ (см. рис. 7.5) используется конденсатор $C_{кор}$. Постоянная времени выходного каскада определяется его емкостью $T_2 = C_{кор}(1 + K_U)R_{вых\ дк}$, где $K_U \gg 1$ — коэффициент усиления каскада с ОЭ по постоянному току, $R_{вых\ дк}$ — выходное сопротивление дифференциального каскада.

В дифференциальном каскаде использована схема «токового зеркала», поэтому $R_{вых\ дк}$ велико и $T_2 \gg T_{дк}$, где $T_{дк}$ — постоянная времени дифференциального каскада. Постоянная времени T_2 в передаточной функции ОУ становится определяющей даже при малой емкости $C_{кор}$.

ЛАЧХ двухкаскадного усилителя (рис. 7.7) в точке пересечения с осью ω имеет наклон -20 дБ/дек, т. е. такой ОУ при охвате его внешней безынерционной цепью ООС является абсолютно устойчивым звеном. Таким образом, внутренняя частотная коррекция ОУ выполняется одним конденсатором $C_{кор}$ малой емкости и легко реализуемый технологически.

Фазочастотная характеристика, соответствующая передаточной функции (7.3), имеет предельный фазовый угол 90° . При необходимости она может быть легко построена в соответствии с рекомендациями § 5.5.

Ниже приводится классификация операционных усилителей и основные параметры типовых схем ОУ (табл. 7.1—7.7).

Быстродействующие широкополосные операционные усилители используются для преобразования быстроизменяющихся сигналов. Они характеризуются высокой скоростью нарастания выходного сигнала, малым временем установления, высокой частотой единичного усиления, а по остальным параметрам уступают операционным усилителям общего применения. К сожалению, для них не нормируется время восстановления после перегрузки.

Их основные параметры: скорость нарастания $V_{U\ вых\ max} \gg 30$ В/мкс; время установления $t_{уст} \leq 1$ мкс; частота единичного усиления $f_i \geq 10$ МГц.

Таблица 7.1

Параметры быстродействующих широкополосных ОУ

Тип ОУ	f_L , МГц	$V_{U_{\text{вых max}}}$, В/мкс	$t_{\text{уст}}'$, мкс	$I_{\text{вых max}}'$, мА	$R_n \text{ min}$, кОм	$I_{\text{пот}}'$, мА	$U_{\text{см}}'$, мВ	Примечание
K140УД10	15	30	1	—	2	10	4	$t_{\text{уст}}$ до 0,1 %
K140УД11	15	30	—	8	2	8	5	—
K140УД23	10	30	0,5	—	2	10	10	—
K140УД26*	20	11	—	—	2	4,7	0,03	—
K154УД2	15	150	5	—	2	6	2	—
K154УД3	15	80	0,5	5	2	9	9	$t_{\text{уст}}$ до 0,1 %
K154УД4	30	400	0,6	2	2	6	5	—
K544УД2*	15	20	25	15	2	7	10	$t_{\text{уст}}$ до 0,05 %
K574УД1	10	50	—	5	2	8	50	—
K574УД3*	15**	20	2	5	2	7	5	—
K1407УД1*	10	10	—	5	—	10	10	$I_{\text{упр}} = 0,9 \text{ мА}$
K1420УД1	110	200	0,005	5	—	25	5	$t_{\text{уст}}$ до 0,1 %

* Не удовлетворяет одному из перечисленных выше требований;

** Типовое значение.

Таблица 7.2

Параметры прецизионных ОУ

Тип ОУ	$U_{\text{см}}$, мкВ	$\Delta U_{\text{см}}/\Delta T$, мкВ/°С	K_{U_0} , тыс	$I_{\text{вх}}$, нА	f_L , МГц	$V_{U_{\text{вых max}}}$, В/мкс
K140УД13*	70	0,5	0,007	1,0	0,006	
K140УД17	75	3,0	200	2,5	4	0,4
K140УД21	70	0,5	1000	1,1	1,0	1,5
K140УД24	5	0,05	1000	0,01	0,8	2,0
K140УД25	30	0,6	1000	40	3,0	1,7
K140УД26	30	0,6	1000	40	20	11

* Не удовлетворяет по параметру K_{U_0} , предназначен для построения усилителей постоянного тока по схеме модулятор — демодулятор (МДМ).

Прецизионные (высокоточные) операционные усилители используются для усиления малых электрических сигналов, сопровождаемых высоким уровнем помех, и характеризуются малым значением напряжения смещения и его температурным дрейфом, большими коэффициентами усиления и подавления синфазного сигнала, большим входным сопротивлением и низким уровнем шумов. Как правило, имеют невысокое быстродействие.

Таблица 7.3

Параметры ОУ общего применения

Тип ОУ	$U_{см}, мВ$	$\Delta U_{см}/\Delta T;$ мкВ/°C	$K_{У0}, тыс.$	$I_{вх}, нА$	$f_1, МГц$	$V_{У\text{ вых макс}},$ В/мкс
K140УД1	7	20	8	7000	8	0,4
K140УД2	5	2	35	700	1	0,2
K140УД5	5	6	2,5	1100	14	6
K140УД6	5	20	60	33	1	2,5
K140УД7	4,5	50	45	220	0,8	0,3
K140УД8	20	50	50	0,2	1	10
K140УД9	5	20	35	350	1	0,5
K140УД16	6	6	50	500	—	—
K140УД18	10	—	50	1,0	1	2
K140УД22	10	20	50	0,2	5*	7,5
K153УД1	5	20	20	600	1	0,06
K153УД2	5	20	50	500	1	0,5
K153УД3	2	15	25	200	1	0,2
K153УД5	2	10	125	100	0,3	0,005
K153УД6	2	15	50	75	0,7	0,5
K157УД4	5	50	50	300	1	0,5
K551УД1	1,5	10	500	100	0,8	0,2
K553УД1	2	20	15	200	1	0,2
K553УД2	7,5	20	20	1500	1	0,5
K553УД3	2	10	25	200	1	0,2
K553УД5	1	—	1000	100	—	—
K1401УД6*	5	—	25	250	1**	—

* ОУ+компаратор;

** Типовое значение.

Таблица 7.4

Параметры ОУ с малыми входными токами

Тип ОУ	$I_{\Delta x}, пА$	$U_{см}, мВ$	$\Delta U_{см}/\Delta T,$ мкВ/°C	$K_{У0}, тыс.$	$f_1, МГц$	$V_{У\text{ вых макс}},$ В/мкс
K140УД24	10	0,005	0,05	1000	0,8	2,0
K544УД1	50	15	20	100	1,0	5,0
K544УД2	100	30	50	20	15	20
K1409УД1	50	15	100	20	4,5	4,5
K1423УД1	50	15	—	10	0,48	0,6
K1423УД2*	40	2	25	20	0,48	—
K1429УД1*	50	15	—	10	—	—

* Два усилителя.

Таблица 7.5

Параметры многоканальных ОУ

Тип ОУ	$U_{см},$ мВ	$\Delta U_{см}/\Delta T,$ мкВ/°С	$K_{УО},$ тыс.	$I_{вх},$ нА	$f_l,$ МГц	$V_{U_{вых\ max}}$ В/мкс	Примечание
K140УД20	3	20	50	80	0,5	0,3	Два усилителя
K157УД2	10	50	50	500	1,0	0,5	« »
K157УД3	5	50	50	500	1,0	0,5	« »
K551УД2	5	10	5	2000	0,8	0,03	То же
K574УД2	30	75	25	0,5	2,0	10	« »
K1005УД1	5,5	6	30	300	0,5	0,3	« »
K1032УД1	5	—	25	50	1,0	—	Два усилителя + два компара- тора
K1040УД1	7	—	25	250	1,0**	—	Два усилителя
K1040УД2	50	—	1	2500	0,3**	—	То же; $I_{вх}=0,5$ А; $R_n=45$ Ом
K1053УД1	6	—	25	500	—	—	Два усилителя
K1053УД2	7	—	25	250	2,0**	—	То же
K1053УД3	7	—	25	250	—	—	Четыре усили- теля
K1401УД1*	—	—	2	—	2,5	0,5	То же
K1401УД2	5	30	50	150	1,5	0,35	« »
K1401УД3	6	—	50	250	2,5	—	« »
K1401УД4	7,5	10	30	0,5	2,5	10	« »
K1407УД4	5	—	5	2000	1,0	0,5	« »
1408УД2	5	2	50	200	0,55	0,3	Два усилителя
K1423УД2	2	25	20	250	0,48	—	То же
K1423УД3	15	—	3	—	—	—	« »
K1426УД1	3	—	60	2000	6,0**	5,0	« »
K1427УД1	—	—	5,4	800	2,0	3,0	« »
K1429УД1	15	—	—	0,05	—	—	« »
K1434УД1	3	30	20	200	1,0	0,5	« »

* Четыре токоразностных усилителя;

** Типовое значение.

Таблица 7.6

Параметры мощных ОУ

Тип ОУ	$I_{вых},$ А	$U_{вых},$ В	$U_n,$ В	$K_{УО},$ тыс.	$f_l,$ МГц	$U_{см},$ мВ	Примечание
K157УД1	0,3	12	15	50	0,5	5	—
K1040УД1	0,015	27	30**	25	1,0*	7	Два усилителя
K1040УД2	0,5	22,5	25	1	0,3*	50	То же
K1408УД1	0,1	19	27	70	0,5	8	—
K1422УД1	1,0	—	15	50	4,5	5	—

* Типовое значение;

** Диапазон напряжений питания от +5 до +33 В.

Параметры микро мощных ОУ

Тип ОУ	$I_{\text{пог}},$ мА	$\pm U_{\text{п ном}},$ В	$\pm U_{\text{вых}},$ В	$\pm U_{\text{см}},$ мВ	$K_{U0},$ тыс.	$V_{U \text{ вых max}},$ В/мкс	Примечание
K140УД12 *	0,03	15	10	5	50	0,01	—
K140УД14	0,6	15	13	2	50	0,05	—
K140УД28	0,3	9	6	10	25	0,6	—
K153УД4	0,7	6	4	5	45	0,12	—
K154УД1	0,12	15	10	3	150	10	—
K1032УД1 **	1,0	1,2	0,7	5	25	—	Два усилителя + два компара- тора
K1053УД3	3,0	+5	3	7	2,5	—	Четыре усилителя
K1407УД2 ***	0,1	12	10	5	50	0,01	—
K1407УД3	0,8	6	3	5	10	5,0	—
K1407УД4	0,7	1,5	0,55	5	2	1,0	Четыре усилителя

* При токе управления 1,5 мкА;

** Значение тока потребления приведено для всей ИС (два усилителя + два компаратора) при токе управления 4,0 мкА;

*** При токе управления 8,0 мкА.

Их основные параметры: напряжение смещения $U_{\text{см}} \leq 250$ мкВ; температурный дрейф $\Delta U_{\text{см}}/\Delta T \leq 5$ мкВ/°С; коэффициент усиления $K_{U0} \geq 150$ тыс.

Операционные усилители общего применения используются для построения узлов аппаратуры, имеющих суммарную приведенную погрешность на уровне 1%. Характеризуются относительно малой стоимостью и средним уровнем параметров (напряжение смещения $U_{\text{см}}$ — единицы милливольт, температурный дрейф $\Delta U_{\text{см}}/\Delta T$ — десятки микровольт/°С, коэффициент усиления K_{U0} — десятки тысяч, скорость нарастания $V_{U \text{ вых max}}$ — от десятых долей до единиц вольт/микросекунд).

Операционные усилители с малым входным током — усилители с входным каскадом, построенным на полевых транзисторах. Входной ток $I_{\text{вх}} \leq 100$ пА.

Многоканальные операционные усилители имеют параметры, аналогичные усилителям общего применения или микро мощным усилителям с добавлением такого параметра, как коэффициент разделения каналов. Они служат для улучшения массогабаритных показателей и снижения энергопотребления аппаратуры. Западные фирмы выпускают вдвоенные прецизионные и быстродействующие усилители.

Мощные и высоковольтные операционные усилители — усилители с выходными каскадами, построенными на мощных высоковольтных элементах. Выходной ток $I_{\text{вых}} \geq 100 \text{ мА}$; выходное напряжение $U_{\text{вых}} \geq 15 \text{ В}$.

Микромощные операционные усилители необходимы в случаях, когда потребляемая мощность жестко лимитирована (переносные приборы с автономным питанием, приборы, работающие в ждущем режиме). Ток потребления $I_{\text{пот max}} \leq 1 \text{ мА}$.

Контрольные вопросы

1. Какие основные требования предъявляются к ОУ?
2. Чем отличаются передаточные характеристики ОУ по инвертирующему и неинвертирующему входам?
3. Какой вид имеет ЛАЧХ стандартного ОУ?
4. Как входное напряжение сдвига влияет на вид передаточной характеристики ОУ?
5. Какова природа протекания входного тока ОУ?
6. Зачем во входном каскаде ОУ используют дифференциальный усилитель?
7. Как соотносятся максимальное выходное напряжение ОУ и его напряжение питания?
8. Как изменится передаточная характеристика ОУ при работе от однополярного источника питания?
9. Что такое частота единичного усиления ОУ?
10. Как, зная частоту единичного усиления ОУ и $K_{\text{УО}}$, можно найти полосу его пропускания без цепи ООС?
11. Объясните с какой целью в ОУ используют схемы генераторов тока и «токового зеркала».

ГЛАВА 8.

ПРЕОБРАЗОВАТЕЛИ АНАЛОГОВЫХ СИГНАЛОВ НА ОПЕРАЦИОННЫХ УСИЛИТЕЛЯХ

В настоящее время ОУ находят широкое применение при разработке различных аналоговых и импульсных электронных устройств. Объясняется это тем, что, введя в цепи прямой и обратной передачи его сигналов различные линейные и нелинейные цепи, можно направленно синтезировать узлы с требуемым алгоритмом преобразования входного сигнала.

Рассмотрим типовые устройства, которые могут быть построены с использованием ОУ. При этом будем полагать, что основные требования к электрическим параметрам ОУ, сформулированные

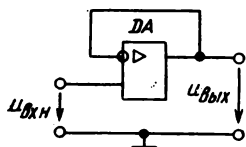


Рис. 8.1. Схема повторителя напряжения

в предыдущей главе, выполняются, и мы имеем дело с идеальным ОУ. При необходимости влияние реальных параметров на свойства разрабатываемых на основе ОУ устройств будут специально рассмотрены.

Далее будем пользоваться следующими обозначениями:

$U_{вхн}$ — входное напряжение на неинвертирующем входе ОУ;

$U_{вхи}$ — входное напряжение на инвертирующем входе ОУ;

$U_{вых}$ — выходное напряжение ОУ;

$K_{У0}$ — коэффициент усиления ОУ на постоянном токе.

8.1. ПОВТОРИТЕЛЬ НАПЯЖЕНИЯ

Схема повторителя напряжения, построенная на основе ОУ, приведена на рис. 8.1. Это усилитель, охваченный цепью последовательной ООС по выходному напряжению с коэффициентом передачи $b_{ос} = 1$, т. е. 100%-ной ООС. Свойства такого усилителя подобны свойствам эмиттерного или истокового повторителя и для него выполняются условия

$$u_{вхн} = u_{вых};$$

$$R_{вх\text{ ООС}} = R_{вх0} (1 + K_{У0}); \quad (8.1)$$

$$R_{вых\text{ ООС}} = R_{вых0} / (1 + K_{У0}),$$

что хорошо согласуется со свойствами ОУ. Действительно, напряжение, приложенное между входами ОУ, передается на выход с коэффициентом усиления $K_{У0}$, т. е. при любом выходном напряжении $\Delta u_{вх} = u_{вхи} - u_{вхн} = \Delta u_{вых} / K_{У0}$. В случае $K_{У0} \rightarrow \infty$ получим $\Delta u_{вх} \rightarrow 0$ и $u_{вхн} = u_{вых}$.

Появление любого входного напряжения сразу приводит к появлению разности $u_{вхи} - u_{вхн} = u_{вых} - u_{вхн}$. Эта разность, передаваясь на выход ОУ, изменяет его выходное напряжение так, чтобы скомпенсировать возникшее отклонение и восстановить условие (8.1).

Учитывая, что собственное входное сопротивление ОУ $R_{вх0}$ стремится к бесконечности, а выходное сопротивление $R_{вых0}$ стремится к нулю, можно сказать, что рассмотренная схема подобно эмиттерному или истоковому повторителю находит практическое применение в качестве буферных или согласующих элементов.

8.2. НЕИНВЕРТИРУЮЩИЙ УСИЛИТЕЛЬ

Схема повторителя, приведенная на рис. 8.1, не инвертировала входной сигнал. Однако вследствие единичной ООС ее коэффициент передачи равнялся единице. Для получения коэффициента передачи, превышающего единицу в схеме на рис. 8.1, необходимо обеспечить $b_{OC} < 1$. Для этого в цепь ООС необходимо ввести делитель напряжения. Схема выполненного таким образом усилителя приведена на рис. 8.2. Коэффициент передачи делителя в цепи ООС определяется из выражения

$$b_{OC} = Z_1 / (Z_{OC} + Z_1). \quad (8.2)$$

Тогда коэффициент передачи усилителя (рис. 8.2) в силу выражений (5.20) будет равен

$$K_{U_{OOC}} = K_{U_0} / (1 + K_{U_0} b_{OC}) = K_{U_0} / [1 + Z_1 K_{U_0} / (Z_{OC} + Z_1)].$$

С учетом $K_{U_0} \rightarrow \infty$ окончательно получим

$$K_{U_{OOC}} = (Z_1 + Z_{OC}) / Z_1 = 1 + Z_{OC} / Z_1 = 1 / b_{OC}. \quad (8.3)$$

Из полученного выражения можно сделать следующие выводы:

коэффициент передачи неинвертирующего усилителя обратно пропорционален коэффициенту передачи цепи ООС;

при любых сопротивлениях резисторов в цепи ООС коэффициент передачи неинвертирующего усилителя не может быть меньше единицы.

Последний вывод непосредственно вытекает из свойств ОУ. Действительно, для уменьшения коэффициента передачи в рассматриваемой схеме необходимо увеличить коэффициент передачи цепи ООС. Пределом такого увеличения является $b_{OC} = 1$. Однако в этом случае схема на рис. 8.2 превращается в схему на рис. 8.1, т. е. в схему повторителя напряжения. Отсюда следует, что коэффициент передачи неинвертирующего усилителя не может быть менее 1.

Часто единицей в выражении (8.3) можно пренебречь и при определении коэффициента передачи использовать упрощенное выражение

$$K_{U_{OOC}} \approx Z_{OC} / Z_1. \quad (8.4)$$

Следует напомнить, что в рассмотренном усилителе фазы входного и выходного напряжений совпадают.

Пример 8.1. Используя ОУ типа К140УД5Б, спроектировать неинвертирующий усилитель с коэффициентом передачи 100 и входным сопротивлением 1 кОм. Собственное входное сопротивление ОУ $R_{вх0} = 3$ кОм.

Решение 1. Определим входное сопротивление усилителя с цепью ООС. Так как в схеме на рис. 8.2 введена цепь последовательной ООС, то для вход-

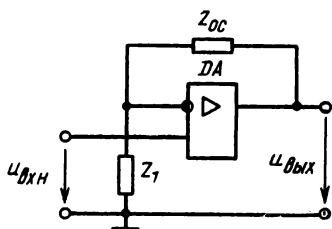


Рис. 8.2. Схема неинвертирующего усилителя

ного сопротивления усилителя по постоянному току справедливо выражение (5.30)

$$R_{вх\text{ оос}} = R_{вх0}(1 + K_{U0}b_{OC}).$$

Используя выражение (5.20), найдем по исходным данным требуемое значение глубины ООС

$$1 + K_{U0}b_{OC} = K_{U0}/K_{U\text{ оос}} = 2500/100 = 25.$$

Тогда $R_{вх\text{ оос}} = 3 \cdot 25 = 75$ кОм.

2. Для получения требуемого входного сопротивления между неинвертирующим входом ОУ и общей шиной необходимо включить дополнительный резистор $R_{доп}$

$$R_{вх} = R_{доп}R_{вх\text{ оос}}/(R_{доп} + R_{вх\text{ оос}});$$

$$R_{доп} = R_{вх}R_{вх\text{ оос}}/(R_{вх\text{ оос}} - R_{вх}) = 1 \cdot 75/(75 - 1) = 1,013 \text{ кОм}.$$

Принимаем $R_{доп} = 1$ кОм.

3. Определим требуемое сопротивление резистора R_{OC}

$$1 + K_{U0}b_{OC} = 1 + K_{U0}R_1/(R_1 + R_{OC}),$$

откуда, принимая $R_1 = R_{доп}$, найдем

$$R_{OC} = \frac{K_{U0} + 1 - (1 + K_{U0}b_{OC})}{(1 + K_{U0}b_{OC}) - 1} R_1 = \frac{2500 + 1 - 25}{25 - 1} = 103,16 \text{ кОм}.$$

Используя приближенное выражение (8.3) для R_{OC} , получим

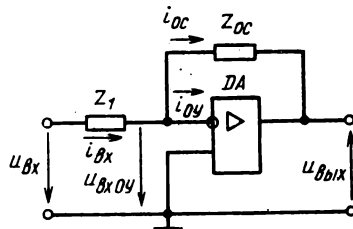
$$R_{OC} = R_1(K_{U\text{ оос}} - 1) = 1(100 - 1) = 99 \text{ кОм}.$$

Сравнивая результаты, можно сказать, что расчет по приближенному выражению (8.3) дал погрешность приблизительно 4 %, что с инженерной точки зрения вполне допустимо. Очевидно, что при увеличении K_{U0} эта погрешность будет уменьшаться.

8.3. ИНВЕРТИРУЮЩИЙ УСИЛИТЕЛЬ

В схемах повторителя и неинвертирующего усилителя сигнал ООС U_{OOC} и входной сигнал $U_{вх}$ подавались на различные входы ОУ. Для получения инвертирующего усилителя входной сигнал и сигнал обратной связи должны подаваться на один и тот же инвертирующий вход, т. е. цепь ООС превращается из последова-

Рис. 8.3. Схема инвертирующего усилителя



тельной в параллельную. При этом неинвертирующий вход, как правило, соединяют с общей шиной. Типовая схема инвертирующего усилителя на ОУ приведена на рис. 8.3.

Для данного усилителя в случае нулевого выходного сопротивления источника входного сигнала коэффициент передачи цепи ООС также определяется из выражения (8.2). Однако в отличие от неинвертирующего усилителя входной сигнал попадает на вход ОУ не непосредственно, а через делитель напряжения, образованный этими же резисторами. Предполагая, что выходное сопротивление ОУ равно нулю, для коэффициента передачи усилителя (рис. 8.3) можно записать

$$K_{U \text{ ООС}} = K_{\text{дел}} K_{U0} / (1 + K_{U0} b_{\text{ОС}}) = \frac{Z_{\text{ОС}}}{Z_1 + Z_{\text{ОС}}} \cdot \frac{K_{U0}}{1 + Z_1 K_{U0} (Z_{\text{ОС}} + Z_1)}.$$

Полагая (как и в предыдущем случае) $K_{U0} \rightarrow \infty$, получим

$$K_{U \text{ ООС}} = Z_{\text{ОС}} / Z_1. \quad (8.5)$$

Из выражения (8.5) следует, что в отличие от неинвертирующего усилителя выбором резисторов цепи ООС коэффициент передачи инвертирующего усилителя может быть уменьшен до сколь угодно малой величины. Сделанный вывод не означает, что собственно напряжение, присутствующее на входе ОУ, передается на его выход с коэффициентом передачи, меньшим единицы. Это противоречило бы свойствам ОУ.

Изменение коэффициента передачи усилителя до величины, меньшей единицы, достигается за счет действия входного делителя. Действительно, в предельном случае, когда $Z_{\text{ОС}} = 0$, коэффициент передачи цепи ООС $b_{\text{ОС}} = 1$ и собственный коэффициент передачи сигнала со входа ОУ равен единице. В этом случае выполняется условие $u_{\text{вх}} = u_{\text{вых}}$. Однако коэффициент передачи делителя, обеспечивающего необходимый входной сигнал ОУ, снижается до нуля ($K_{\text{дел}} = 0$). Вследствие этого суммарный коэффициент передачи всего ОУ также снижается до нуля. Для инвертирующего усилителя фазы входного и выходного напряжений сдвинуты относительно друг друга на 180° . Поэтому, строго говоря, перед правой частью выражения (8.5) должен стоять знак минус.

Изменение типа ООС приводит к тому, что входное сопротивление ОУ определяется выражением (5.32). При активном характере сопротивлений

$$R_{вх \text{ ООС}} = \frac{R_{вх0} R_{ОС}}{R_{вх0} (1 + K_{У0}) + R_{ОС}} \approx \frac{R_{ОС}}{1 + K_{У0}}. \quad (8.6)$$

Выходное сопротивление инвертирующего усилителя вследствие того, что цепь ООС по-прежнему выполнена по напряжению, мало и определяется выражением (5.34).

Пример 8.2. Для исходных данных примера 8.1 рассчитать инвертирующий усилитель по схеме на рис. 8.3. Определить погрешность, возникающую при использовании точных и приближенных выражений.

Решение. 1. Определим точные сопротивления резисторов $Z_1 = R_1$ и $Z_{ОС} = R_{ОС}$. Для этого по первому закону Кирхгофа запишем уравнения относительно токов инвертирующего входа ОУ

$$I_{вх} = I_{ОС} + I_{ОУ}$$

или

$$(U_{вх} - U_{вх \text{ ОУ}}) / R_1 = (U_{вх \text{ ОУ}} - U_{вых}) / R_{ОС} + U_{вх \text{ ОУ}} / R_{вх0}.$$

Учитывая, что $U_{вых} = -U_{вх \text{ ОУ}} K_{У0}$, найдем точное выражение для коэффициента передачи инвертирующего усилителя

$$K_{У \text{ ООС}} = \frac{K_{У0} R_{ОС} R_{вх0}}{R_{вх0} R_1 (1 + K_{У0}) + R_{ОС} (R_1 + R_{вх0})}.$$

Полное входное сопротивление усилителя

$$R_{вх} = R_1 + R_{вх \text{ ООС}} = \frac{R_{ОС} R_{вх0} + R_1 [R_{вх0} (1 + K_{У0}) + R_{ОС}]}{R_{ОС} + R_{вх0} (1 + K_{У0})}.$$

Решим уравнение, полученное для $K_{У \text{ ООС}}$ относительно R_1 :

$$R_1 = \frac{R_{ОС} R_{вх0} (K_{У0} - K_{У \text{ ООС}})}{K_{У \text{ ООС}} [R_{ОС} + R_{вх0} (1 + K_{У0})]}.$$

Подставив найденное значение R_1 в уравнение для $R_{вх}$ и решив его относительно $R_{ОС}$, получим

$$R_{ОС} = \frac{R_{вх} R_{вх0} K_{У \text{ ООС}} (1 + K_{У0})}{R_{вх0} (K_{У0} + K_{У \text{ ООС}}) - R_{вх} K_{У \text{ ООС}}}.$$

Используя полученные выражения, найдем $R_{ОС}$ и R_1

$$R_{ОС} = [1 \cdot 3 \cdot 100 (1 + 2500)] / [3 (2500 + 100) - 1 \cdot 100] = 97,44 \text{ кОм.}$$

$$R_1 = [97,44 \cdot 3 (2500 - 100)] / [100 [97,44 + 3 (1 + 2500)]] = 0,923 \text{ кОм.}$$

2. Определим сопротивления резисторов, используя приближенные выражения:

$$R_1 = R_{вх} - R_{вх \text{ ООС}};$$

$$R_{вх \text{ ООС}} \approx R_{ОС} / (1 + K_{U0});$$

$$K_{U \text{ ООС}} \approx R_{ОС} / R_1.$$

Решая приведенную систему уравнений относительно $R_{ОС}$, найдем

$$R_{ОС} = \frac{R_{вх} K_{U \text{ ООС}} (1 + K_{U0})}{1 + K_{U0} + K_{U \text{ ООС}}} = \frac{1 \cdot 100 (1 + 2500)}{1 + 2500 + 100} = 96,15 \text{ кОм}.$$

Тогда

$$R_{вх \text{ ООС}} = 96,15 / (1 + 2500) = 0,038 \text{ кОм};$$

$$R_1 = 1 - 0,038 \approx 0,96 \text{ кОм}.$$

3. Определим точное значение $K_{U \text{ ООС}}$ для найденных приближенных сопротивлений R_1 и $R_{ОС}$

$$K_{U \text{ ООС}} = \frac{2500 \cdot 96,15 \cdot 3}{3 \cdot 0,96 (1 + 2500) + 96,15 (0,96 + 3)} = 95,1.$$

Полученное значение отличается от заданного не более чем на 5 %, что вполне допустимо.

Результаты расчета показали, что даже при не очень больших значениях K_{U0} приближенные выражения дают приемлемую точность вычислений.

Следует отметить и еще одну особенность полученных результатов. Входное сопротивление усилителя практически равно сопротивлению резистора Z_1 , так как непосредственно входное сопротивление усилителя $R_{вх \text{ ООС}}$ стремится к нулю. Данный результат объясняется действием цепи параллельной ООС, которая, как было показано в § 5.7, снижает входное сопротивление усилителя.

Из сказанного следует, что при любом входном токе напряжение на инвертирующем входе ОУ будет равно нулю. В рассматриваемой схеме напряжение на неинвертирующем входе также равно нулю. Следовательно, при любых входных сигналах разность напряжений между инвертирующим и неинвертирующим входами стремится к нулю. Это подтверждает сделанный ранее вывод о том, что ОУ чувствителен только к разности входных напряжений, которая при больших значениях K_{U0} исчезающе мала.

8.4. ВЛИЯНИЕ ПАРАМЕТРОВ РЕАЛЬНОГО ОУ НА РАБОТУ УСИЛИТЕЛЯ

При рассмотрении в гл. 7 основных параметров ОУ было указано, что параметры реального ОУ, строго говоря, не полностью соответствуют требуемым параметрам идеального ОУ (см. табл. 7.1—7.7). Входное сопротивление реального ОУ не равно бесконечности. Поэтому для нормального функционирования ОУ

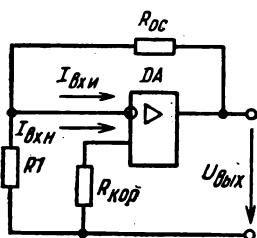


Рис. 8.1. Обобщенная схема замещения усилителя на ОУ

в его входных цепях должен протекать вполне определенный ток $I_{ВХ}$. Этот ток для разных входов может быть неодинаков, что, в свою очередь, приводит к появлению $\Delta I_{ВХ}$.

Наличие входных токов нарушает условия, при которых ранее были получены выражения для коэффициентов передачи инвертирующего и неинвертирующего усилителей. К тому же при равенстве нулю внешнего входного напряжения реально не выполняется условие равенства нулю выходного напряжения ($U_{ВЫХ} \neq 0$).

Все перечисленные факторы действуют во входной цепи усилителя. Поэтому, несмотря на свои малые абсолютные значения, они в ряде случаев могут привести к недопустимым погрешностям преобразования входного сигнала.

Рассмотрим влияние на характеристики усилителей реальных параметров входной цепи используемых ОУ. При этом будем полагать, что все сопротивления рассматриваемых ОУ чисто активные.

Для этого обратимся к схемам неинвертирующего и инвертирующего усилителей, приведенным на рис. 8.2 и 8.3. Так как нас интересует влияние на выходное напряжение ОУ его собственных параметров, то при анализе предположим, что уровень внешнего входного сигнала для обеих схем равен нулю. В этом случае оба усилителя приводятся к одной схеме, показанной на рис. 8.4. В полученной схеме между неинвертирующим входом ОУ и общей шиной введен дополнительный корректирующий резистор. Он моделирует выходное сопротивление источника сигнала, подключаемого к входу неинвертирующего усилителя (см. рис. 8.2). Анализ работы схемы на рис. 8.3 показал, что наличие этого резистора не оказывает влияния на свойства инвертирующего усилителя.

Несложно показать, что в схеме на рис. 8.4 сигналы, присутствующие как на инвертирующем, так и на неинвертирующем входах, передаются на выход с коэффициентом передачи $K_{U\ OOC} = (R_1 + R_{OC})/R_1$, т. е. как в неинвертирующем усилителе.

Наличие на входе рассматриваемого усилителя напряжения сдвига (смещения) $U_{см}$ приведет к появлению на выходе напряжения

$$U_{ВЫХ}(U_{см}) = K_{U\ OOC} U_{см} = U_{см} (R_1 + R_{OC})/R_1. \quad (8.7)$$

Однако, даже если $U_{cm}=0$, наличие входного тока $I_{вх}$ приводит к появлению на входе усилителя некоторого входного напряжения

$$U_{вх}(I_{вх}) = U_{вхн} - U_{вхн} = I_{вхн} R_{кор} - I_{вхн} [R_1 R_{ос} / (R_1 + R_{ос})].$$

Это напряжение усиливается ОУ и создает на выходе напряжение $U_{вых}(I_{вх})$. При условии, что $I_{вхн} = I_{вхн}$, оно равно

$$U_{вых}(I_{вх}) = K_{у ос} U_{вх}(I_{вх}) = \frac{R_1 + R_{ос}}{R_1} I_{вх} \left(R_{кор} - \frac{R_1 R_{ос}}{R_1 + R_{ос}} \right). \quad (8.8)$$

Погрешность, возникающая из-за неидентичности входных токов, также определяется выражением (8.8). Однако в этом случае как ее величина, так и знак зависят от соотношения токов $I_{вхн}$ и $I_{вхн}$. Допустим, что $I_{вхн} > I_{вхн}$, тогда для суммарной погрешности выходного напряжения, обусловленной неидеальностью ОУ, с учетом (8.7) и (8.8) можно записать

$$\Delta U_{вых max} = \frac{R_1 + R_{ос}}{R_1} \left[U_{cm} + I_{вх} \left(R_{кор} - \frac{R_1 R_{ос}}{R_1 + R_{ос}} \right) + \Delta I_{вх} R_{кор} \right]. \quad (8.9)$$

Из полученного выражения можно сделать следующие выводы:

погрешности, вносимые действием U_{cm} , $I_{вх}$ и $\Delta I_{вх}$ пропорциональны реальному коэффициенту передачи устройства $K_{у ос}$;

так как входной ток протекает в обеих входных цепях усилителя, то для компенсации составляющей погрешности, обусловленной его протеканием, сопротивление резистора $R_{кор}$, включенного в цепь неинвертирующего входа усилителя, необходимо выбирать из условия

$$R_{кор} = R_1 R_{ос} / (R_1 + R_{ос}). \quad (8.10)$$

В этом случае составляющая погрешности от $\Delta I_{вх}$ не зависит от соотношения $I_{вхн}$ и $I_{вхн}$ и максимальное значение погрешности выходного напряжения будет равно

$$\Delta U_{вых max} = K_{у ос} [U_{cm} + \Delta I_{вх} R_1 R_{ос} / (R_1 + R_{ос})]. \quad (8.11)$$

Чисто теоретически выбором соответствующего значения $R_{кор}$ можно компенсировать все составляющие погрешности выходного напряжения ОУ. Однако из-за неопределенности величин и знаков $\Delta I_{вх}$ и U_{cm} такое решение не имеет практического значения. Поэтому компенсация $\Delta U_{вых max}$ требует введения в схему усилителя дополнительных регулировочных элементов.

На рис. 8.5 приведена схема инвертирующего усилителя с внешними цепями компенсации выходной погрешности $\Delta U_{вых max}$. В данной схеме резистор $R_{кор}$ состоит из двух последовательно включенных резисторов R_2 и R_3 , т. е. $R_{кор} = R_2 + R_3$. На резистор R_3 от потенциометра R_5 , подключенного к выводам источников пита-

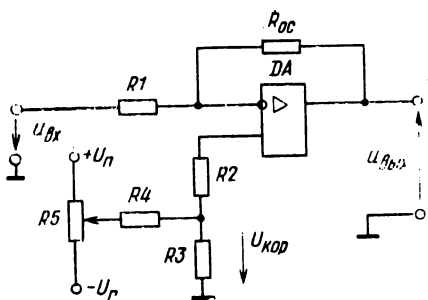


Рис. 8.5. Схема инвертирующего усилителя с внешними цепями компенсации напряжения $U_{см}$

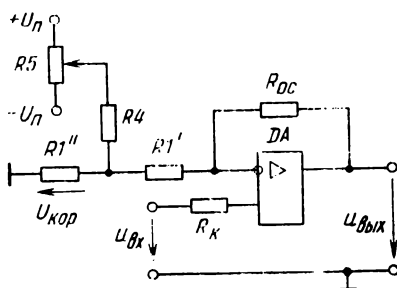


Рис. 8.6. Схема неинвертирующего усилителя с внешними цепями компенсации напряжения $U_{см}$

ния ОУ, через ограничительный резистор R_4 задается дополнительное смещение. Абсолютная величина и знак этого смещения выбираются из условия получения $\Delta U_{вых\max} = 0$.

Сопротивления резисторов в данной схеме выбираются из следующих соображений:

чтобы не нарушалось условие $R_2 + R_3 = R_{кор}$ необходимо, чтобы $R_4 \gg R_3$;

допустимый диапазон изменения напряжения на резисторе R_3 должен быть больше максимального напряжения $U_{см}$, т. е.

$$U_{см\max} \leq \Delta U_{кор} = U_n R_3 / (R_3 + R_4) \approx U_n R_3 / R_4; \quad (8.12)$$

сопротивление резистора R_5 должно удовлетворять условию $R_5 \ll R_4$.

Аналогично может быть скомпенсирована ошибка и в неинвертирующем усилителе. В этом случае цепь коррекции удобнее подключать к инвертирующему входу усилителя (рис. 8.6). Принципы расчета такой цепи аналогичны изложенным выше.

Следует еще раз отметить, что введением внешних цепей коррекции (балансировки), аналогичных приведенным на рис. 8.5 и 8.6, можно компенсировать погрешности, обусловленные действием всех рассмотренных выше дестабилизирующих факторов.

Пример 8.3. Рассчитать цепь компенсации погрешности выходного напряжения инвертирующего усилителя со следующими параметрами: $R_1 = 1$ кОм; $R_{ос} = 100$ кОм; DA — К140УД6; $U_n = \pm 15$ В.

Решение. 1. Схема усилителя с компенсацией приведена на рис. 8.5. Для компенсации погрешности, обусловленной протеканием тока $I_{вх}$ в цепь неинвертирующего входа ОУ, введем резистор

$$R_{кор} = R_{ос} R_1 / (R_{ос} + R_1) = 1 \cdot 100 / (100 + 1) = 0,99 \text{ кОм.}$$

Принимаем $R_{кор} = 1$ кОм.

2. Определим максимальную суммарную погрешность усилителя. Согласно табл. 7.1 имеем $U_{см} = \pm 6$ мВ; $\Delta I_{вх} = 50$ нА;

$$U_{вх\max} = U_{см} + \Delta I_{вх} R_{кор} = 6 \cdot 10^{-3} + 50 \cdot 10^{-9} \cdot 1 \cdot 10^3 = 6,05 \cdot 10^{-3} \text{ В};$$

$$\Delta U_{вых\max} = [(R_1 + R_{ос})/R_1] \Delta U_{вх\max} = [(1 + 100)/1] \cdot 6,05 \cdot 10^{-3} = 0,61 \text{ В}.$$

3. Сопротивление резистора R_3 определяем из условия $R_3 \approx 0,1 R_{кор}$. Тогда с учетом ряда сопротивлений

$$R_3 = 91 \text{ Ом}; \quad R_2 = 910 \text{ Ом}.$$

4. Сопротивление резистора R_4 выбираем из условия

$$U_{кор} = K_{зап} \Delta U_{вх\max} = U_n R_3 / (R_3 + R_4),$$

где $K_{зап} = 1,5 \dots 2$ — коэффициент запаса;

$$R_4 = \frac{R_3 (U_n - K_{зап} \Delta U_{вх\max})}{K_{зап} \Delta U_{вх\max}} = \frac{0,091 (15 - 2 \cdot 6,05 \cdot 10^{-3})}{2 \cdot 6,05 \cdot 10^{-3}} = 112,7 \text{ кОм}.$$

Выбираем $R_4 = 110$ кОм.

5. Сопротивление резистора R_5 выбираем из условия $I_{R_5} \gg I_{R_4}$ (условие независимости входного напряжения делителя от его нагрузки).

Полагаем $I_{R_5} = 10 I_{R_4}$, тогда

$$R_5 = R_4 / 5 = 110 / 5 = 22 \text{ кОм}.$$

Выбираем $R_5 = 22$ кОм.

8.5. ТЕМПЕРАТУРНЫЕ ПОГРЕШНОСТИ ВЫХОДНОГО НАПЯЖЕНИЯ ОУ

Рассмотренные методы позволяют скомпенсировать погрешность работы ОУ только при фиксированной температуре окружающей среды. Объясняется это тем, что с изменением температуры окружающей среды параметры p - n -переходов различных транзисторов изменяются неодинаково. Такая неидентичность параметров приводит к появлению температурного дрейфа выходного напряжения ОУ. Обычно значения $dU_{см}/dT, ^\circ\text{C}$ и $dI_{вх}/dT, ^\circ\text{C}$ являются справочными данными для каждого типа ОУ. Если в заданном диапазоне температур они не постоянны, то задаются соответствующие графические зависимости.

Определим погрешность выходного напряжения усилителя, вызванную температурными изменениями $dU_{см}/dT, ^\circ\text{C}$ и $dI_{вх}/dT, ^\circ\text{C}$ ОУ. При этом будем полагать, что при начальной температуре погрешности выходного напряжения с помощью методов, изложенных в § 8.4, была сведена к нулю. Тогда для обобщенной схемы усилителя на рис. 8.4 при начальной температуре окружающей среды можно записать

$$U_{вых} = K_{у\text{оос}} (U_{кор} - U_{см}) + K_{у\text{оос}} \Delta I_{вх} R_1 R_{ос} / (R_1 + R_{ос}) = 0. \quad (8.13)$$

Так как сигналы $U_{кор}$, $U_{см}$ и $\Delta I_{вх}$ действуют непосредственно на входе ОУ, то значение $K_{у\text{оос}}$ определяется выражением для неин-

вертирующего усилителя, т. е. $K_{U_{OOC}} = (R_1 + R_{OC})/R_1$. Используя выражение (8.13) и заданные значения $dU_{cm}/dT, ^\circ C$ и $dI_{bx}/dT, ^\circ C$ для производной температурной погрешности выходного напряжения ОУ можно записать

$$\frac{dU_{вых}}{dT, ^\circ C} = \frac{R_1 + R_{OC}}{R_1} \left| \frac{dU_{cm}}{dT, ^\circ C} \right| + R_{OC} \left| \frac{dI_{bx}}{dT, ^\circ C} \right|. \quad (8.14)$$

При выводе выражения (8.14) полагалось, что температурные изменения U_{cm} и I_{bx} имеют одинаковые знаки. Это позволяет определить максимально возможную погрешность, возникающую на выходе усилителя. В реальных условиях значение $dU_{cm}/dT, ^\circ C$ и $dI_{bx}/dT, ^\circ C$ могут частично компенсировать друг друга.

На основании (8.14) полное температурное изменение выходного напряжения рассматриваемого усилителя будет равно

$$\Delta U_{вых}(\Delta T, ^\circ C) = (dU_{вых}/dT, ^\circ C) \Delta T, ^\circ C. \quad (8.15)$$

Часто значения $\Delta U_{вых}(\Delta T, ^\circ C)$ и $dU_{вых}/dT, ^\circ C$ приводят ко входу усилителя и суммарный уход выходного напряжения характеризуют приведенными значениями $\Delta U'_{вых}(\Delta T, ^\circ C) = \Delta U_{вых}(\Delta T, ^\circ C)/K_{U_{OOC}}$ и $dU'_{вых}/dT, ^\circ C = (dU_{вых}/dT, ^\circ C)/K_{U_{OOC}}$.

Полученные таким образом приведенные параметры действуют непосредственно на входе всего усилителя. Поэтому для полного выходного напряжения инвертирующего усилителя (рис. 8.5) можно записать выражение

$$u_{вых II} = -[u_{bx} \pm \Delta U'_{вых II}(\Delta T, ^\circ C)] R_{OC}/R_1, \quad (8.16)$$

где

$$\Delta U'_{вых II}(\Delta T, ^\circ C) = \frac{R_1 + R_{OC}}{R_{OC}} \left| \frac{dU_{cm}}{dT, ^\circ C} \right| \Delta T, ^\circ C + R_1 \left| \frac{dI_{bx}}{dT, ^\circ C} \right| \Delta T, ^\circ C. \quad (8.17)$$

Рассуждая аналогично, можно записать выражение для температурного дрейфа выходного напряжения неинвертирующего усилителя на рис. 8.6

$$u_{вых II} = [u_{bx} + \Delta U'_{вых II}(\Delta T, ^\circ C)] (R_{OC} + R_1)/R_1, \quad (8.18)$$

где

$$\Delta U'_{вых II}(\Delta T, ^\circ C) = \left| \frac{dU_{cm}}{dT, ^\circ C} \right| \Delta T, ^\circ C + \frac{R_1 R_{OC}}{R_1 + R_{OC}} \left| \frac{dI_{bx}}{dT, ^\circ C} \right| \Delta T, ^\circ C. \quad (8.19)$$

Пример 8.4. Определить минимальное входное напряжение, при котором погрешность выходного напряжения усилителя из примера 8.3 при работе в диапазоне температур $\pm 60 ^\circ C$, не будет превышать $\pm 5 \%$;

$$dI_{bx}/dT, ^\circ C = 1,5 \text{ нА/}^\circ C.$$

Решение. 1. Определим максимальную температурную погрешность выходного напряжения в предположении, что схема была полностью сбалансирована при температуре 0 °C

$$\frac{dU_{\text{вых}}(\Delta T, ^\circ\text{C})}{dT, ^\circ\text{C}} = \frac{R_1 + R_{\text{OC}}}{R_1} \frac{dU_{\text{см}}}{dT, ^\circ\text{C}} + R_{\text{OC}} \frac{d\Delta I_{\text{вх}}}{dT, ^\circ\text{C}} \\ = [(1+100)/1] \cdot 6 \cdot 10^{-6} + 100 \cdot 10^{-3} \cdot 1,5 \cdot 10^{-9} = 7,56 \cdot 10^{-4} \text{ В/}^\circ\text{C};$$

$$\Delta U_{\text{вых}}(\Delta T, ^\circ\text{C}) = [dU_{\text{вых}}(\Delta T, ^\circ\text{C})/dT, ^\circ\text{C}] \Delta T, ^\circ\text{C} = 6,06 \cdot 10^{-4} \cdot 60 = 0,045 \text{ В.}$$

2. Найдем приведенную входную погрешность

$$\Delta U'_{\text{вх}}(\Delta T, ^\circ\text{C}) = \Delta U_{\text{вых}}(\Delta T, ^\circ\text{C}) R_1 / (R_1 + R_{\text{OC}}) = 0,045 \cdot 1 / (1 + 100) = 4,49 \cdot 10^{-4} \text{ В.}$$

3. Выходное напряжение усилителя равно

$$U_{\text{вых}} = (R_{\text{OC}}/R_1) [U_{\text{вх}} + \Delta U'_{\text{вх}}(\Delta T, ^\circ\text{C})].$$

Тогда, предполагая, что согласно условию $\Delta U'_{\text{вх}}(\Delta T, ^\circ\text{C})$ составляет 5 % от $U_{\text{вх min}}$, получим

$$U_{\text{вх min}} = 20 \Delta U'_{\text{вх}}(\Delta T, ^\circ\text{C}) = 20 \cdot 4,49 \cdot 10^{-4} = 8,98 \cdot 10^{-3} \text{ В.}$$

Из приведенного примера следует, что относительная погрешность выходного напряжения, обусловленная температурной зависимостью напряжения $U_{\text{см}}$ и тока $\Delta I_{\text{вх}}$, уменьшается с увеличением абсолютного значения входного напряжения усилителя.

8.6. УСИЛИТЕЛЬ С ДИФФЕРЕНЦИАЛЬНЫМ ВХОДОМ

Принципиальная электрическая схема усилителя с дифференциальным входом приведена на рис. 8.7. По существу, данная схема является комбинацией рассмотренных ранее схем инвертирующего и неинвертирующего усилителей.

Так как мы имеем дело с линейным устройством, то, используя принцип суперпозиции для выходного напряжения, можно записать:

$$u_{\text{вых}}(u_{\text{вх ус н}}) = -u_{\text{вх ус н}} R_{\text{OC}}/R_1; \\ u_{\text{вых}}(u_{\text{вх ус н}}) = u_{\text{вх ус н}} \frac{R'}{R_2 + R'} \frac{R_1 + R_{\text{OC}}}{R_1}.$$

Суммируя полученные выражения, найдём

$$u_{\text{вых}} = u_{\text{вых}}(u_{\text{вх ус н}}) + u_{\text{вых}}(u_{\text{вх ус н}}) = \frac{R'}{R_1} \frac{R_1 + R_{\text{OC}}}{R_2 + R'} u_{\text{вх ус н}} - \frac{R_{\text{OC}}}{R_1} u_{\text{вх ус н}}. \quad (8.20)$$

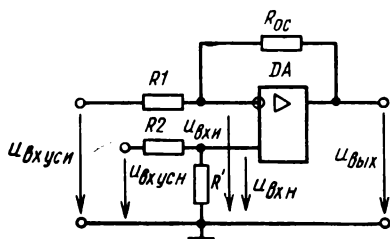
На практике часто выполняется условие

$$R_1 = R_2 \quad \text{и} \quad R_{\text{OC}} = R'. \quad (8.21)$$

Тогда выражение (8.20) примет более простой вид

$$u_{\text{вых}} = (u_{\text{вх ус н}} - u_{\text{вх ус н}}) R_{\text{OC}}/R_1. \quad (8.22)$$

Рис. 8.7. Схема усилителя с дифференциальным входом



Из полученного выражения следует, что при выполнении условия (8.21) сигнал на выходе схемы на рис. 8.7 равен усиленной разности сигналов, присутствующих на его инвертирующем и неинвертирующем входах. При этом коэффициент усиления соответствует коэффициенту усиления инвертирующего усилителя. Следовательно, рассматриваемая схема может выполнять математическую операцию вычитания двух чисел.

Посмотрим, является ли условие (8.21) единственным, при котором справедливо равенство (8.22). Для этого выражение (8.20) перепишем так, чтобы оно содержало только отношения сопротивлений резисторов R'/R_2 и R_{OC}/R_1 . Тогда

$$u_{\text{вых}} = \frac{R'/R_2}{1 + R'/R_2} \frac{1 + R_{OC}/R_1}{1} u_{\text{вх усн}} - \frac{R_{OC}}{R_1} u_{\text{вх усн}}$$

Нетрудно заметить, что если отношения однотипных резисторов равны, т. е.

$$R'/R_2 = R_{OC}/R_1, \quad (8.23)$$

то выражение (8.22) также справедливо.

Пример 8.5. Используя ОУ типа К153УД5, разработать усилитель, обеспечивающий при вычитании напряжений, отличающихся не менее чем на 10 мВ, погрешность результата не более 5 %; $K_{U_{OC}} = 200$; $T, ^\circ\text{C} = \pm 40$; $dU_{\text{вх}}/dT, ^\circ\text{C} = 1,5 \cdot 10^{-9} \text{ A}/^\circ\text{C}$.

Решение. 1. Схема усилителя приведена на рис. 8.7. Минимальное выходное напряжение усилителя равно

$$U_{\text{вых min}} = \Delta U_{\text{вх min}} K_{U_{OC}} = 10 \cdot 10^{-3} \cdot 200 = 2 \text{ В.}$$

2. Максимально допустимая погрешность выходного напряжения

$$\Delta U_{\text{вых}} (\Delta T, ^\circ\text{C}) = U_{\text{вых min}} \cdot 5 \% = 2 \cdot 5/100 = 0,1 \text{ В.}$$

3. Определим сопротивление резистора R_{OC} из условия получения заданной температурной погрешности выходного напряжения

$$\Delta U_{\text{вых}} = \frac{R_1 + R_{OC}}{R_1} \frac{dU_{\text{см}}}{dT, ^\circ\text{C}} \Delta T + R_{OC} \frac{dI_{\text{вх}}}{dT, ^\circ\text{C}} \Delta T.$$

Отсюда

$$R_{OC} = \frac{\Delta U_{вых} - \frac{R_1 + R_{OC}}{R_1} \frac{dU_{см}}{dT, ^\circ C} \Delta T}{\frac{dI_{вх}}{dT, ^\circ C} \Delta T};$$

$$R_{OC} = 0,1 - (1 + 200) \cdot 10 \cdot 10^{-6} \cdot 40 / 1,5 \cdot 10^{-9} \cdot 40 = 326 \text{ кОм.}$$

Принимаем $R_{OC} = 300 \text{ кОм.}$

4. Найдем сопротивление резистора R_1 .

$$K_{U_{OOC}} = R_{OC} / R_1, \text{ откуда}$$

$$R_1 = R_{OC} / K_{U_{OOC}} = 300 / 200 = 1,5 \text{ кОм.}$$

5. Определим максимальную температурную погрешность

$$\begin{aligned} \Delta U_{вых} [(1,5 + 300) / 1,5] \cdot 10 \cdot 10^{-6} \cdot 40 + 300 \cdot 10^3 \cdot 1,5 \cdot 10^{-9} \cdot 40 - \\ = 0,0804 + 0,018 = 0,0984 \text{ В.} \end{aligned}$$

6. Реальная температурная погрешность выходного напряжения в процентах

$$\Delta U_{вых} \% = \Delta U_{вых} \cdot 100 / \Delta U_{вых \text{ min}} = 0,0984 \cdot 100 / 2 = 4,92 \text{ \%}.$$

Окончательно имеем (см. рис. 8.7)

$$R_1 = R_2 = 1,5 \text{ кОм,}$$

$$R_{OC} = R' = 300 \text{ кОм.}$$

8.7. ИНВЕРТИРУЮЩИЙ СУММАТОР

Данное ЭУ предназначено для формирования напряжения, равного усиленной алгебраической сумме нескольких входных сигналов, т. е. выполняет математическую операцию суммирования нескольких сигналов. При этом выходной сигнал дополнительно инвертируется, отсюда и название — инвертирующий сумматор. В качестве примера на рис. 8.8 приведена схема устройства, выполняющего данную операцию для трех входных напряжений.

Считая ОУ идеальным, можно сказать, что $u_{вхн} = u_{вхн}$. Однако согласно приведенной схеме $u_{вхн} = 0$. Следовательно, и $u_{вхн} = 0$. В этом случае для инвертирующего входа согласно первому закону Кирхгофа можно записать

$$-u_{вых} / R_{OC} = u_{вх1} / R_1 + u_{вх2} / R_2 + u_{вх3} / R_3,$$

откуда не представляет труда получить выражение для выходного напряжения

$$u_{вых} = -u_{вх1} R_{OC} / R_1 - u_{вх2} R_{OC} / R_2 - u_{вх3} R_{OC} / R_3, \quad (8.24)$$

т. е. сигнал на выходе равен инверсии от алгебраической суммы входных сигналов, взятых со своими масштабными коэффициентами.

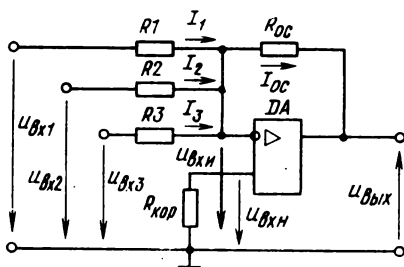


Рис. 8.8. Схема трехвходового инвертирующего сумматора

В частном случае, если $R_1=R_2=R_3=R$, из выражения (8.24) получим

$$u_{\text{вых}} = -(u_{\text{вх1}} + u_{\text{вх2}} + u_{\text{вх3}}) R_{\text{OC}}/R. \quad (8.25)$$

Выражение (8.25) справедливо для любого числа входных напряжений.

Если в схеме на рис. 8.8 выбрать $R_1=R_2=\dots=R_n=R$ и $R_{\text{OC}}=R/n$, то согласно выражению (8.25) получим

$$u_{\text{вых}} = -(u_{\text{вх1}} + u_{\text{вх2}} + \dots + u_{\text{вхn}})/n. \quad (8.26)$$

Следовательно, на выходе схемы будет формироваться напряжение, равное инвертированному среднему арифметическому от n входных напряжений. Поэтому такие схемы называют схемами усреднения.

Пример 8.6. Для схемы на рис. 8.8 имеем $R_1=R$; $R_2=2R$; $R_3=4R$; $R_{\text{OC}}=10R$; $U_{\text{вх1}}=0,5$ В; $U_{\text{вх2}}=-1,5$ В; $U_{\text{вх3}}=0,4$ В. Определить $U_{\text{вых}}$.

Решение. 1. Согласно выражению (8.24) имеем

$$U_{\text{вых}} = -0,5(10/1) - (-1,5)10/2 - 0,4(10/4) = 1,5 \text{ В.}$$

Пример 8.7. Для схемы из примера 8.6 найти выходное напряжение в случае

$$u_{\text{вх1}} = 0,7 \text{ В; } u_{\text{вх2}} = 1,5 \sin \omega t; \quad u_{\text{вх3}} = 0,6 - 0,2 \sin \omega t.$$

Решение.

$$\begin{aligned} u_{\text{вых}} &= -(-0,7)10/1 - (1,5 \sin \omega t)10/2 - (0,6 - 0,2 \sin \omega t)10/4 = \\ &= 7 - 7,5 \sin \omega t - 1,5 + 0,5 \sin \omega t = 5,5 - 7,5 \sin \omega t. \end{aligned}$$

Последний пример показывает, что выражения, полученные для неинвертирующего сумматора, справедливы для входных напряжений произвольного вида.

8.8. СХЕМА СЛОЖЕНИЯ—ВЫЧИТАНИЯ

В схеме на рис. 8.8 входные сигналы подавались на инвертирующий вход ОУ. Вследствие этого выходной сигнал равнялся инвертированной сумме входных напряжений. Ранее (см. рис. 8.7)

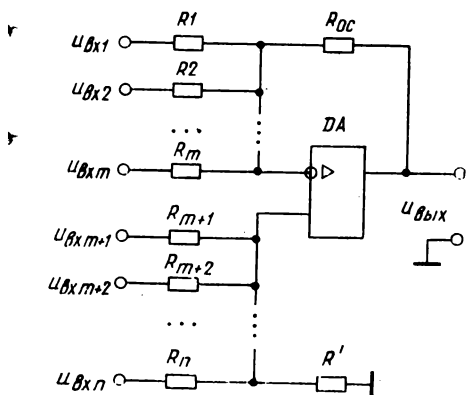


Рис. 8.9. Схема сложения—вычитания нескольких напряжений

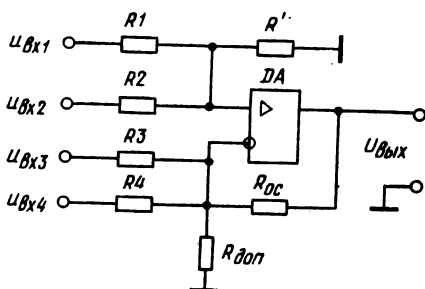


Рис. 8.10. Схема сложения—вычитания

было показано, что входное напряжение можно подавать на различные входы ОУ через соответствующие резисторы. Это позволяет получить на выходе усиленную разность входных напряжений. Схема усилителя, в которой на инвертирующий и неинвертирующий входы ОУ одновременно подается несколько напряжений, показана на рис. 8.9.

Общее выражение для рассматриваемого усилителя достаточно громоздко. Поэтому воспользуемся найденным ранее для дифференциального усилителя условием (8.23), согласно которому для получения на выходе усилителя сигнала разности входных напряжений необходимо, чтобы $R'/R_2 = R_{OC}/R_1$.

Применительно к схеме на рис. 8.9 резисторы R_1 и R_2 схемы на рис. 8.7 превратились в параллельное включение нескольких резисторов. Тогда, складывая проводимости соответствующих резисторов, применительно к схеме на рис. 8.9 условие (8.23) можно переписать в виде

$$R' (1/R_1 + 1/R_2 + \dots + 1/R_m) = R_{OC} (1/R_{m+1} + 1/R_{m+2} + \dots + 1/R_n). \quad (8.27)$$

Каждый член полученного выражения равен значению коэффициента передачи схемы по соответствующему ее входу. Поэтому для обеспечения работоспособности усилителя по схеме на рис. 8.9 сумма коэффициентов передачи по его инвертирующим входам должна равняться сумме коэффициентов передачи по его неинвертирующим входам.

При выполнении условия (8.27) для выходного напряжения рассматриваемого усилителя можно записать

$$u_{\text{вых}} = \frac{R'}{R_{m+1}} u_{\text{вх}m+1} + \frac{R'}{R_{m+2}} u_{\text{вх}m+2} + \dots + \frac{R'}{R_n} u_{\text{вх}n} - \frac{R_{\text{OC}}}{R_1} u_{\text{вх}1} - \frac{R_{\text{OC}}}{R_2} u_{\text{вх}2} - \dots - \frac{R_{\text{OC}}}{R_m} u_{\text{вх}m}. \quad (8.28)$$

На практике при разработке схем, аналогичных схеме на рис. 8.9, может оказаться, что при обеспечении требуемых коэффициентов передачи по каждому входу условие (8.27) не будет выполняться и выходное напряжение такой схемы не будет определяться выражением (8.28). В этом случае необходимо провести так называемую балансировку схемы. Она сводится к введению в схему дополнительного резистора, включенного между общей шиной и входом усилителя, суммарный коэффициент передачи по которому в смысле выражения (8.27) будет меньше. Требуемое сопротивление дополнительного резистора определяется условием (8.27).

Пример 8.8. Разработать схему усилителя, реализующую на выходе выражение вида $U_{\text{вых}} = 10 U_{\text{вх}1} + U_{\text{вх}2} - 4 U_{\text{вх}3} - 2 U_{\text{вх}4}$.

Решение. 1. В схеме, реализующей приведенное выражение, сигналы $U_{\text{вх}1}$ и $U_{\text{вх}2}$ должны подаваться на неинвертирующие входы, а $U_{\text{вх}3}$ и $U_{\text{вх}4}$ на инвертирующие входы усилителя. Схема, реализующая заданное выражение, приведена на рис. 8.10.

2. Допустим, что сопротивление $R_{\text{OC}} = R' = 100$ кОм. Тогда

$$R'/R_1 = 10, \text{ откуда } R_1 = 10 \text{ кОм};$$

$$R'/R_2 = 1, \text{ откуда } R_2 = 100 \text{ кОм};$$

$$R_{\text{OC}}/R_3 = 4, \text{ откуда } R_3 = 25 \text{ кОм};$$

$$R_{\text{OC}}/R_4 = 2, \text{ откуда } R_4 = 50 \text{ кОм}.$$

3. Проверим условие (8.27):

$$K_n = R_{\text{OC}}/R_1 + R_{\text{OC}}/R_2 = 11, \quad K_n = R'/R_3 + R'/R_4 = 6.$$

Проверка показала, что $K_n < K_n$. Следовательно, для обеспечения работоспособности схемы ее необходимо сбалансировать.

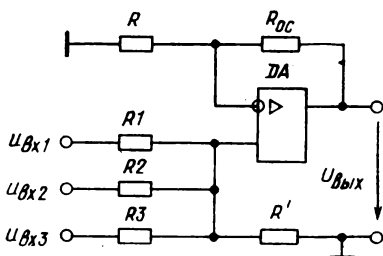
4. Определим разность коэффициентов усиления по входам схемы. $K_n - K_n = 5$. Следовательно, по инвертирующему входу необходимо добавить цепь, обеспечивающую дополнительный коэффициент передачи, равный 5. Тогда $R_{\text{OC}}/R_{\text{доп}} = 5$ и $R_{\text{доп}} = 20$ кОм.

После введения между инвертирующим входом и общей шиной дополнительного резистора $R_{\text{доп}}$ условие баланса будет выполнено и выходное напряжение усилителя будет определяться заданным выражением.

8.9. НЕИНВЕРТИРУЮЩИЙ СУММАТОР

Данная схема может быть получена как частный случай схемы сложения — вычитания. Для этого в схеме на рис. 8.9 входные напряжения необходимо подавать только на неинвертирующий

Рис. 8.11. Схема неинвертирующего сумматора



вход ОУ, что и реализовано на рис. 8.11 на примере трехвходового сумматора.

Чтобы выходное напряжение усилителя определялось выражением

$$u_{\text{вых}} = u_{\text{вх1}} R' / R_1 + u_{\text{вх2}} R' / R_2 + u_{\text{вх3}} R' / R_3, \quad (8.29)$$

должно выполняться условие (8.27), т. е.

$$R_{OC} / R = R' / R_1 + R' / R_2 + R' / R_3. \quad (8.30)$$

Необходимую балансировку схемы можно выполнить соответствующим подбором сопротивления резистора R .

Посмотрим, как полученные условия баланса схем на рис. 8.9 и 8.11 соотносятся с полученными ранее условиями отсутствия погрешности выходного напряжения, обусловленной протеканием конечных входных токов $I_{\text{вх}}$ ОУ. Сравнивая выражение (8.10) с условиями (8.27) и (8.30), можно прийти к заключению, что если в схемах на рис. 8.9 и 8.11 при выборе резисторов R' и R_{OC} руководствоваться условием

$$R' = R_{OC}, \quad (8.31)$$

то выполнение условий (8.27) и (8.30) ведет к автоматическому выполнению условия (8.10).

Действительно, если в выражении (8.30) выполнено условие (8.31), то $1/R = 1/R_1 + 1/R_2 + 1/R_3$. Из этого вытекает, что сопротивление R равно сопротивлению параллельно включенных резисторов R_1 , R_2 и R_3 и, следовательно, между входами ОУ и общей шиной включены одинаковые резисторы. Это означает выполнение условия (8.10).

Сделанный вывод справедлив и для схемы дифференциального усилителя на рис. 8.7. Чтобы в данном усилителе на выходе не только присутствовала разность напряжений его инвертирующего и неинвертирующего входов, но и была минимизирована возникающая при этом погрешность, необходимо при проектировании пользоваться условием (8.21), а не (8.23).

8.10. ИНТЕГРАТОР

Интегратором называется ЭУ, выходной сигнал которого пропорционален интегралу по времени от его входного сигнала.

Простейшая схема интегратора, выполненная на ОУ, приведена на рис. 8.12, а. Данная схема является инвертирующим усилителем, в цепь обратной связи которого включен конденсатор C . Передаточная функция такого устройства может быть получена с использованием ранее найденного соотношения (8.5) при условии $R_{oc} = Z_{oc}(p)$

$$W(p) = Z_{oc}(p)/Z_{bx}(p) = (1/Cp)/R = 1/(RCp). \quad (8.32)$$

Полученное выражение является передаточной функцией идеального интегрирующего звена с постоянной времени $T = RC$. Соответствующая этому случаю ЛАЧХ показана на рис. 8.13 штриховой линией.

К аналогичному выводу можно прийти, записав для инвертирующего входа ОУ уравнение по первому закону Кирхгофа. Полагая, как и ранее, $u_{вхн} = u_{вхн} = 0$, получим

$$u_{вх}/R = -C du_{вых} dt \quad \text{или} \quad du_{вых} = -(1/RC) u_{вх} dt,$$

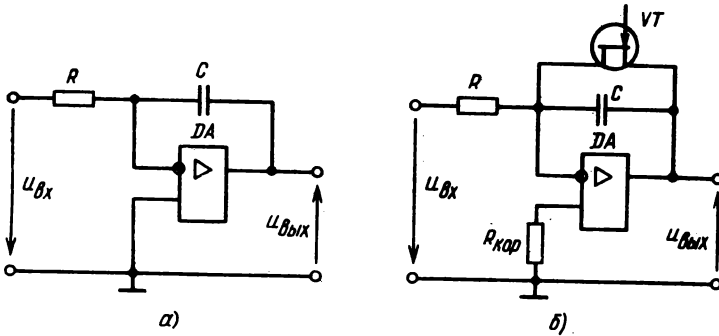


Рис. 8.12. Базовая схема интегратора (а) и схема интегратора с цепью обнуления (б)

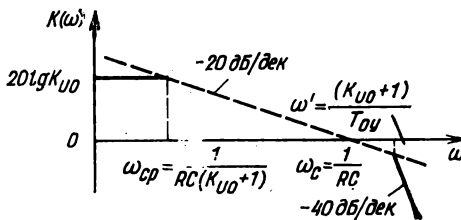


Рис. 8.13. ЛАЧХ интегратора

откуда

$$u_{\text{вых}} = -[1/(RC)] \int u_{\text{вх}} dt. \quad (8.33)$$

Вполне естественно, что выражения (8.32) и (8.33) аналогичны.

Напомним, что полученные выражения справедливы для идеального ОУ. Очевидно, что в реальном ОУ K_{U0} и $f_{\text{в}}$ имеют некоторые конечные значения. Вследствие этого частотная характеристика схемы на рис. 8.12 отличается от характеристики идеального интегратора.

Получим передаточную функцию интегратора при условии ограниченности коэффициента усиления ОУ значением K_{U0} . Для этого воспользуемся общим выражением для коэффициента передачи усилителя с цепью ООС

$$\begin{aligned} W_{\text{и}}(p) &= W_{\text{вх}}(p) W_{\text{ОУ ООС}}(p) = \\ &= \frac{1/Cp}{R+1/Cp} \frac{K_{U0}}{1+K_{U0}R/(R+1/Cp)} = \frac{K_{U0}}{RC(K_{U0}+1)p+1}. \end{aligned} \quad (8.34)$$

Очевидно, что данной передаточной функции соответствует частотная характеристика, имеющая на низких частотах до частоты $\omega_{\text{ср}} = 1/[RC(K_{U0}+1)]$ асимптоту с нулевым наклоном. Расположение этой асимптоты определяется собственным коэффициентом усиления ОУ (показано на рис. 8.13 сплошной линией левое $\omega_{\text{ср}}$).

Как следует из (8.32), при выполнении условия $Z_{\text{ос}}(p) = Z_{\text{вх}}(p)$ модуль $W(p)$ равен единице. Отсюда частота, при которой ЛАЧХ пересекает ось частот, равна

$$\omega_{\text{с}} = 1/(RC). \quad (8.35)$$

Рассмотрим, как влияет на вид частотной характеристики схемы на рис. 8.12 ограниченность полосы пропускания ОУ. В гл. 7 было показано, что собственная передаточная функция ОУ имеет вид

$$W_{\text{ОУ}}(p) = K_{U0}/(T_{\text{ОУ}}p + 1).$$

Тогда для передаточной функции интегратора можно записать

$$\begin{aligned} W_{\text{и}}(p) &= W_{\text{вх}}(p) W_{\text{ОУ ООС}}(p) = \\ &= \frac{1/(Cp)}{R+1/(Cp)} \frac{K_{U0}/(T_{\text{ОУ}}p+1)}{1+[K_{U0}/(T_{\text{ОУ}}p+1)]R/(R+1/Cp)} = \frac{1}{RCp} \frac{1}{T_{\text{ОУ}}p/(K_{U0}+1)+1}. \end{aligned} \quad (8.36)$$

Так как нас интересует вид частотной характеристики интегратора в области высоких частот, то при выводе последнего выражения полагалось, что частота сигнала достаточно высока и произведение $RCp \gg 1$. Следовательно, начиная с частоты $\omega = \omega' = (K_{U0} +$

+1)/ T_{OY} , ЛАЧХ реального интегратора имеет наклон -40 дБ/дек (сплошная линия на рис. 8.13 правее частоты $\omega = \omega'$).

Из полученных выражений можно сделать следующие важные выводы:

частота, на которой коэффициент передачи интегратора равен единице, не зависит от собственного коэффициента усиления ОУ и полностью определяется параметрами его внешней цепи;

диапазон интегрирования реального интегратора ограничен снизу частотой $\omega_{cp} = 1/RC(K_{U0} + 1)$, что является следствием ограничения максимального коэффициента усиления ОУ;

диапазон интегрирования реального интегратора ограничен сверху частотой $\omega' = (K_{U0} + 1)/T_{OY}$, что является следствием ограничения полосы пропускания ОУ.

Таким образом, схема, приведенная на рис. 8.12, может использоваться как интегратор только в диапазоне частот $\omega_{cp} < \omega < \omega'$.

Пример 8.9. Определить рабочий диапазон частот для интегратора по схеме на рис. 8.12,а при условии $R = 1$ кОм; $C = 0,33$ мкФ; DA — К140УД17.

Решение. 1. Согласно табл. 7.1 для заданного типа ОУ имеем

$$K_{U0} = 200\,000; \quad T_{OY} = 7,96 \cdot 10^{-3} \text{ с.}$$

2. Частота единичного усиления равна

$$\omega_c = 1/(RC) = 1/(1 \cdot 10^3 \cdot 0,33 \cdot 10^{-6}) = 3 \cdot 10^3;$$

$$f_c = \omega_c/2\pi = 477,5 \text{ Гц.}$$

3. Нижняя частота рабочего диапазона частот

$$\omega_{cp} \approx \frac{1}{RC(K_{U0} + 1)} = \frac{1}{1 \cdot 10^3 \cdot 0,33 \cdot 10^{-6} (200\,000 + 1)} = 0,015;$$

$$f_{cp} \approx 2,4 \cdot 10^{-3} \text{ Гц.}$$

4. Верхняя частота рабочего диапазона частот

$$\omega' = (K_{U0} + 1)/T_{OY} = (200\,000 + 1)/7,96 \cdot 10^{-3} = 2,51 \cdot 10^7;$$

$$f' = 4,0 \text{ МГц.}$$

Реально на входе интегратора, кроме полезного сигнала, действуют дрейфовые составляющие, обусловленные неидеальностью ОУ ($U_{см}$, $I_{вх}$ и $\Delta I_{вх}$). Если они не скомпенсированы, то в соответствии с выражением (8.33) модуль выходного напряжения интегратора будет возрастать вплоть до максимально допустимого для ОУ значения. Это вносит значительную погрешность в работу интегратора, особенно при малых значениях входных сигналов.

Выходное напряжение, обусловленное действием указанных составляющих, в соответствии с (8.33) определяется выражением

$$u_{вых} = \frac{1}{RC} \int_0^t U_{см} dt + \frac{1}{C} \int_0^t (I_{вх} + \Delta I_{вх}) dt.$$

В общем случае отдельные составляющие выходного напряжения в приведенном выражении могут иметь произвольный знак и поэтому частично компенсировать друг друга. Однако на практике интересуются максимально возможным напряжением ошибки интегрирования и все составляющие суммируют.

Следует отметить, что к ошибке интегрирования необходимо отнести и собственно напряжение $U_{см}$, которое, складываясь с напряжением на конденсаторе, формирует выходное напряжение ОУ.

Учитывая сказанное, и задавая максимальную ошибку интегрирования $U_{вых} = U_{ош\ max}$, можно найти допустимое время интегрирования

$$t_{\text{инт доп}} = \frac{U_{\text{ош max}} - U_{\text{см}}}{(1/C)(U_{\text{см}}/R + I_{\text{вх}} + \Delta I_{\text{вх}})} \quad (8.37)$$

Уменьшение ошибки интегрирования требует компенсации $U_{см}$, $I_{вх}$ и $\Delta I_{вх}$ на входе ОУ. Это может быть сделано с использованием решений, описанных в § 8.4.

Подытоживая сказанное, следует выделить следующие основные возможности повышения точности работы интегратора:

использование ОУ с малыми значениями $U_{см}$, $I_{вх}$ и $\Delta I_{вх}$;

применение внешних цепей компенсации $U_{см}$, $I_{вх}$ и $\Delta I_{вх}$;

ограничение максимального времени интегрирования;

использование внешних цепей принудительного обнуления интегратора.

Схема интегратора с внешней цепью принудительного обнуления приведена на рис. 8.12, б. Если транзистор VT включен, то $U_c = 0$ и интегратор находится в исходном состоянии, так как

$$U_{\text{вых}} = U_{\text{см}} + U_{VT} \approx 0.$$

Процесс интегрирования начинается после запираания транзистора VT .

Пример 8.10. Определить максимально допустимое время интегрирования интегратора, выполненного на основе ОУ типа К140УД8 при отсутствии и наличии внешних цепей компенсации: $R = 51 \text{ кОм}$; $C = 1 \text{ мкФ}$; $U_{ош\ max} = 0,2 \text{ В}$.

Решение. 1. Согласно (8.37) $t_{\text{инт max}}$ для случая отсутствия цепей внешней коррекции равно

$$t_{\text{инт max}} = \frac{0,2 - 70 \cdot 10^{-6}}{\frac{1}{1 \cdot 10^{-6}} \left(\frac{70 \cdot 10^{-6}}{51 \cdot 10^3} + 1,1 \cdot 10^{-9} + 0,2 \cdot 10^{-9} \right)} = 74,81 \text{ с.}$$

2. При компенсации только напряжения $U_{см}$, что может быть сделано с использованием, например, схемы на рис. 8.5, получим

$$t_{\text{инт max}} = \frac{U_{\text{ош max}} - U_{\text{см}}}{(1/C)(I_{\text{вх}} + \Delta I_{\text{вх}})} = \frac{0,2 - 70 \cdot 10^{-6}}{(1/1 \cdot 10^{-6})(1,1 \cdot 10^{-9} + 0,2 \cdot 10^{-9})} = 153,8 \text{ с.}$$

3. При компенсации только тока $I_{вх}$, что может быть сделано подключением между неинвертирующим входом ОУ и общей шинной корректирующего резистора $R_{кор}$ (см. рис. 8.4), получим

$$t_{инт\ max} = \frac{U_{ош\ max} - U_{см}}{(1/C)(U_{см}/R + \Delta I_{вх})} = \frac{0,2 - 70 \cdot 10^{-6}}{(1 \cdot 1 \cdot 10^{-6}) \left(\frac{70 \cdot 10^{-6}}{51 \cdot 10^3} + 0,2 \cdot 10^{-9} \right)} = 127,1 \text{ с.}$$

4. При компенсации как $U_{см}$, так и $I_{вх}$ получим

$$t_{инт\ max} = \frac{U_{ош\ max} - U_{см}}{\Delta I_{вх}/C} = \frac{0,2 - 70 \cdot 10^{-6}}{0,2 \cdot 10^{-9} + 1 \cdot 10^{-6}} = 999,7 \text{ с.}$$

Приведенные расчеты показали, что использование внешних цепей компенсации позволяет либо при заданном времени интегрирования значительно повысить его точность, либо при заданной ошибке увеличить допустимое время интегрирования.

При построении различных ЭУ часто бывает необходимо получить выходной сигнал, равный интегралу от суммы нескольких напряжений. В этом случае можно воспользоваться схемой суммирующего интегратора. На рис. 8.14 в качестве примера приведена схема суммирующего интегратора с тремя входами. По аналогии с проделанным выше, получим выражение, связывающее входные и выходное напряжения данной схемы. Полагая, как и раньше, ОУ идеальным, для его инвертирующего входа по первому закону Кирхгофа можно записать

$$u_{вх1}/R_1 + u_{вх2}/R_2 + u_{вх3}/R_3 = -C du_{вых}/dt$$

или

$$u_{вых} = - (1/R_1 C) \int u_{вх1} dt - (1/R_2 C) \int u_{вх2} dt - (1/R_3 C) \int u_{вх3} dt \quad (8.38)$$

Полагая в полученном выражении $R_1 = R_2 = R_3 = R$, найдем

$$u_{вых} = - (1/RC) \int (u_{вх1} + u_{вх2} + u_{вх3}) dt. \quad (8.39)$$

Следовательно, при одинаковых входных резисторах на выходе схемы на рис. 8.14 получим напряжение, пропорциональное интегрированному интегралу от суммы входных напряжений.

Пример 8.11. Определить параметры интегратора на рис. 8.14 при следующих условиях: DA —К140УД24; $U_{вх1} = 0,2$ В; $U_{вх2} = -0,3$ В; $U_{вх3} = 0,05$ В; $t_H = 10$ с; $U_{вых\ max} = 10$ В.

Решение. 1. Согласно (8.39) имеем

$$U_{вых\ max} = \frac{(U_{вх1} + U_{вх2} + U_{вх3}) t_H}{RC}$$

или, опуская знак минус,

$$RC = \frac{(U_{вх1} + U_{вх2} + U_{вх3}) t_H}{U_{вых\ max}} = \frac{(0,2 - 0,3 + 0,05) \cdot 10}{10} = 0,05 \text{ с.}$$

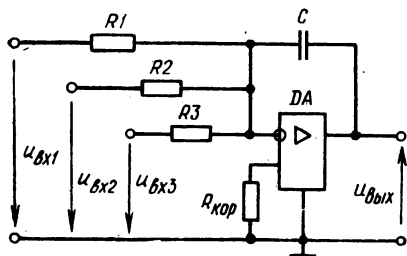


Рис. 8.14. Схема трехвходового суммирующего интегратора

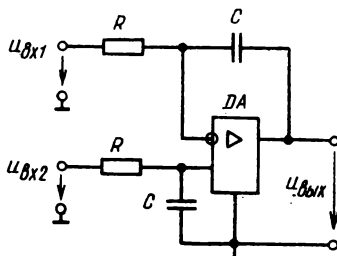


Рис. 8.15. Схема вычитающего интегратора

2. Полагая $R=10$ кОм, найдем

$$C = RC/R = 0,05/10^4 = 5 \cdot 10^{-6} \text{ Ф.}$$

3. При условии компенсации только составляющей $I_{ВХ}$ ошибка интегрирования составит

$$\begin{aligned} U_{\text{ош}} &= U_{\text{см}} + (U_{\text{см}}/RC)t_n + (\Delta I_{\text{ВХ}}/C)t_n = \\ &= 5 \cdot 10^{-6} + (5 \cdot 10^{-6}/0,05) \cdot 10 + (1 \cdot 10^{-12}/5 \cdot 10^{-6}) \cdot 10 \approx 1 \cdot 10^{-3} \text{ В,} \end{aligned}$$

т. е. ошибка интегрирования составляет 0,01 %.

Известны схемы, в которых выходное напряжение равно интегралу от разности входных напряжений. Эти схемы строятся на основе дифференциального усилителя, рассмотренного в § 8.6. Пример такой схемы приведен на рис. 8.15. Нетрудно показать, что для выходного напряжения этой схемы справедливо выражение

$$u_{\text{ВЫХ}} = (1/RC) \int (u_{\text{ВХ2}} - u_{\text{ВХ1}}) dt. \quad (8.40)$$

Используя рассмотренные принципы, на основе ОУ можно строить и более сложные схемы интеграторов.

8.11. ДИФФЕРЕНЦИАТОР

Дифференциатором называется устройство, выходной сигнал которого пропорционален производной от его входного сигнала. Другими словами, выходной сигнал дифференциатора пропорционален скорости изменения его входного сигнала. Поэтому при анализе свойств дифференциатора будем интересоваться мгновенными составляющими напряжений.

Простейшая схема дифференциатора, выполненная на ОУ, приведена на рис. 8.16, а. Данная схема является инвертирующим усилителем, в цепь обратной связи которого включено апериоди-

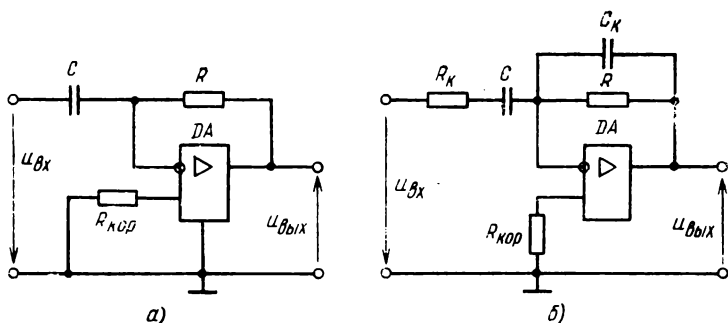


Рис. 8.16. Базовая схема дифференциатора (а) и схема дифференциатора с цепями коррекции (б)

ческое RC звено. Передаточная функция такого устройства может быть найдена с использованием ранее полученного выражения (8.5)

$$W_A(p) = Z_{OC}(p)/Z(p) = R/(1/Cp) = RCp. \quad (8.41)$$

Передаточная функция (8.41) соответствует идеальному дифференцирующему звену.

К аналогичному выводу можно прийти, записав для инвертирующего входа ОУ (в соответствии с первым законом Кирхгофа) уравнения для суммы токов

$$u_{\text{вых}}/R = -Cdu_{\text{вх}}/dt \quad \text{или} \quad u_{\text{вых}} = -RCdu_{\text{вх}}/dt. \quad (8.42)$$

Соответствующая полученным выражениям ЛАЧХ во всем диапазоне частот имеет постоянный наклон $+20$ дБ/дек (рис. 8.17, штриховая линия). Если модуль передаточной функции (8.41) приравнять единице, то получим, что соответствующая данному случаю частота (как и в случае интегратора) будет равна

$$\omega_c = 1/RC. \quad (8.43)$$

Естественно, что неидеальность реального ОУ не позволяет получить устройство с ЛАЧХ, приведенной на рис. 8.17. Посмотрим

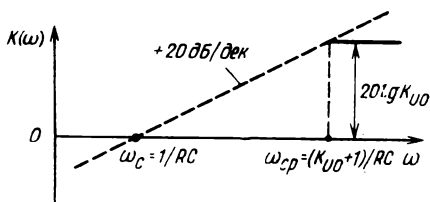


Рис. 8.17. ЛАЧХ дифференциатора

как влияют на свойства схемы ограниченность коэффициента усиления K_{U0} и собственной полосы пропускания f_b ОУ

$$W_{\Delta} = W_{\text{вх}}(p) W_{\text{ОУ ООС}}(p) = \frac{R}{R+1/Cp} \frac{K_{U0}}{1 - [K_{U0}/(Cp)] : [R-1/(Cp)]} = \frac{RCp}{RCp/(K_{U0}+1)+1}. \quad (8.44)$$

Полученную передаточную функцию можно представить как произведение передаточной функции идеального дифференцирующего звена и передаточной функции апериодического звена с постоянной времени $T=RC/(K_{U0}+1)$. Следовательно, после частоты $\omega_{\text{ср}} = (K_{U0}+1)/RC$ на ЛАЧХ должна появиться асимптота с наклоном -20 дБ/дек, и результирующий наклон частотной характеристики дифференциатора будет равен нулю. После частоты $\omega = \omega_{\text{ср}}$ коэффициент передачи дифференциатора в рассматриваемом случае будет равен коэффициенту усиления исходного усилителя (см. рис. 8.17).

Однако на практике получить такую частотную характеристику, как правило, не удастся. Причиной этого является ограниченность собственной полосы пропускания ОУ и на частотной характеристике в области высоких частот появляется еще одна асимптота с наклоном -20 дБ/дек, причем, как правило, частота сопряжения этой асимптоты ниже частоты $\omega_{\text{ср}}$. Это сужает область рабочих частот схемы на рис. 8.16, а. После появления асимптот с наклоном -20 дБ/дек, обусловленных конечностью значений K_{U0} и f_b , схема фактически превращается в интегратор.

Пример 8.12. Дифференциатор по схеме на рис. 8.16, а имеет следующие параметры: $R=10$ кОм; $C=1,5$ мкФ; DA —КР1426УК1. Определить рабочий диапазон частот схемы.

Решение. 1. Конечное значение собственного коэффициента усиления ОУ приводит согласно (8.44) к ограничению верхней рабочей частоты дифференциатора

$$\omega_b = (K_{U0}+1)/RC = (6 \cdot 10^4 + 1)/(10,0 \cdot 10^3 \cdot 1,5 \cdot 10^{-6}) = 4 \cdot 10^6 \text{ рад/с};$$

$$f_b = \omega_b/2\pi = 636,6 \text{ кГц}.$$

2. Для определения частоты, с которой начинает сказываться ограниченность собственной полосы пропускания ОУ, приравняем модули передаточных функций идеального дифференцирующего звена и ОУ

$$|W_{\text{ОУ}}(j\omega)| = K_{U0}/\sqrt{1 + (T_{\text{ОУ}}\omega)^2} \quad (\text{см. пример 5.1}),$$

$$|W_{\Delta}(j\omega)| = RC\omega.$$

Тогда

$$K_{U0}/\sqrt{1 + (T_{\text{ОУ}}\omega_{\text{ср}})^2} = RC\omega_{\text{ср}}.$$

Решая полученное выражение относительно $\omega_{\text{ср}}$, найдем

$$\omega_{\text{ср}} = 50130 \text{ рад/с или } f = 7979 \text{ Гц}.$$

Таблица 8.1

Зависимость погрешности дифференцирования от соотношения частот среза и входного сигнала

$\omega_{ср}/\omega_{в}$	10	3	1
Ошибка, %	1	5	50

Таким образом, в рассмотренном примере ограничение верхней частоты диапазона, в котором схема на рис. 8.16 может рассматриваться как дифференциатор, обусловленное конечной полосой пропускания ОУ, наступает намного раньше, чем ограничение из-за конечного значения его собственного коэффициента усиления.

Следует заметить, что схема дифференциатора, приведенная на рис. 8.16, а, вследствие специфики своей частотной характеристики, кроме полезной составляющей входного сигнала усиливает также высокочастотные составляющие внешних помех и собственных шумов. Все это приводит к значительной погрешности выходного напряжения. Поэтому с точки зрения уменьшения чувствительности к внешним помехам верхнюю частоту рабочего диапазона схемы следует уменьшать. Однако это, в свою очередь, снижает точность работы схемы.

В качестве примера в табл. 8.1 приведены значения погрешности дифференцирования в зависимости от отношения частоты $\omega_{ср}$ к наивысшей частоте входного сигнала $\omega_{в}$.

Таким образом, частота $\omega_{ср}$ выбирается наименьшей при условии получения приемлемой точности работы схемы.

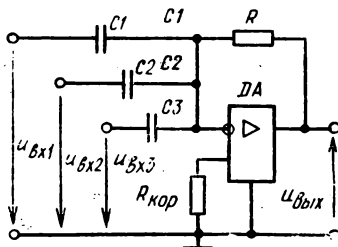
Для ограничения частотного диапазона схемы в нее вводят дополнительные элементы R_k и C_k (рис. 8.16, б). С учетом этих элементов передаточная функция дифференциатора имеет вид

$$W_d(p) \approx \frac{RCp}{(R_k Cp + 1)(RC_k p + 1)}.$$

На практике обычно выбирают $R_k C = RC_k$. Поэтому на частотах $\omega < 1/R_k C$ схема дифференцирует входной сигнал. При дальнейшем увеличении частоты начинается интегрирование входного сигнала. Это снижает чувствительность схемы к действию внешних помех.

По аналогии с интегратором на основе схемы суммирующего усилителя можно построить и суммирующий дифференциатор. Пример такой схемы для случая трех входных напряжений показан на рис. 8.18. Получим выражения для выходного напряжения приведенной схемы

Рис. 8.18. Схема трехвходового суммирующего дифференциатора



$$C_1 du_{вх1}/dt + C_2 du_{вх2}/dt + C_3 du_{вх3}/dt = -u_{вых}/R.$$

Отсюда

$$u_{вых} = -C_1 R du_{вх1}/dt - C_2 R du_{вх2}/dt - C_3 R du_{вх3}/dt. \quad (8.45)$$

Если $C_1 = C_2 = C_3 = C$, то из (8.45) можно получить

$$u_{вых} = -CR d(u_{вх1} + u_{вх2} + u_{вх3})/dt. \quad (8.46)$$

Следовательно, выходное напряжение схемы при выполнении условия $C_1 = C_2 = C_3 = C$ равно инвертированной производной от суммы входных напряжений.

Пример 8.13. На входе суммирующего дифференциатора по схеме на рис. 8.18 действуют напряжения: $u_{вх1} = 0,002 \sin \omega t$; $U_{вх2} = 3$ В; $u_{вх3} = 0,01$ В. Определить значение выходного напряжения при условии: $C_1 = C_2 = C_3 = 0,1$ мкФ; $R = 68$ кОм; $\omega = 10\pi$.

Решение. 1. Согласно выражению (8.46) имеем

$$u_{вых} = -\frac{1}{RC} \frac{d}{dt} (u_{вх1} + U_{вх2} + u_{вх3})$$

$$= -\frac{1}{68 \cdot 10^3 \cdot 0,1 \cdot 10^{-6}} (0,002 \omega \cos \omega t + 0 + 0,01) = -1,47 - 9,23 \cos 10\pi t.$$

8.12. ЛОГАРИФМИЧЕСКИЙ И АНТИЛОГАРИФМИЧЕСКИЙ (ЭКСПОНЕНЦИАЛЬНЫЙ) УСИЛИТЕЛИ

Логарифмическим называется усилитель, выходное напряжение которого пропорционально логарифму от его входного напряжения. Антилогарифмический (экспоненциальный) усилитель выполняет обратное преобразование напряжения.

Логарифмический и антилогарифмический усилители находят широкое применение, например, при реализации математических операций умножения и деления. Действительно, чтобы умножить два числа, достаточно сложить их логарифмы. Последнее просто выполнить с использованием схем, приведенных на рис. 8.8 и 8.11.

* Для получения логарифмической характеристики в цепь ООС ОУ включают p - n -переход. Это могут быть диод или биполярный

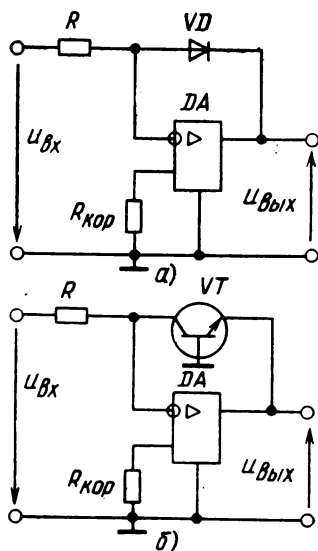


Рис. 8.19. Схемы логарифмического усилителя с диодом (а) и биполярным транзистором (б) в цепи обратной связи

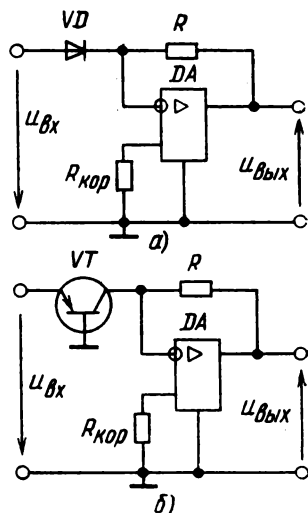


Рис. 8.20. Схемы экспоненциального (антилогарифмического) усилителя с диодом (а) и биполярным транзистором (б)

транзистор, включенный по схеме с общей базой. Примеры реализации логарифмических усилителей приведены на рис. 8.19, а, б.

Получим выражение, связывающее входное и выходное напряжения для схем, приведенных на рис. 8.19.

Для схемы рис. 8.19, а можно записать

$$u_{\text{вх}}/R = I_0 [\exp(u_{\text{д}}/U_T) - 1] \approx I_0 [\exp(u_{\text{д}}/U_T)],$$

где U_T — температурный потенциал.

Очевидно, что в данной схеме $u_{\text{д}} = u_{\text{вых}}$. Тогда, решив приведенное выражение относительно выходного напряжения, получим

$$u_{\text{вых}} = U_T [\ln(u_{\text{вх}}/R) - \ln I_0]. \quad (8.47)$$

Для схемы на рис. 8.19, б по аналогии запишем

$$u_{\text{вх}}/R = I_K = I_{\text{Э0}} [\exp(u_{\text{БЭ}}/U_T) - 1],$$

откуда

$$u_{\text{вых}} = U_T [\ln(u_{\text{вх}}/R - \ln I_{\text{Э0}})]. \quad (8.48)$$

Очевидно, что выражения (8.47) и (8.48) аналогичны.

При использовании схем на рис. 8.19 следует помнить, что при больших токах диода или транзистора приведенные выражения

дают значительную погрешность, что является следствием действия собственных активных сопротивлений приборов. Поэтому максимальное выходное напряжение для приведенных схем не должно превышать примерно 0,6 В. При необходимости иметь большие напряжения выходной сигнал схемы должен быть усилен.

Пример 8.14. Разработать логарифмический усилитель (рис. 8.19,а), входное напряжение которого изменяется от 0 до +10 В. Максимальный ток диода, при котором влиянием его собственного сопротивления можно пренебречь, равен 0,5 мА; $I_{Д0}=1$ мкА.

Решение. 1. Сопротивление резистора R определим из условия

$$U_{вх\max}/R = I_{Д\max};$$

$$R = U_{вх\max}/I_{Д\max} = 10/0,5 = 20 \text{ кОм}.$$

2. Максимальное выходное напряжение схемы согласно (8.47) равно

$$u_{вых} \approx U_T \left(\ln \frac{u_{вх}}{R} - \ln I_{Д0} \right).$$

При комнатной температуре $U_T = 26$ мВ, тогда

$$U_{вх\max} \approx 26 \cdot 10^{-3} \left(\ln \frac{10}{2 \cdot 10^{-6}} - \ln 10^{-6} \right) = 0,161 \text{ В}.$$

Логарифмические усилители формируют на выходе напряжение только одной полярности. Так, для схем на рис. 8.19 при положительном входном напряжении на выходе схемы формируется отрицательное напряжение. Для получения положительного выходного напряжения диод в схеме на рис. 8.19,а необходимо включить в обратном направлении. При этом, естественно, изменится и полярность входного напряжения. Аналогичный эффект в схеме на рис. 8.19,б можно получить, если применить транзистор другого типа проводимости ($p-n-p$).

Для получения антилогарифмического (экспоненциального) усилителя в рассмотренных выше схемах полупроводниковый прибор и резистор необходимо поменять местами (рис. 8.20,а,б).

Поступив аналогично сделанному для схемы на рис. 8.20,а, можно записать

$$u_{вых} = -RI_0 \exp(u_{вх}/U_T). \quad (8.49)$$

Для схемы с транзистором в выражении (8.49) ток I_0 необходимо заменить на $I_{Э0}$.

Пример 8.15. Для экспоненциального усилителя на рис. 8.20,а найти выходное напряжение при условии $I_0 = 10^{-6}$ А; $R = 20$ кОм; $U_{вх} = 0,161$ В.

Решение. Согласно выражению (8.49) получим

$$U_{вых} = -RI_0 \exp(U_{вх}/U_T).$$

Принимая $U_T = 26 \cdot 10^{-3}$ В, найдем

$$U_{\text{вых}} = -2 \cdot 10^4 \cdot 10^{-6} \exp(0,161/26 \cdot 10^{-3}) = 9,78 \text{ В.}$$

В схемах антилогарифмических усилителей также возможно получение выходного напряжения только одной полярности. Так, в устройствах на рис. 8.20 при положительном входном напряжении на выходе формируется сигнал отрицательной полярности. Для изменения полярностей входных и выходных сигналов в схеме на рис. 8.20, *а* диод должен быть включен в обратной полярности, а в схеме на рис. 8.20, *б* — использован транзистор обратного типа проводимости.

Следует отметить, что так как параметры полупроводниковых приборов сильно зависят от температуры окружающей среды, рассмотренным схемам без применения дополнительных средств термокомпенсации будет свойственна большая погрешность. Поэтому реальные схемы логарифмических и антилогарифмических усилителей сложнее рассмотренных.

8.13. НЕЛИНЕЙНЫЕ ПРЕОБРАЗОВАТЕЛИ

В ряде случаев необходимо, чтобы зависимость входного и выходного напряжений ОУ была нелинейной. При монотонных зависимостях решить эту проблему можно на основе метода кусочно-линейной аппроксимации. Суть метода заключается в том, что коэффициент передачи цепи ООС ОУ должен иметь несколько дискретных значений, каждое из которых соответствует определенному диапазону изменения входного сигнала. Для этого цепи ООС ОУ выполняются в виде сложных делителей, содержащих комбинации линейных и нелинейных элементов. Коэффициент передачи этих делителей аппроксимирует требуемую нелинейную зависимость, причем чем больше число дискретных значений может принимать коэффициент передачи ООС ОУ, тем ближе получаемая зависимость выходного напряжения от входного к заданной.

В качестве примера рассмотрим усилители, в которых при изменении входного напряжения обеспечивается увеличение или уменьшение коэффициента усиления.

8.13.1. УСИЛИТЕЛЬ С ВОЗРАСТАЮЩИМ КОЭФФИЦИЕНТОМ ПЕРЕДАЧИ

На рис. 8.21, *а* приведена схема инвертирующего усилителя, в котором вместо входного резистора использована нелинейная цепь, составленная из резисторов и стабилитронов. Для рассмотрения работы такого усилителя предположим, что $U_{VD1} > U_{VD2}$ и стабилитроны идеальны: ток в непробитом состоянии стабилитрона равен нулю, дифференциальное сопротивление стабилитрона

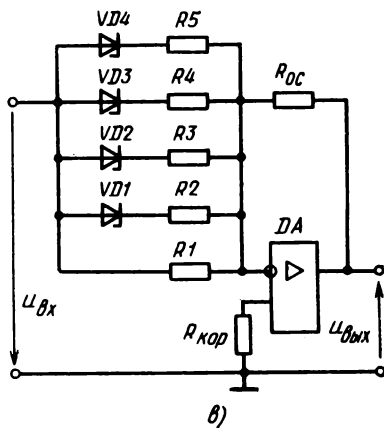
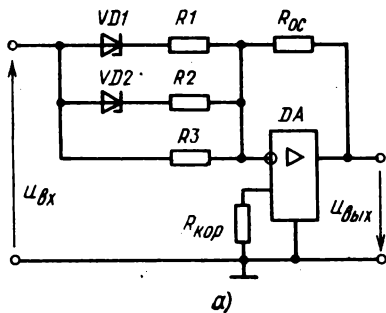
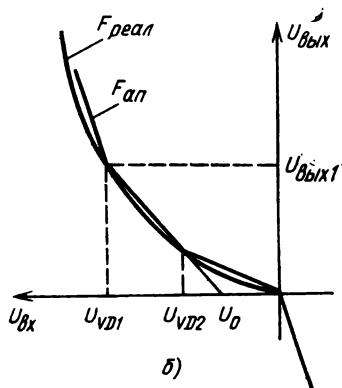


Рис. 8.21. Схема нелинейного преобразователя, реализующая монотонно возрастающий коэффициент усиления (а), ее передаточная характеристика (б) и схема нелинейного преобразователя (в)



в рабочей области характеристики равно нулю, то есть если $I_{ст} > 0$, то $U_{ст} = U_{ст0}$.

Предположим, что полярность входного напряжения отрицательна. Тогда, если входное напряжение усилителя лежит в диапазоне $0 > u_{вх} > U_{VD2}$, оба стабилитрона заперты. Коэффициент передачи цепи ООС определяется только сопротивлением резистора R_3 [$b_{ос} = R_3 / (R_3 + R_{ос})$] и поэтому коэффициент передачи всего усилителя равен $K_{U\text{ оос}} = R_{ос} / R_3$.

Когда входное напряжение уменьшится до напряжения пробоя стабилитрона $VD2$, коэффициент передачи цепи ООС скачком уменьшится $\{b_{ос} = (R_3 \parallel R_2) / [(R_3 \parallel R_2) + R_{ос}]\}$ и соответственно увеличится коэффициент передачи всего усилителя $K_{U\text{ оос}} = R_{ос} (1/R_2 + 1/R_3)$.

Новый коэффициент передачи усилителя будет оставаться постоянным до тех пор, пока входное напряжение лежит в диапазоне $U_{VD1} > u_{вх} > U_{VD2}$. При дальнейшем уменьшении входного напряжения наступит пробой стабилитрона $VD1$. В результате коэффициент передачи цепи ООС еще больше упадет [$b_{ос} = (R_3 \| R_2 \| R_1) / (R_3 \| R_1 + R_{ос})$] и соответственно еще больше вырастет коэффициент передачи усилителя $K_{у оос} = R_{ос} (1/R_1 + 1/R_2 + 1/R_3)$.

Анализ схемы на рис. 8.21, а и полученных выражений для ее коэффициентов передачи показывают, что при пробое стабилитрона $VD2$ нелинейный преобразователь фактически превращается в двухвходовой инвертирующий сумматор, на оба входа которого подано одно и то же напряжение. Поэтому при определении коэффициентов передачи усилителя по схеме на рис. 8.21, а можно пользоваться полученным ранее выражением (8.25).

Если входное напряжение имеет положительную полярность, то пренебрегая напряжениями на прямосмещенных стабилитронах, можно сказать, что коэффициент передачи устройства для всего диапазона изменения входного напряжения будет постоянен и равен максимально возможной величине.

Таким образом, при отрицательных полярностях входного напряжения коэффициент передачи является функцией входного напряжения и при его уменьшении увеличивается. Следовательно, в усилителе реализована передаточная характеристика с возрастающим коэффициентом передачи. Число используемых при этом стабилитронов и напряжения их пробоя зависят от требуемой точности приближения к заданной функции. Основным требованием к аппроксимируемым зависимостям должно быть требование монотонного увеличения коэффициента передачи при увеличении модуля входного напряжения.

Пример 18.16. Спроектировать нелинейный преобразователь, моделирующий в диапазоне входных напряжений от 0 до -15 В функцию вида $u_{вых} = A u_{вх}^2$. Максимальное выходное напряжение 10 В. Максимальная ошибка аппроксимации $0,1$ В.

Решение. 1. Найдем коэффициент A

$$U_{вых \max} = A U_{вх \max}^2;$$

$$A = U_{вых \max} / U_{вх \max}^2 = 10 / 15^2 = 0,044.$$

2. Определим ошибку аппроксимации

$$\Delta = F_{\text{реал}} - F_{\text{ап}},$$

где $F_{\text{реал}}$ — реальная зависимость $u_{вых} = \Phi(u_{вх})$; $F_{\text{ап}}$ — аппроксимированная зависимость $u_{вых} = \Phi(u_{вх})$.

Аппроксимирующая функция $F_{ап}$ является уравнением прямой, проходящей в общем случае через заданную точку. В этом случае для нее можно записать (см. рис. 8.21,б)

$$F_{ап} = u_{вых} = K(u_{вх} - U_0),$$

где $K = \Delta u_{вых} / \Delta u_{вх}$ — коэффициент передачи усилителя. Тогда для напряжения U_0 при условии, что $u_{вх} = U_{VD}$, справедливо выражение

$$U_0 = U_{VD} - U_{вых1} / K.$$

Используя выражения для $F_{реал}$ и $F_{ап}$, для Δ можно записать

$$\Delta = K(u_{вх} - U_{VD} + u_{вых1} / K) - A u_{вх}^2.$$

Найдем входное напряжение $U_{вхЭ}$, при котором функция Δ имеет экстремум. Очевидно, что это максимум

$$\partial \Delta / \partial u_{вхЭ} = K - 2A u_{вхЭ} = 0$$

или

$$U_{вхЭ} = K / 2A.$$

Подставим найденное $U_{вхЭ}$ в выражение для Δ и найдем коэффициент передачи схемы на заданном участке

$$K(K/2A - U_{VD} + U_{вых1} / K) - AK^2 / (2A)^2 = \Delta.$$

Решая полученное уравнение относительно коэффициента передачи, найдем

$$K_{1,2} = \frac{U_{VD} \pm \sqrt{U_{VD}^2 - (U_{вых} - \Delta) / A}}{2A}.$$

Используя полученные выражения, можно найти как число аппроксимирующих прямых, так и соответствующие им коэффициенты передачи усилителя.

3. Определим параметры первой аппроксимирующей прямой, проходящей через начало координат. В полученном выражении для K имеем $U_{VD} = U_{вых1} = 0$. Тогда

$$K_1 = (0 + \sqrt{0 + \Delta / A}) / (1/2A) = 2 \cdot 0,044 \cdot \sqrt{0,1/0,044} = 0,133;$$

$$U_{вхЭ1} = 0,133 / (2 \cdot 0,044) = 1,5 \text{ В.}$$

Напряжение U_{VD2} можно найти из решения уравнения

$$\Delta(K_1) = 0;$$

$$0,133(U_{VD2} - 0 - 0/0,133) - AU_{VD2}^2 = 0.$$

Отсюда, отбрасывая $U_{VD2} = 0$, получим $U_{VD2} = 3,02 \text{ В}$. Принимаем $U_{VD2} = 3,3 \text{ В}$ (стабилитрон 2С133Д-1). Уточним коэффициент передачи K_1

$$K_1 = AU_{VD2}^2 / U_{VD2} = 0,044 \cdot 3,3 = 0,145.$$

Зададим $R_{OC} = 1 \text{ кОм}$. Тогда $R_1 = R_{OC} / K_1 = 1/0,145 = 6,8 \text{ кОм}$. Выходное напряжение $U_{вых1}$, соответствующее $U_{вх} = 3,3 \text{ В}$, равно

$$U_{вых1} = 0,145 \cdot 3,3 = 0,48 \text{ В.}$$

4. Определим параметры второй аппроксимирующей прямой при условии $U_{VD2} = 3,3 \text{ В}$

$$K_2 = \frac{3,3 \pm \sqrt{(3,3)^2 - (0,48 - 0,1) \cdot 0,044}}{1/(2 \cdot 0,044)} = 0,422.$$

Второе значение K_2 соответствует наклону на первом участке аппроксимации. Его несовпадение с $K_1 = 145$ объясняется округлением расчетного $U_{VD2} = 3,02$ В до значения 3,3 В. Следствием этого является некоторое увеличение значения Δ

$$U_{\text{вх}2} = 0,422/2 \cdot 0,044 = 4,8 \text{ В.}$$

Из уравнения $\Delta(K_2) = 0$ найдем напряжение U_{VD1}

$$0,422(U_{VD1} - 3,3 + 0,48/0,422) - 0,044 U_{VD1}^2 = 0.$$

Отбрасывая $U_{VD1} = 3,3$ В, получим $U_{VD1} = 6,3$ В. Принимаем $U_{VD1} = 6,2$ В (стабилитрон 2С162Б-1). Уточним коэффициент K_2 :

$$K_2 = (AU_{VD1}^2 - U_{\text{вх}1}) / (U_{VD2} - U_{VD1}) = (0,4 \cdot 6,2^2 - 0,48) / (6,2 - 3,3) = 0,418.$$

Выходное напряжение $U_{\text{вых}2}$, соответствующее $U_{\text{вх}} = 6,2$ В, равно $U_{\text{вых}2} = 0,044 \cdot 6,2^2 = 1,69$ В.

5. Определим параметры третьей аппроксимирующей прямой

$$K_3 = \frac{6,2 \pm \sqrt{(6,2)^2 - (1,69 - 0,1) \cdot 0,044}}{1/(2 \cdot 0,044)} = 0,679.$$

Напряжение U_{VD3} , соответствующее пересечению третьей аппроксимирующей прямой с заданной функцией, найдем из решения уравнения

$$0,679(U_{VD3} - 6,2 + 1,69/0,679) - 0,044 U_{VD3}^2 = 0;$$

$$U_{VD3} = 9,22 \text{ В.}$$

Принимаем $U_{VD3} = 9,1$ В (стабилитрон 2С191К-1)

Уточним K_3 .

$$K_3 = (0,044 \cdot 9,1^2 - 1,69) / (9,1 - 6,2) = 0,673;$$

$$U_{\text{вых}3} = 0,044 \cdot (9,1)^2 = 3,64 \text{ В.}$$

6. Определим параметры четвертой аппроксимирующей прямой

$$K_4 = \frac{9,1 \pm \sqrt{9,1^2 - (3,64 - 0,1) \cdot 0,044}}{1/(2 \cdot 0,044)} = 0,936;$$

$U_{VD4} = 12,14$ В. Принимаем $U_{VD4} = 12$ В (стабилитрон 2С212К-1). Уточним K_4

$$K_4 = (0,044 \cdot 12^2 - 3,64) / (12 - 9,1) = 0,93;$$

$$U_{\text{вых}4} = 0,044 \cdot 12^2 = 6,34 \text{ В.}$$

7. Коэффициент K_5 найдем в предположении, что на оставшемся участке аппроксимация выполняется одной прямой.

Тогда

$$K_5 = (U_{\text{вых} \max} - U_{\text{вых}4}) / (U_{\text{вх} \max} - U_{VD4}) = (10 - 6,34) / (15 - 12) = 1,22.$$

Таким образом, для выполнения заданных условий необходимо использовать цепь из пяти параллельных ветвей (см. рис. 8.21,б).

8. Определим сопротивления резисторов входной нелинейной цепи ОУ

$$K_2 = R_{OC} (1/R_1 + 1/R_2).$$

Тогда

$$R_2 = R_{OC1} / (K_2 - R_{OC1} / R_1) = 1 / (0,418 - 1/6,8) = 3,69 \text{ кОм.}$$

Принимаем $R_2 = 3,6 \text{ кОм}$;

$$R_3 = \frac{R_{OC1}}{K_3 - R_{OC1} (1/R_1 + 1/R_2)} = \frac{1}{0,673 - 1(1/6,8 + 1/3,6)} = 4,03 \text{ кОм.}$$

Принимаем $R_3 = 3,9 \text{ кОм}$;

$$R_4 = \frac{R_{OC1}}{K_4 - R_{OC1} (1/R_1 + 1/R_2 + 1/R_3)} = \frac{1}{0,93 - 1(1/6,8 + 1/3,6 + 1/3,9)} = 4,02 \text{ кОм.}$$

Принимаем $R_4 = 3,9 \text{ кОм}$; $R_5 = 3,54 \text{ кОм}$, принимаем $R_5 = 3,6 \text{ кОм}$.

Примечания.

1. Для формирования нелинейной цепи необходимо выбирать стабилитроны с наименьшим минимальным током стабилизации.

2. Выбранные стабилитроны необходимо проверить по максимальному току стабилизации.

3. После округления сопротивлений резисторов $R_1 \dots R_5$ до ближайших из стандартного ряда необходимо проверить соответствие полученной и заданной зависимостей.

8.13.2. УСИЛИТЕЛЬ С УБЫВАЮЩИМ КОЭФФИЦИЕНТОМ ПЕРЕДАЧИ

Усилитель с убывающим коэффициентом передачи можно получить, если в ранее рассмотренной схеме нелинейный двухполусник и резистор обратной связи поменять местами. Схема такого усилителя приведена на рис. 8.22, а. Рассмотрим ее работу при тех же допущениях, что и для схемы на рис. 8.21.

Предположим, что входное напряжение отрицательно и удовлетворяет неравенству $0 > u_{вх} > U_{вх1}$. При этом оба стабилитрона

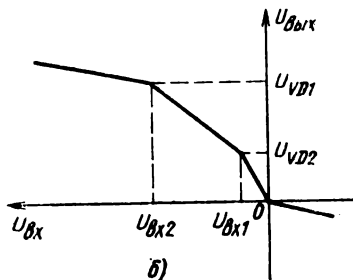
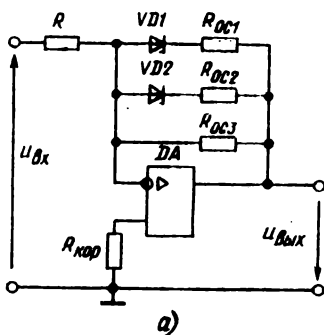


Рис. 8.22. Схема нелинейного преобразователя с монотонно убывающим коэффициентом усиления (а) и ее передаточная характеристика (б)

в цепи ООС заперты. Коэффициент передачи цепи ООС определяется только сопротивлениями резисторов R_{OC3} и R (при этом $b_{OC} = R/(R + R_{OC3})$). В этом случае коэффициент передачи усилителя будет равен $K_{U_{ООС1}} = R_{OC3}/R$.

При уменьшении входного напряжения до уровня, при котором произойдет пробой стабилитрона $VD2$, коэффициент передачи цепи ООС скачком увеличится до $b_{OC} = R/[R + (R_{OC3} \parallel R_{OC2})]$. Это, в свою очередь, уменьшит коэффициент передачи усилителя до $K_{U_{ООС2}} = (R_{OC3} \parallel R_{OC2})/R$, который будет оставаться неизменным до тех пор, пока уменьшение входного напряжения не приведет к пробое стабилитрона $VD1$. После пробоя стабилитрона $VD1$ коэффициент передачи цепи ООС увеличится до максимально возможного значения $b_{OC} = R/[R + (R_{OC3} \parallel R_{OC2} \parallel R_{OC1})]$, а коэффициент передачи усилителя упадет до своего минимального значения $K_{U_{ООС3}} = (R_{OC3} \parallel R_{OC2} \parallel R_{OC1})/R$.

Таким образом, изменение места включения нелинейного двух-полюсника, образованного резисторами и стабилитронами, приводит к изменению характера поведения коэффициента передачи устройства.

Если на вход устройства подано положительное напряжение, то практически во всем диапазоне изменения входного сигнала его коэффициент передачи будет постоянен. При этом он будет минимальным, так как все стабилитроны смещены в прямом направлении (рис. 8.22, б).

Входное напряжение, при котором будет происходить изменение коэффициента передачи усилителя, можно определить, зная напряжение пробоя стабилитронов. Первый перелом передаточной характеристики произойдет в момент, когда выходное напряжение достигнет U_{VD2} . При этом входное напряжение усилителя будет равно $U_{вх1} = U_{вых}/K_{U_{ООС1}} = U_{VD2}R/R_{OC3}$. Для второго перелома передаточной характеристики выходное напряжение должно увеличиться до U_{VD1} . Это произойдет в момент, когда входное напряжение достигнет $U_{вх2} = U_{вх1} + (U_{VD1} - U_{VD2})R(R_{OC2} + R_{OC3})/R_{OC3}R_{OC2}$.

Используя описанные принципы, можно построить различные схемы нелинейных преобразователей. В качестве примера на рис. 8.23, а приведена схема нелинейного преобразователя с симметричной характеристикой. Пока выходное напряжение недостаточно для пробоя одного из стабилитронов, его коэффициент передачи определяется отношением сопротивлений резисторов R_{OC1} и R ($K_{U_{ООС1}} = R_{OC1}/R$). После пробоя соответствующего стабилитрона коэффициент передачи устройства падает (рис. 8.23, б).

Пример 8.17. Рассчитать передаточную характеристику нелинейного преобразователя по схеме на рис. 8.22, а при условиях: $R = 1,5$ кОм; $R_{OC1} = 5,6$ кОм; $R_{OC2} = 7,5$ кОм; $R_{OC3} = 12$ кОм; $VD1$ —КС175К-1; $VD2$ —КС133Д-1.

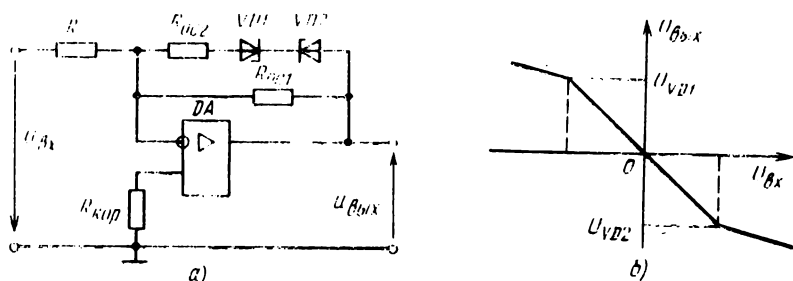


Рис 8.23. Схема нелинейного преобразователя с симметричной передаточной характеристикой (а) и его передаточная характеристика (б)

Решение. 1. Определим коэффициент передачи преобразователя на соответствующих интервалах изменения выходного напряжения.

$$\text{Если } 0 \leq U_{\text{вх}} \leq 3,3 \text{ В, } K_1 = R_{0с2}/R = 12/1,5 = 8.$$

$$\text{Если } 3,3 \text{ В} \leq U_{\text{вх}} \leq 7,5 \text{ В, } K_2 = (R_{0с2} \parallel R_{0с3}) R = \\ = (R_{0с2} R_{0с3}) / [R (R_{0с2} + R_{0с3})] = 7,5 \cdot 12 / [1,5 (7,2 + 12)] = 3,08.$$

$$\text{Если } U_{\text{вх}} > 7,5 \text{ В, } K_3 = (R_{0с3} \parallel R_{0с2} \parallel R_{0с1}) / R = 2,5/1,5 = 1,69.$$

2. Найдем диапазоны изменения входного напряжения, соответствующие выделенным изменениям выходного напряжения

$$-U_{\text{вх1}} = U_{\text{вх2}} / K_1 = 3,3/8 = 0,41 \text{ В;}$$

$$U_{\text{вх2}} = U_{\text{вх1}} + (U_{\text{вх1}} - U_{\text{вх2}}) K_2 = 0,41 + (7,5 - 3,3)/3,08 = 1,77 \text{ В.}$$

Практическое использование схем нелинейных преобразователей, приведенных на рис. 8.21, а и 8.22, а, ограничивается двумя причинами. Первая дискретность ряда реально существующих стабилизаторов. Вторая причина связана с неидеальностью ВАХ стабилизатора. Большинство выпускаемых промышленностью стабилизаторов имеют минимальный ток стабилизации 1...3 мА. Этот ток соизмерим с максимально допустимым выходным током серийных ОУ. Сказанное накладывает ограничения на форму передаточной характеристики преобразователя, так как усложняет формирование требуемых коэффициентов передачи при малых значениях $u_{\text{вх}}$.

Устранить данные ограничения можно, если вместо стабилизаторов в цепи ООС ОУ использовать нелинейные цепи на основе резисторов и диодов. Пример такого решения приведен на рис. 8.24, а. Проанализируем работу данного устройства.

Под действием напряжений $+U_{\text{п}}$ и $-U_{\text{п}}$ в цепях из последовательно соединенных резисторов R_1 , $R_{0с2}$ и $R_{0с3}$, R_2 постоянно протекают токи смещения $I_{\text{см1}}$ и $I_{\text{см2}}$, причем так как $u_{\text{вх}} = 0$, то эти

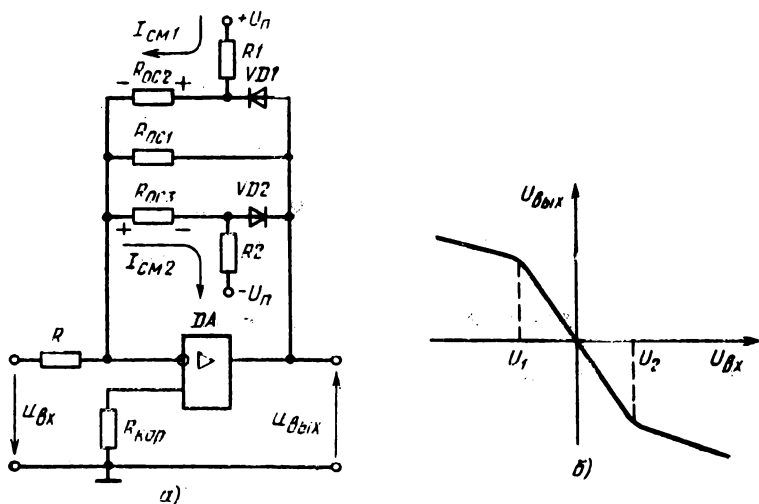


Рис. 8.24 Схема нелинейного преобразователя с резистивно диодной цепью ООС (а) и ее передаточная характеристика (б)

токи не зависят от входного напряжения. Если выходное напряжение ОУ равно нулю, то $U_{R_{OC1}} = 0$ и падения напряжения на резисторах R_{OC2} и R_{OC3} запирают диоды $VD1$ и $VD2$. Поэтому цепь ООС ОУ образуется только резисторами R_{OC1} и R и коэффициент передачи устройства $K_1 = R_{OC1}/R$.

Предположим, что напряжение на входе ОУ начинает увеличиваться. Это вызовет уменьшение его выходного напряжения и изменение напряжений, приложенных к диодам $VD1$ и $VD2$. Запирающее напряжение на диоде $VD1$ увеличится, а на $VD2$ уменьшится.

В момент, когда выходное напряжение усилителя достигнет уровня $-U_n R_{OC3}/(R_{OC3} + R_2)$, напряжение на диоде $VD2$ станет равным нулю и дальнейшее увеличение входного напряжения приведет к прямому смещению этого диода. Резистор R_{OC1} окажется шунтирован резистором R_{OC3} , что вызовет падение коэффициента передачи ОУ $K_2 \approx R_{OC1} R_{OC3}/[R(R_{OC1} + R_{OC3})]$.

Следует отметить, что так как начальный участок ВАХ диода существенно нелинеен, изменение коэффициента передачи усилителя от K_1 до K_2 происходит плавно, что является несомненным достоинством схемы.

При отрицательных входных напряжениях в прямом направлении смещается диод $VD1$ и $K_3 = R_{OC1} R_{OC2}/[R(R_{OC1} + R_{OC2})]$.

Передаточная характеристика рассматриваемого нелинейного преобразователя приведена на рис. 8.24, б. Как видно, она анало-

гична характеристике устройства по схеме на рис. 8.23, а, выполненной на стабилитронах.

Согласно приведенному выше описанию работы, для входных напряжений, соответствующих перегибам передаточной характеристики устройства по схеме на рис. 8.24, а, можно записать следующие выражения:

$$\begin{aligned} -U_1 &= U_n R R_{OC2} / [R_{OC1} (R_{OC2} + R_1)]; \\ U_2 &= | -U_n | R R_{OC3} / [R_{OC1} (R_{OC3} + R_2)]. \end{aligned}$$

8.14. ОГРАНИЧИТЕЛИ УРОВНЯ

Схемы ограничителей уровня напряжений являются частным случаем схем нелинейных преобразователей. От данных устройств требуется, чтобы, начиная с некоторого уровня выходного напряжения дальнейшее увеличение входного сигнала не приводило к увеличению выходного напряжения. По сути дела ОУ является таким ограничителем, так как его максимальное выходное напряжение всегда меньше напряжения питания. Однако на практике это свойство ОУ для ограничения выходного напряжения не используется. Причина этого в нестабильности уровней ограничения, обусловленной температурной зависимостью параметров полупроводниковых приборов. К тому же, как будет показано в гл. 10, такой режим работы приводит к появлению заметной (особенно с повышением частоты) инерционности ОУ.

По своей сути ограничение выходного напряжения ОУ может пониматься как значительное уменьшение его коэффициента передачи. В этом случае решить проблему ограничения можно, используя принципы построения нелинейных преобразователей. Пример такого технического решения приведен на рис. 8.25, а.

До тех пор, пока напряжение на выходе ОУ недостаточно для пробоя соответствующего стабилитрона, его коэффициент передачи равен собственному коэффициенту усиления ОУ. При пре-

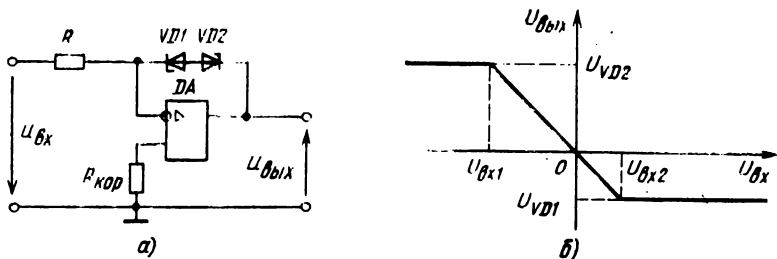


Рис. 8.25. Схема ограничителя уровня (а) и его передаточная характеристика (б)

вышении выходным напряжением напряжения пробоя соответствующего стабилитрона коэффициент передачи устройства резко падает. Действительно, дифференциальное сопротивление стабилитрона в режиме обратного пробоя стремится к нулю. При этом коэффициент передачи цепи ООС стремится к единице и выходное напряжение фиксируется на уровне, равном напряжению пробоя стабилитрона.

При необходимости коэффициент передачи ограничителя уровня в диапазоне входных напряжений, недостаточных для пробоя стабилитронов, может быть установлен на требуемом уровне. Для этого параллельно стабилитронам включают резистор обратной связи.

Выбором необходимых напряжений пробоя стабилитронов в приведенной схеме для различной полярности выходного напряжения можно обеспечить как симметричное, так и несимметричное ограничение выходного напряжения.

Пример 8.18. Определить параметры передаточной характеристики ограничителя уровня на рис. 8.25,а при следующих условиях: $DA—КР1040УД1$; $R=2,4$ кОм, $VD1—KC133D1$; $VD2—KC168K-1$.

Считать, что ОУ сбалансирован, т. е. при $U_{вх}=0$ имеем $U_{вых}=0$.

Решение. 1. Найдем напряжения $U_{вх1}$ и $U_{вх2}$. Положительное выходное напряжение ОУ ограничивается стабилитроном $VD2$, а отрицательное — $VD1$. Поэтому

$$U_{вх1} = -U_{VD2}/K_{10} = -6,8/25 \cdot 10^3 = -0,272 \text{ мВ};$$

$$U_{вх2} = U_{VD1}/K_{10} = 3,3/25 \cdot 10^3 = 0,132 \text{ мВ}.$$

2. Коэффициент передачи схемы при выполнении условия $-0,272 \text{ мВ} \leq U_{вх} \leq 0,132 \text{ мВ}$ определяется параметрами ОУ и равен

$$K_1 = K_{10} = 25 \cdot 10^3.$$

3. При уменьшении входного напряжения меньше $-0,272 \text{ мВ}$ коэффициент передачи усилителя равен

$$K_2 = R_{OC}/R = (r_{dVD2} + r_{VD1})/R = (200 + 180)/2400 = 0,158,$$

где r_{dVD2} — дифференциальное сопротивление $VD2$ в области обратного пробоя ($r_{dVD2} = 200$ Ом); r_{VD1} — дифференциальное сопротивление прямосмещенного стабилитрона $VD1$ ($r_{VD1} = 180$ Ом).

4. Коэффициент передачи усилителя при $u_{вх} > 0,132 \text{ мВ}$. Полагая, что дифференциальные сопротивления стабилитронов равны, получим

$$K_3 = (r_{dVD1} + r_{VD2})/R = (180 + 200)/2400 = 0,158,$$

где r_{dVD1} — дифференциальное сопротивление $VD1$ в области обратного пробоя; r_{VD2} — дифференциальное сопротивление прямосмещенного стабилитрона $VD2$.

8.15. ИСТОЧНИКИ ТОКА

На основе ОУ могут быть построены и источники постоянного тока. По способу подключения нагрузки все схемы таких источников можно разделить на две группы:

- источники тока с так называемой «плавающей» нагрузкой, т. е. с нагрузкой, выводы которой не соединяются с общей шиной;
- источники тока с заземленной нагрузкой.

В качестве источника постоянного тока в случае «плавающей» нагрузки можно использовать схему инвертирующего усилителя. Сопротивление нагрузки при этом включают в цепь ООС ОУ (рис. 8.26, а).

Как было показано ранее, для схемы инвертирующего усилителя справедливо соотношение

$$u_{\text{вх}}/R_1 = u_{\text{вых}}/R_{\text{н}} - i_{\text{н}}. \quad (8.50)$$

Из полученного выражения следует, что если входное напряжение ОУ поддерживается на неизменном уровне, то ток нагрузки постоянен и не зависит от сопротивления нагрузки. Следовательно, данная схема может использоваться в качестве источника постоянного тока.

Если входное напряжение изменять по некоторому закону, то по этому же закону будет изменяться и выходной ток схемы. Устройство превращается в управляемый напряжением источник тока.

При «плавающей» нагрузке источник постоянного тока можно выполнить и на основе неинвертирующего усилителя. Схема такого источника приведена на рис. 8.26, б. Принцип ее работы (как и ранее рассмотренной) базируется на том, что напряжение между инвертирующим и неинвертирующим входами ОУ передается на выход с коэффициентом усиления $K_{\text{св}}$. Для идеального

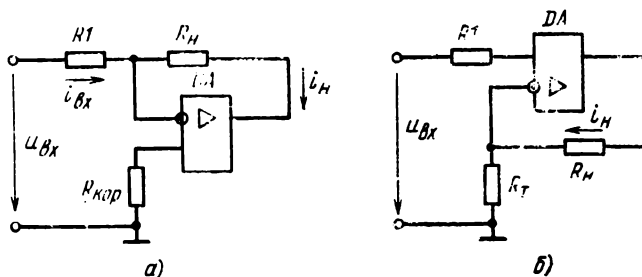


Рис. 8.26. Схемы источников тока, выполненные на основе инвертирующего (а) и неинвертирующего (б) усилителей

усилителя коэффициент усиления стремится к бесконечности. Поэтому можно записать

$$i_n = -u_{вх}/R_1. \quad (8.51)$$

Следовательно, и в этой схеме при постоянстве входного напряжения ток нагрузки будет оставаться постоянным.

По существу данное устройство можно рассматривать как усилитель с последовательной ООС по току нагрузки. Действие ООС по току нагрузки приводит к повышению выходного сопротивления усилителя, что и позволяет обеспечить в нем стабилизацию выходного тока.

Действительно, применительно к рассматриваемой схеме согласно выражению (5.40) выходное сопротивление усилителя будет равно $R_{вых. оос} = R_T K_{то} + R_{вых.}$, где $R_{вых.}$ — собственное выходное сопротивление ОУ. При $K_{то}$, стремящемся к бесконечности, выходное сопротивление усилителя также будет стремиться к бесконечности. Поэтому выходной ток усилителя перестает зависеть от сопротивления нагрузки.

Если по условию работы сопротивление нагрузки должно иметь соединение с общей шиной, то наиболее просто источник постоянного тока выполнить с использованием дополнительного транзистора, подключенного на выход ОУ. Кроме всего прочего, введение в схему дополнительного транзистора позволяет увеличить максимально допустимый выходной ток источника. Два примера реализации таких устройств приведены на рис. 8.27, а, б.

Принцип построения обеих схем одинаков. Он состоит во введении в схему неинвертирующего усилителя цепи последовательной ООС по выходному току. В качестве датчика выходного тока используют резистор R_T , напряжение на котором при изменении сопротивления нагрузки остается постоянным $U_{R_T} = |U_n| - U_{вх} = \text{const}$. Поэтому

$$I_n = (|U_n| - U_{вх})/R_T. \quad (8.52)$$

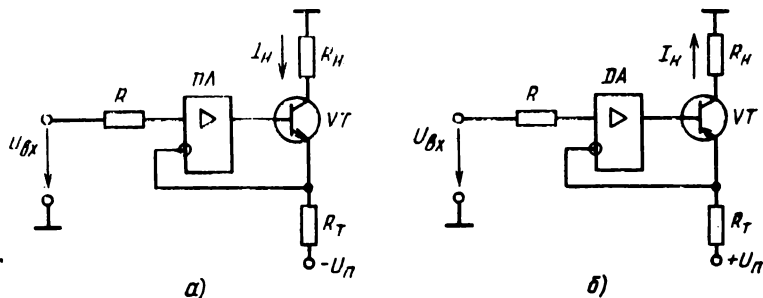


Рис. 8.27. Схемы источников постоянного тока отрицательной (а) и положительной (б) полярностей и заземленной нагрузкой

Отличие схем состоит в направлении протекания выходного тока. Второй вывод нагрузки в схеме на рис. 8.27,а может быть подключен к положительному, а в схеме на рис. 8.27,б — к отрицательному выводам источника питания.

Пример 8.19. Разработать источник тока по схеме на рис. 8.27,а со следующими параметрами: $I_n = 10$ мА; $R_{k\max} = 0,68$ кОм.

Решение. 1. Определим максимальное напряжение на нагрузке

$$U_{n\max} = R_{n\max} I_n = 10 \cdot 10^{-3} \cdot 680 = 6,8 \text{ В.}$$

2. Найдем необходимое напряжение питания устройства

$$U_n = U_{n\max} + U_{КЭ\min} + U_{R_T}.$$

При этом должно выполняться условие

$$U_{\text{вых ОУ}} \max > U_{КЭ\min} + U_{R_{n\max}}.$$

Принимаем $U_{КЭ\min} = 1,5$ В, тогда $U_{\text{вых ОУ}} \max > 6,8 + 1,5 = 8,3$ В. Выбираем ОУ, удовлетворяющий указанным требованиям:

$$DA-K574Д1; U_n = \pm 15 \text{ В}; U_{\text{вых}} = \pm 10 \text{ В}; I_{\text{ОУ}} \max = 5 \text{ мА.}$$

3. Определим требуемый коэффициент передачи тока транзистора

$$h_{21Э} \geq I_n / I_{\text{ОУ}} \max = 10/5 = 2.$$

4. Для работы в разрабатываемой схеме выбираем транзистор, который должен отвечать следующим требованиям:

$$I_{k\max} \geq 10 \text{ мА}; U_{КЭ\max} \geq U_{КЭ\min} + U_{n\max} = 1,5 + 6,8 = 8,3 \text{ В}; P_{k\max} \geq U_{КЭ\max} I_{k\max} = 83 \text{ мВт}; h_{21Э} \geq 2; \text{тип проводимости } n-p-n.$$

Этим требованиям отвечает транзистор КТ312А: $h_{21Э} = 12 \dots 100$; $I_{k\max} = 30$ мА; $P_k = 225$ мВт; $U_{КЭ\max} = 30$ В.

5. Найдем сопротивление R_T

$$U_{R_T} = U_n - U_{n\max} - U_{КЭ\min} = 15 - 6,8 - 1,5 = 6,7 \text{ В};$$

$$R_T = U_{R_T} / I_n = 6,7/10 \approx 670 \text{ Ом.}$$

Принимаем $R_T = 620$ Ом.

6. Требуемое входное напряжение $U_{вх} = -U_n + R_T I_n = -15 + 0,62 \cdot 10 = 8,8$ В.

7. Выходное сопротивление генератора $R_{\text{вых}} \approx R_T K_{\text{ГО}} = 0,62 \cdot 5 \cdot 10^4 = 31 \cdot 10^3$ кОм.

8.16. ИСТОЧНИКИ НАПРЯЖЕНИЯ

Следует отметить, что в схемах источников напряжения, выполняемых с использованием ОУ, сам ОУ не является узлом, формирующим некоторое постоянное напряжение. Как правило, для его нормальной работы необходимо некоторое внешнее эталонное напряжение, стабильность которого и определяет стабильность выходного напряжения устройства. В качестве таких внешних ис-

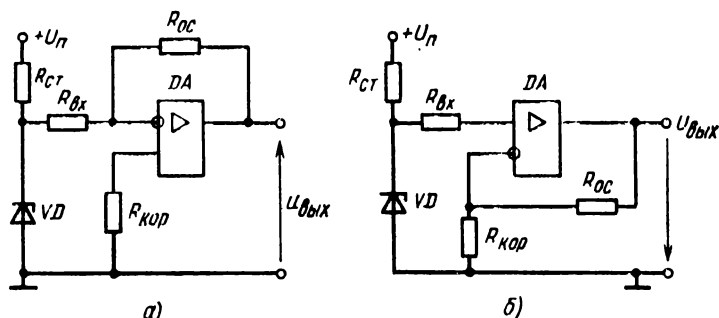


Рис. 8.28. Схемы источников постоянного напряжения, выполненные на основе инвертирующего (а) и неинвертирующего (б) усилителей

точников используют *p-n*-переходы, работающие в области прямого смещения или обратного электрического пробоя (диод, стабилитрон, стабилитрон).

Назначение ОУ состоит в согласовании параметров реального источника эталонного напряжения с параметрами нагрузки, причем это согласование должно быть выполнено так, чтобы реализовать максимально возможную стабильность напряжения. В первую очередь согласование касается выходного сопротивления и уровня выходного напряжения.

На рис. 8.28, а, б в качестве примера приведены схемы источников напряжения, выполненные на основе инвертирующего и неинвертирующего усилителей. В обеих схемах в качестве непосредственного источника постоянного напряжения использован стабилитрон *VD*. Напряжение этого стабилитрона передается на выход с коэффициентом усиления $K_{\text{в.о.с.}}$. Следовательно, изменяя коэффициент передачи цепи ООС, можно изменять выходное напряжение устройства.

Известно, что любой источник напряжения, выполненный на *p-n*-переходе, обладает некоторым конечным выходным сопротивлением. При этом если ток, отбираемый непосредственно от такого источника, будет изменяться, то будет изменяться и напряжение перехода. Следовательно, с точки зрения стабильности напряжения необходимо стремиться либо устранять возможные изменения тока перехода (тока нагрузки), либо уменьшать его выходное сопротивление. Часто ни то, ни другое невозможно. В этом случае решением проблемы повышения стабильности является использование ОУ.

Действительно, в обеих приведенных схемах ток, отбираемый от *p-n*-перехода, определяется только сопротивлением резистора $R_{\text{вх}}$ и всегда постоянен. При этом ОУ охвачен цепью ООС по

выходному напряжению. В этом случае для его выходного сопротивления согласно выражению (5.38) можно записать

$$R_{\text{вых ООС}} = R_{\text{вых}} / [1 + R_{\text{вх}} K_{U0} / (R_{\text{вх}} + R_{\text{ОС}})].$$

При K_{U0} , стремящемся к бесконечности, выходное сопротивление ОУ стремится к нулю. Из этого следует, что изменение напряжения на нагрузке, вызванное изменением ее тока, тоже стремится к нулю.

Следовательно, применение ОУ (особенно при значительных диапазонах изменения тока нагрузки) позволяет значительно повысить стабильность источников напряжения.

Пример 8.20. Разработать источник напряжения со следующими параметрами: VD- 2С175К1; $U_{\text{вых}} = 13,3$ В; $I_n = 0 \dots 10$ мА.

Решение. 1. Согласно справочнику стабилитрон 2С175К1 характеризуется следующими параметрами: $U_{\text{с10}} = 7,5$ В; $I_{\text{с1 min}} = 0,1$ мА; $I_{\text{с1 max}} = 2,66$ мА.

Анализ приведенных данных показывает, что заданный тип стабилитрона не отвечает требованиям нагрузки ни по напряжению, ни по уровню допустимого выходного тока. Поэтому для согласования параметров нагрузки и стабилитрона необходимо использование ОУ. Воспользуемся схемой на рис. 8.28,а.

2. Выбираем тип ОУ. При выходном напряжении 13,3 В ОУ должен обеспечить ток нагрузки $I_n = 10$ мА. Этим требованиям отвечает ОУ типа КР1408УД1: $U_{\text{выч}} = \pm 19$ В; $I_{n \text{ max}} = 100$ мА; $K_{U0} = 7 \cdot 10^4$.

3. Выбираем ток стабилитрона $I_{\text{с1}} = 1,2$ мА. Тогда

$$R_{\text{с1}} = (U_n - U_{\text{с10}}) / I_{\text{с1}} = (19 - 7,5) / 1,2 = 9,58 \text{ кОм.}$$

Принимаем $R_{\text{с1}} = 9,1$ кОм.

4. Коэффициент передачи ОУ равен

$$K_U = U_{\text{выч}} / U_{\text{с10}} = 13,3 / 7,5 = 1,773(3).$$

5. Задан ток резистора $R_{\text{вх}}$ на уровне 0,1 $I_{\text{с1}}$

$$R_{\text{вх}} = U_{\text{с10}} / 0,1 I_{\text{с1}} = 7,5 / (0,1 \cdot 1,2) = 62,5 \text{ кОм.}$$

Принимаем $R_{\text{вх}} = 62$ кОм.

Тогда $R_{\text{ОС}} = 110$ кОм.

6. $R_{\text{кор}} = R_{\text{вх}} + (R_{\text{с1}} r_{\text{с1}}) / (R_{\text{с1}} + r_{\text{с1}}) \approx R_{\text{вх}} = 62$ кОм,

где $r_{\text{с1}}$ — дифференциальное сопротивление стабилитрона в области обратного пробоя. Для указанного типа стабилитрона $r_{\text{с1}} = 200$ Ом.

7. Выходное сопротивление схемы

$$R_{\text{вых ООС}} = R_{\text{вых0}} / (1 + K_{U0} b_{\text{ОС}});$$

$$R_{\text{вых0}} = 180 \text{ Ом;}$$

$$R_{\text{вых ООС}} = 180 / (1 + 7 \cdot 10^4 \cdot 0,36) = 7,1 \cdot 10^{-3} \text{ Ом;}$$

$$b_{\text{ОС}} = R_{\text{вх}} / (R_{\text{вх}} + R_{\text{ОС}}) = 62 / (62 + 110) = 0,36.$$

8. Нестабильность выходного напряжения

$$\Delta U_{\text{вых}} = R_{\text{вых}} \Delta I_n = 7,1 \cdot 10^{-3} \cdot 10^{-2} = 7,1 \cdot 10^{-5} \text{ В} = 71 \text{ мкВ.}$$

8.17. АКТИВНЫЕ ФИЛЬТРЫ

Активными называются фильтры, использующие для формирования частотной характеристики заданного вида как пассивные (в основном резисторы и конденсаторы), так и активные (усилительные) элементы. Применение усилительных элементов выгодно отличает активные фильтры от фильтров на пассивных элементах. К преимуществам активных фильтров в первую очередь следует отнести:

- способность усиливать сигнал, лежащий в полосе их пропускания;

- возможность отказаться от применения таких нетехнологичных элементов, как индуктивности, использование которых несовместимо с методами интегральной технологии;

- легкость настройки;

- малые масса и объем, которые слабо зависят от полосы пропускания, что особенно важно при разработке устройств, работающих в низкочастотной области;

- простота каскадного включения при построении фильтров высоких порядков.

Вместе с тем данному классу устройств свойственны следующие недостатки, которые ограничивают их область применения:

- невозможность использования в силовых цепях, например в качестве фильтров выпрямителей;

- необходимость источника, предназначенного для питания усилителя;

- ограниченный частотный диапазон, определяемый собственными частотными свойствами используемых усилителей.

Несмотря на перечисленные недостатки, активные фильтры находят широкое практическое применение.

Как и фильтры на пассивных элементах, активные фильтры классифицируются на фильтры низких частот, пропускающие сигналы с частотой от $\omega=0$ до некоторого $\omega_{ср}$; фильтры высоких частот, пропускающие сигналы с частотой от $\omega=\omega_{ср}$ до $\omega \rightarrow \infty$; полосовые, пропускающие сигналы в диапазоне частот от ω_1 до ω_2 , и режекторные (заградительные) фильтры, не пропускающие сигналы в узком диапазоне частот от ω_1 до ω_2 . Типовые ЛАЧХ перечисленных фильтров приведены на рис. 8.29.

Следует отметить, что основным параметром фильтра является его полоса пропускания. Как и в усилителях, она определяется по уровню падения коэффициента передачи в 1,41 раза (на 3 дБ).

Для решения конкретных задач в настоящее время разработано множество разнообразных активных фильтров. Наиболее известными из них являются фильтры Чебышева, Баттерворда и Бесселя. Ниже, не вдаваясь в теорию построения таких фильтров,

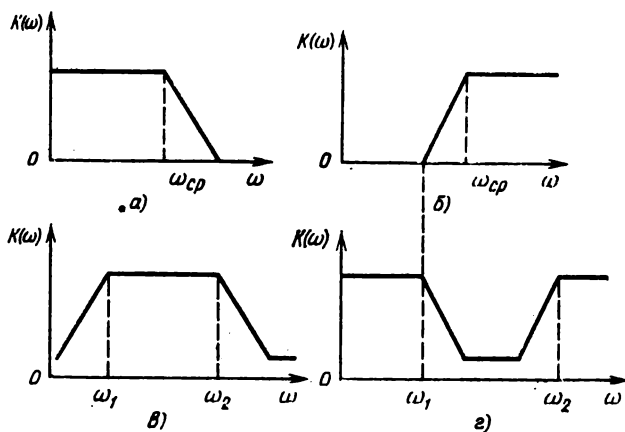


Рис. 8.29. ЛАЧХ фильтров низкой (а), высокой (б) частот, полосового (в) и режекторного (г) фильтров

остановимся только на общих принципах применения ОУ с цепями частотно-зависимой ООС для формирования устройств с различными частотными свойствами. Для этого проанализируем, как соотносятся частотные свойства пассивных частотно-зависимых четырехполюсников и частотные свойства усилителей, использующих эти четырехполюсники в цепях ООС.

Предположим, что передаточная функция некоторого четырехполюсника имеет вид

$$W_n(p) = A(p)/B(p),$$

где $A(p)$ и $B(p)$ произведения элементарных сомножителей в смысле выражений (5.16) и (5.17).

Если этот четырехполюсник включить в цепь ООС ОУ, то передаточная функция усилителя определится выражением

$$\begin{aligned} W_{\text{ОУ ООС}}(p) &= K_{\text{УО}} / (1 + b_{\text{ООС}} K_{\text{УО}}) = K_{\text{УО}} / |1 + A(p) K_{\text{УО}} / B(p)| = \\ &= K_{\text{УО}} B(p) / |B(p) + K_{\text{УО}} A(p)|. \end{aligned} \quad (8.53)$$

Из полученного выражения можно сделать два практически важных вывода:

постоянные времени, формировавшие в частотной характеристике пассивного четырехполюсника асимптоты с наклоном -20 дБ/дек, в усилителе с цепью ООС будут формировать асимптоты с наклоном $+20$ дБ/дек;

в усилителе с цепью ООС асимптоты с наклоном -20 дБ/дек будут формироваться новыми постоянными времени, численное значение которых в общем случае определяется различными ком-

биполярными постоянными времени исходного четырехполюсника и коэффициента усиления ОУ.

Из второго вывода следует, что в знаменателе передаточной функции ОУ с ООС можно получить новые постоянные времени, существенно отличающиеся от постоянных времени исходного четырехполюсника. Отсюда становится понятным, что активные фильтры, частотная характеристика которых формируется в диапазоне низких частот, могут быть построены без использования крупногабаритных элементов, необходимых для формирования больших постоянных времени.

Если в выражении (8.53) коэффициент усиления K_{U0} устремить в бесконечность, то поведение частотной характеристики (особенно в диапазоне низких и средних частот) будет определяться передаточной функцией, полученной из передаточной функции исходного четырехполюсника как ее обратная величина $[W_{\text{ОУООС}}(p) = -1/W_4(p)]$.

Сказанное можно отнести не только к частотно-зависимым цепям ООС. Аналогичные результаты могут быть получены для любых видов элементов, включенных в цепь ООС. Так, в § 8.12 было показано, что включение в цепь ООС элемента, имеющего экспоненциальную зависимость входных и выходных параметров, приводят к логарифмическим зависимостям входного и выходного напряжений ОУ.

Используя полученные результаты, рассмотрим построение на ОУ активных фильтров различных типов.

8.17.1. ФИЛЬТРЫ НИЗКИХ ЧАСТОТ

С простейшей схемой фильтров низких частот мы уже ознакомились. Частотную характеристику, аналогичную рис. 8.29, *а*, имеет интегратор (см. рис. 8.13). Полоса пропускания интегратора лежит в диапазоне от 0 до $\omega_{\text{ср}} = 1/RC(K_{U0} + 1)$, а наклон ЛАЧХ на частотах выше $\omega_{\text{ср}}$ равен -20 дБ/дек.

Изменяя в данном устройстве значение произведения RC , можно менять ширину его полосы пропускания. При этом коэффициент передачи в полосе пропускания будет постоянным и равным K_{U0} .

С точки зрения практического применения эта схема имеет значительный недостаток, заключающийся в том, что при подключении к ее входу источников сигнала с различным выходным сопротивлением в соответствии с выражением (8.34) будет изменяться полоса пропускания фильтра. К тому же в ней невозможно регулировать коэффициент передачи в полосе пропускания. Этот недостаток можно устранить, если построить активный фильтр низких частот на основе неинвертирующего усилителя, а в цепь ООС параллельно конденсатору подключить резистор.

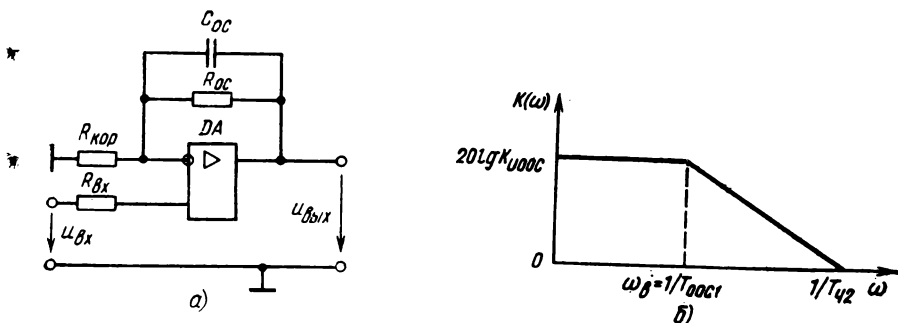


Рис. 8.30. Типовая схема фильтра низких частот (а) и ее ЛАЧХ (б)

Схема такого фильтра приведена на рис. 8.30, а. Передаточная функция четырехполюсника, включенного в цепь ООС усилителя, имеет вид

$$W_{\text{ч}}(p) = K_{\text{ч}}(T_{\text{ч1}}p + 1)/(T_{\text{ч2}}p + 1),$$

где

$$K_{\text{ч}} = R_{\text{кор}}/(R_{\text{кор}} + R_{\text{ОС}});$$

$$T_{\text{ч1}} = R_{\text{ОС}}C_{\text{ОС}};$$

$$T_{\text{ч2}} = R_{\text{ОС}}R_{\text{кор}}C_{\text{ОС}}/(R_{\text{кор}} + R_{\text{ОС}}).$$

Тогда передаточная функция усилителя с $W_{\text{ч}}(p)$ в цепи ООС равна

$$\begin{aligned} W_{\text{ОУ ООС}}(p) &= \frac{K_{\text{У0}}}{1 + K_{\text{ч}}K_{\text{У0}}} \cdot \frac{T_{\text{ч2}}p + 1}{(T_{\text{ч2}} + K_{\text{ч}}K_{\text{У0}}T_{\text{ч1}})p/(1 + K_{\text{ч}}K_{\text{У0}}) + 1} = \\ &= K_{\text{У ООС}}(T_{\text{ч2}}p + 1)/(T_{\text{ООС1}}p + 1). \end{aligned} \quad (8.54)$$

Из полученных выражений видно, что полоса пропускания такого фильтра лежит в диапазоне частот $0 < \omega < 1/T_{\text{ООС1}}$ и зависит не только от параметров элементов четырехполюсника, но и от исходного коэффициента усиления ОУ. Коэффициент передачи в диапазоне полосы пропускания равен $K_{\text{У ООС}} = K_{\text{У0}}/(1 + K_{\text{ч}}K_{\text{У0}})$.

Так как для построения фильтра был использован неинвертирующий усилитель, то согласно выражению (8.3) минимальный его коэффициент передачи должен быть равен единице, который легко получить, если в передаточной функции (8.54) выполнить замену $p = j\omega$, т. е. перейти в частотную область, и частоту ω устремить в бесконечность. Таким образом, используя передаточную функцию (8.54), можно легко рассчитать полосу пропускания и коэффициент передачи рассматриваемого фильтра.

При необходимости получения фильтра с большим наклоном ЛАЧХ после частоты среза можно использовать либо последова-

тельное включение нескольких аналогичных фильтров, либо в цепи ООС использовать более сложный четырехполюсник.

Пример 8.21. Рассчитать активный фильтр низкой частоты по схеме на рис. 8.30.а со следующими параметрами: полоса пропускания 0...20 Гц; коэффициент передачи в диапазоне рабочих частот 100.

Решение. 1. Верхняя круговая частота полосы пропускания равна $\omega_{\text{в}} = 2\pi f_{\text{в}} = 2\pi \cdot 20 = 40\pi$.

2. Для реализации схемы используем операционный усилитель К140УД22 с параметрами

$$K_{U0} = 5 \cdot 10^4; \quad T_{OU} = 1,59 \cdot 10^{-3} \text{ с.}$$

3. Определим требуемый коэффициент передачи цепи ООС по постоянному току

$$K_{U \text{ оос}} = K_{U0} / (1 + K_{U0} K_{\text{ч}}) \quad \text{или} \\ K_{\text{ч}} = (K_{U0} - K_{U \text{ оос}}) / (K_{U \text{ оос}} K_{U0}) = (5 \cdot 10^4 - 100) / (5 \cdot 10^4 \cdot 100) = 9,98 \cdot 10^{-3}.$$

4. Найдем требуемую постоянную времени

$$T_{\text{оос}2} = 1/\omega_{\text{в}} = 1/40\pi = 7,96 \cdot 10^{-3} \text{ с.}$$

5. Согласно передаточной функции (8.54) для выбранной схемы имеем $T_{\text{ч}1} > T_{\text{ч}2}$ и $K_{U0} K_{\text{ч}} = 499 \gg 1$. Тогда с достаточной точностью можно полагать, что $T_{\text{оос}2} \approx T_{\text{ч}1} = R_{\text{ос}} C_{\text{ос}}$. Допустим $R_{\text{кор}} = 1 \text{ кОм}$. Тогда $R_{\text{ос}} = K_{U \text{ оос}} R_{\text{кор}} = 100 \text{ кОм}$; $C_{\text{ос}} = T_{\text{оос}2} / R_{\text{ос}} = 7,96 \cdot 10^{-3} / (100 \cdot 10^3) = 7,96 \cdot 10^{-8} \text{ Ф} = 79,6 \text{ нФ}$.

Принимаем $C_{\text{ос}} = 75,0 \text{ нФ}$.

8.17.2. ФИЛЬТРЫ ВЫСОКИХ ЧАСТОТ

Простейшим фильтром высоких частот является рассмотренная ранее схема дифференциатора (см. рис. 8.16). После частоты $\omega = \omega_{\text{ср}} = (K_{U0} + 1)/RC$ коэффициент передачи фильтра должен оставаться постоянным и равным K_{U0} . Однако на практике из-за ограничения собственной полосы пропускания ОУ такое решение не реализуемо. К тому же для данной схемы справедливы те же замечания, которые были сделаны для интегратора. Поэтому активные фильтры высоких частот обычно строят на основе неинвертирующего усилителя. Простейшая схема такого устройства приведена на рис. 8.31, а.

Передаточная функция данного активного фильтра имеет вид

$$W_{OU \text{ оос}}(p) = K_{U0} / (1 + W_{\text{ч}}(p) K_{U0}) = \\ = \frac{K_{U \text{ оос}} (T_{\text{ч}2} p + 1)}{(T_{\text{ч}2} + K_{U0} T_{\text{ч}1}) p / (1 + K_{U0}) + 1} = K_{U \text{ оос}} (T_{\text{ч}2} p + 1) / (T_{\text{оос}} + 1), \quad (8.55)$$

где $T_{\text{ч}1} = R_{\text{ос}2} C_{\text{ос}}$; $T_{\text{ч}2} = (R_{\text{ос}1} + R_{\text{ос}2}) C_{\text{ос}}$; $K_{U \text{ оос}} = K_{U0} / (1 + K_{U0})$.
Общий вид полученной передаточной функции аналогичен виду передаточной функции (8.54). Однако в этом случае постоянная

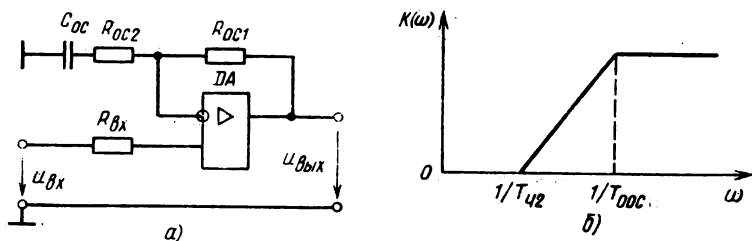


Рис. 8.31. Практическая схема фильтра высоких частот (а) и ее ЛАЧХ (б)

времени $T_{ч2} \gg T_{оос}$. Поэтому первой начинается асимптота с наклоном $+20$ дБ/дек.

Очевидно, что до частоты $\omega = 1/T_{ч2}$ коэффициент передачи схемы фактически равен единице. После этой частоты начинается асимптота с наклоном $+20$ дБ/дек, которая заканчивается на частоте $\omega = 1/T_{оос}$. Полоса пропускания данного фильтра лежит в диапазоне $1/T_{оос} < \omega < [1 + K_{У0} R_{ОС2} / (R_{ОС1} + R_{ОС2})] / T_{ОУ}$, а коэффициент передачи в диапазоне полосы пропускания равен $K_{оос} = 1 + R_{ОС1} / R_{ОС2}$.

В данном случае, если необходимо получить больший наклон частотной характеристики вне полосы пропускания фильтра, можно использовать либо последовательное включение нескольких однотипных устройств, либо в цепи ООС использовать более сложные четырехполюсники.

Используя последовательное включение фильтров низкой и высокой частот, в зависимости от взаимного расположения их полос пропускания можно получить либо полосовой, либо режекторные фильтры.

Пример 8.22. Используя ОУ типа К140УД20, спроектировать активный фильтр высокой частоты с коэффициентом передачи $K_U = 50$ и нижней частотой полосы пропускания $f_n = 500$ Гц, $T_{ОУ} = 15,9 \cdot 10^{-3}$ с.

Решение. 1. Нижняя круговая частота полосы пропускания $\omega_n = 2\pi f_n = 2\pi \cdot 500 = 10^{-3}\pi$.

2. Коэффициент передачи цепи ООС на высокой частоте

$$b_{ос} = R_{ОС2} / (R_{ОС1} + R_{ОС2}) = (K_{У0} - K_U) / (K_{У0} K_U) = \\ = (3 \cdot 10^4 - 50) / (3 \cdot 10^4 \cdot 50) = 19,96 \cdot 10^{-3}.$$

3. Для цепи ООС согласно (8.55) имеем $T_{ч1} < T_{ч2}$, однако $K_{У0} \gg 1$ и можно считать $T_{оос} \approx T_{ч1} = R_{ОС2} C_{ос}$. Принимаем $R_{ос} = 2,4$ кОм, тогда

$$C_{ос} = 1 / (R_{ОС2} \omega_n) = 1 / (2,4 \cdot 10^3 \cdot 10^3 \pi) = 0,13 \text{ мкФ}.$$

4. Определим сопротивление резистора $R_{ОС1}$:

$$K_U = 1 + R_{ОС1} / R_{ОС2} \text{ или } R_{ОС1} = (K_U - 1) R_{ОС2}; \\ R_{ОС1} = (50 - 1) \cdot 2,4 = 117,6 \text{ кОм}.$$

5. ЛАЧХ идеального фильтра высокой частоты после $\omega = \omega_n$ должна иметь постоянный коэффициент передачи до частоты $\omega = \infty$. Однако в реальной схеме из-за неидеальности ОУ, начиная с некоторой частоты ЛАЧХ будет иметь асимптоту с наклоном — 20 дБ/дек. Поэтому, строго говоря, фильтр на рис. 8.31,а является не фильтром высокой частоты, а полосовым фильтром.

В рассматриваемом случае $T_b = T_{OY} / (1 + K_{OY} b_{OC}) = 15,9 \cdot 10^{-3} / (1 + 10^4 \cdot 19,96 \times 10^{-3}) = 1,59 \cdot 10^{-5}$ с;

$$f_b = 1/2\pi T_b = 1/1,59 \cdot 10^{-5} \cdot 2\pi = 10,0 \text{ кГц.}$$

Таким образом, полоса пропускания спроектированного фильтра лежит в диапазоне от 500 Гц до 10 кГц. Схемой полосового фильтра является и рассмотренная в § 8.11 схема дифференциатора с цепями коррекции (см. рис. 8.16,б). При выборе $R_K C \neq C_K R$, в ЛАЧХ данной схемы появляется участок с нулевым наклоном. Продолжительность этого участка и определяет полосу пропускания полосового фильтра.

8.18. УСИЛИТЕЛИ ПЕРЕМЕННОГО ТОКА

Использование интегральных ОУ позволяет значительно упростить схемотехнику усилителей переменного тока. При этом возможны два различных подхода к проектированию подобных устройств. Первый базируется на описанном в § 6.9 способе построения многокаскадных усилителей переменного тока с RC-цепями связи. Его суть заключается в замене транзистора интегральным ОУ (рис. 8.32). Ввиду его большого собственного усиления такая замена позволяет значительно уменьшить необходимое число каскадов, т. е. упростить устройство.

В этом случае (как и в исходном транзисторном усилителе) нижняя граница полосы пропускания определяется параметрами цепей связи. Жесткая стабилизация режима покоя требуется только в выходных каскадах усилителя, работающих с сигналами, близкими к предельно допустимым. Такая стабилизация обеспечивается введением в ОУ цепей ООС по постоянному току. Дополнительно на эти цепи можно возложить и функции формирования требуемых частотных свойств всего усилителя.

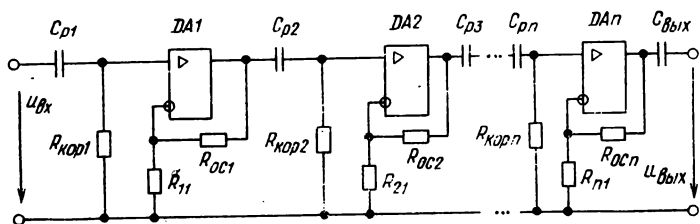


Рис. 8.32. Схема усилителя переменного тока с RC-цепями связи

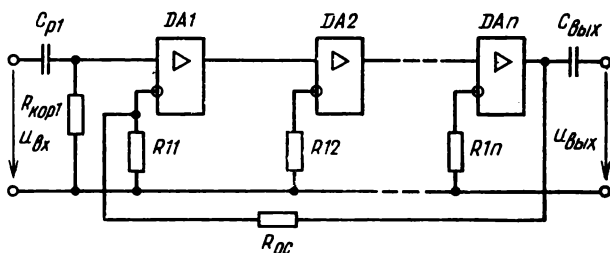


Рис. 8.33. Схема усилителя переменного тока на основе усилителя постоянного тока

Второй подход основан на использовании для усиления переменного напряжения усилителя постоянного тока (УПТ). В этом случае (как и в предыдущем) нижняя граница полосы пропускания может формироваться входными и выходными RC -цепями связи. В таком усилителе все каскады связаны по постоянному току. Поэтому обеспечение стабильности режима покоя выходных каскадов требует введения в усилитель общей цепи ООС по постоянному току (рис. 8.33). Если эту связь выполнить частотно-зависимой, то она может формировать требуемый вид частотной характеристики устройства в области как низких, так и высоких частот. Это позволяет отказаться от входных и выходных RC -цепей, что, как правило, положительно сказывается на свойствах усилителя. Например, если выходное сопротивление источника входного сигнала усилителя носит индуктивный характер, наличие разделительного конденсатора C_p может привести к появлению значительных частотных искажений, обусловленных резонансными явлениями во входной цепи устройства.

Использование на входе ОУ разделительного конденсатора предполагает обязательную постановку корректирующего резистора $R_{кор}$ (см. рис. 8.33). При его отсутствии входные токи ОУ $I_{вх}$ и $\Delta I_{вх}$ заряжают разделительный конденсатор C_p . Это напряжение воспринимается УПТ как полезный сигнал, что изменяет режим покоя выходного каскада. Последнее уменьшает предельно допустимую амплитуду выходного напряжения и увеличивает его искажения. В предельном случае усилитель может оказаться полностью неработоспособным.

Однако введение $R_{кор}$ уменьшает входное сопротивление и, следовательно, коэффициент передачи входной цепи усилителя. Поэтому при заданной амплитуде выходного напряжения необходимо повышать коэффициент усиления устройства, т. е. усложнять его схему. К тому же, как было показано в § 8.10 и 8.17, включение в цепь ООС частотно-зависимых цепей позволяет получить резуль-

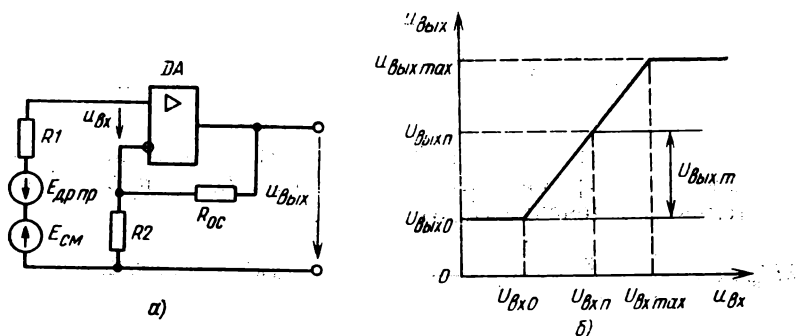


Рис. 8.34. Расчетная схема усилителя по постоянному току (а) и передаточная характеристика ОУ (б)

тирующие постоянные времени, которые существенно больше исходных.

Из сказанного следует, что второй способ построения является более предпочтительным, так как позволяет свести к минимуму необходимое количество плохо поддающихся миниатюризации реактивных элементов, а это приводит к снижению массы и объема усилителя.

При построении усилителей переменного тока нет необходимости в использовании для питания ОУ двухполярного источника напряжения. Обычно используется один источник питания с напряжением, равным сумме напряжений двух источников.

Применительно к этому случаю рассмотрим зависимость стабильности режима покоя усилителя от изменения его параметров. Для этого воспользуемся эквивалентной схемой усилителя и его передаточной характеристикой, приведенными на рис. 8.34, а, б.

Ранее было показано, что напряжение, прикладываемое между входами ОУ, передается на его выход с коэффициентом усиления $K_{У0}$. Тогда, предполагая, что входное сопротивление ОУ бесконечно, для схемы на рис. 8.34, а можно записать

$$(E_{см} - E_{др пр} - U_{Ос}) K_{У0} = U_{вых у},$$

где $E_{см}$ — эквивалентная ЭДС, обеспечивающая требуемый режим покоя усилителя; $E_{др пр}$ — приведенная ко входу усилителя дрейфовая ЭДС, обусловленная неидеальностью параметров ОУ (см. § 8.4 и 8.5); $U_{Ос} = U_{вых} R_2 / (R_2 + R_{Ос})$ — напряжение обратной связи; $U_{вых} = U_{вых0} + U_{вых у}$ — выходное напряжение ОУ; $U_{вых0}$ — составляющая выходного напряжения, которая не зависит от изменения входного напряжения ОУ; $U_{вых у}$ — составляющая выходного напряжения, которая пропорциональна изменению входного напряжения ОУ.

Решая приведенное выражение относительно $U_{\text{вых } y}$, найдем

$$U_{\text{вых } y} = \frac{K_{U0}(R_2 + R_{OC})}{R_{OC} + R_2(K_{U0} + 1)} \left(E_{\text{см}} - E_{\text{др пр}} - \frac{U_{\text{вых } 0} R_2}{R_2 + R_{OC}} \right).$$

Полагая, что в процессе работы усилителя его независимыми входными параметрами являются K_{U0} , $E_{\text{см}}$, $E_{\text{др пр}}$ и $U_{\text{вых } 0}$, найдем относительное изменение $U_{\text{вых } y}$

$$\begin{aligned} \delta U_{\text{вых } y} &= \frac{\Delta U_{\text{вых } y}}{U_{\text{вых } y}} = \frac{1}{U_{\text{вых } y}} \left(\frac{\partial U_{\text{вых } y}}{\partial K_{U0}} \Delta K_{U0} + \frac{\partial U_{\text{вых } y}}{\partial E_{\text{см}}} \Delta E_{\text{см}} + \right. \\ &\quad \left. + \frac{\partial U_{\text{вых } y}}{\partial E_{\text{др пр}}} \Delta E_{\text{др пр}} + \frac{\partial U_{\text{вых } y}}{\partial U_{\text{вых } 0}} \Delta U_{\text{вых } 0} \right) = \\ &= \frac{K_{U0}(R_2 + R_{OC})}{R_{OC} + R_2(K_{U0} + 1)} \left(\frac{\Delta K_{U0}}{K_{U0}} + \frac{\Delta E_{\text{см}} + \Delta E_{\text{др пр}}}{U_{\text{вых } y}} + \frac{R_2 \Delta U_{\text{вых } 0}}{(R_2 + R_{OC}) U_{\text{вых } y}} \right). \end{aligned} \quad (8.56)$$

При заданных параметрах усилителя (ΔK_{U0} , K_{U0} , $\Delta E_{\text{др пр}}$, $\Delta U_{\text{вых } 0}$) и внешнего источника смещения $E_{\text{см}}$ относительное изменение выходного напряжения усилителя полностью определяется коэффициентом $K_{U0}(R_2 + R_{OC})/[R_{OC} + R_2(K_{U0} + 1)]$. Нетрудно понять, что фактически этот коэффициент равен коэффициенту передачи усилителя с цепью ООС

$$\begin{aligned} \frac{K_{U0}(R_2 + R_{OC})}{R_{OC} + R_2(K_{U0} + 1)} &= \frac{K_{U0}}{(R_{OC} + R_2)(R_2 + R_{OC}) + K_{U0}R_2(R_2 + R_{OC})} = \\ &= \frac{K_{U0}}{1 + K_{U0}b_{OC}} = K_{U \text{ ООС}}. \end{aligned}$$

Очевидно, что $\delta U_{\text{вых } y}$ минимально в случае $K_{U \text{ ООС}} = 1$, что соответствует 100%-ной ООС. Полученный результат хорошо согласуется с ранее изложенным. Так, выражение (8.56) фактически повторяет выражение (6.19), в котором коэффициент, аналогичный $K_{U \text{ ООС}}$, был назван коэффициентом неустойчивости S_i и изменялся от 1 при 100%-ной ООС до $h_{21э}$ при размыкании цепи ООС. В рассматриваемом случае для $R_{OC} \rightarrow \infty$ или $R_2 = 0$ (цепь ООС разомкнута) $K_{U \text{ ООС}} = K_{U0}$.

Как отмечалось в § 6.9, в усилителе переменного тока возмущения, влияющие на режим покоя, и полезный сигнал лежат в различных диапазонах частот. Поэтому, используя цепь частотно-зависимой ООС, можно получить как максимально возможную стабильность режима покоя усилителя, так и большой коэффициент усиления в диапазоне полосы пропускания.

Проведенный анализ подтверждает сделанный выше вывод о предпочтительности использования для построения усилителей пе-

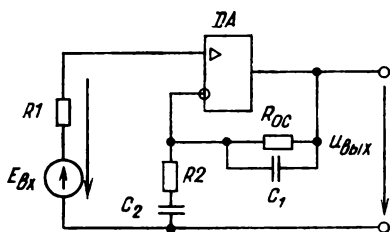


Рис. 8.35. Схема усилителя переменного тока с частотно-зависимой цепью ОС

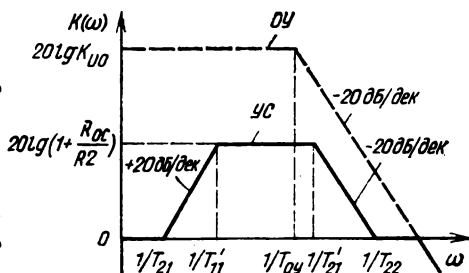


Рис. 8.36. ЛАЧХ усилителя переменного тока и операционного усилителя

ременного тока схем УПТ с частотно-зависимыми цепями общей ООС.

На рис. 8.35 приведена типовая схема такого усилителя. В данной схеме входной сигнал подается непосредственно на неинвертирующий вход ОУ, а формирование требуемой ЛАЧХ выполняется сложной цепью коррекции на элементах R_{oc} , C_1 , R_2 , C_2 .

При частотах, близких к нулевым, конденсатор C_2 разрывает связь инвертирующего входа ОУ с общей шиной, что при условии $R_{вх\text{ ОУ}} \rightarrow \infty$ эквивалентно $b_{оос} = 1$, т. е. 100%-ной ООС. С увеличением частоты входного сигнала сопротивление конденсатора C_2 $Z_{C_2} = 1/\omega C_2$ падает, что уменьшает коэффициент передачи цепи ООС. Суммарный коэффициент передачи усилителя при этом растет. Емкости конденсаторов C_1 и C_2 выбираются так, что в диапазоне полосы пропускания можно считать $Z_{C_2} = 0$, $Z_{C_1} \rightarrow \infty$. Тогда $K_{у\text{ оос}} = K_{у0}/[1 + K_{у0}R_2/(R_2 + R_{oc})] \approx 1 + R_{oc}/R_2$, т. е. имеет максимально возможную величину. При дальнейшем увеличении частоты сигнала выше верхней частоты полосы пропускания $Z_{C_1} \rightarrow 0$ и $|b_{оос}\omega| \rightarrow 1$, что эквивалентно снижению коэффициента передачи усилителя.

ЛАЧХ усилителя, соответствующая приведенному описанию, показана на рис. 8.36.

Для получения расчетных соотношений воспользуемся полученным в § 5.5 условием, согласно которому если постоянные времени последовательно включенных частотно-зависимых цепей существенно различны, то суммарная передаточная функция, а следовательно, и ЛАЧХ может быть построена без учета их взаимного влияния. На практике это означает, что суммарная передаточная функция звеньев может быть получена как произведение $W(p)$ отдельных звеньев. Очевидно, что в рассматриваемом случае данное условие выполняется. Тогда в низкочастотной области

($0 < \omega \leq \omega_n$) ЛАЧХ усилителя определяется передаточной функцией вида

$$W_{нч}(p) = \frac{K_{U0}}{K_{U0} + 1} \frac{T_{21}p + 1}{T'_{11}p + 1},$$

где

$$\begin{aligned} T_{21} &= (R_{OC} + R_2) C_2; \\ T'_{11} &= (T_{21} + K_{U0} T_{11}) / (K_{U0} + 1); \\ T_{11} &= R_2 C_2. \end{aligned}$$

При $\omega > \omega_n$

$$W_{вч}(p) = \frac{K_{U0}}{1 + K_d K_{U0}} \frac{T_{22}p + 1}{T'_{12}p + 1},$$

где

$$\begin{aligned} K_d &= R_2 / (R_2 + R_{OC}); \\ T_{22} &= R_{OC} C_1 R_2 / (R_{OC} + R_2); \\ T'_{12} &= \frac{T_{22} + K_d K_{U0} T_{12}}{K_{U0} K_d + 1}; \quad T_{12} = R_{OC} C_1. \end{aligned}$$

В реальных усилителях, как правило, выполняются условия $T_{11} K_{U0} \gg T_{21}$ и $K_d K_{U0} T_{12} \gg T_{22}$. Поэтому при расчетах можно полагать $T'_{11} = T_{11}$ и $T'_{12} = T_{12}$. Тогда требуемые параметры усилителя и значения элементов цепи ООС связаны соотношениями

$$\begin{aligned} R_2 C_2 &= 1 / 2\pi f_n; \\ R_{OC} C_1 &= 1 / 2\pi f_v; \\ K_{UООС} &= 1 + R_{OC} / R_2. \end{aligned} \tag{8.57}$$

Условия (8.57) позволяют получить бесконечное число сочетаний параметров элементов цепи ООС усилителя, удовлетворяющих заданным требованиям. Для получения единственного решения можно воспользоваться условием компенсации дрейфовой составляющей выходного напряжения ОУ, обусловленной конечными значениями входного тока ОУ [выражение (8.10)]. Тогда

$$R_{вых ОУ} + R_{OC} = R_1. \tag{8.58}$$

Система уравнений (8.57), (8.58) является расчетной для приведенной схемы.

Очевидно, что для практической реализации усилителя переменного тока с требуемыми параметрами необходим ОУ с вполне определенными значениями K_{U0} и полосы пропускания. Графическая интерпретация условий реализации заключается в том, что ЛАЧХ ОУ должна полностью «накрывать» ЛАЧХ проектируемого

усилителя (см. рис. 8.36). Аналитически это условие можно представить выражением

$$f_{\text{в}} K_{U \text{ оос}} \geq f_1, \quad (8.59)$$

где f_1 — частота единичного усиления ОУ.

Пример 8.23. Спроектировать усилитель переменного тока со следующими параметрами: $f_{\text{н}} = 20$ Гц, $f_{\text{в}} = 20$ кГц, $K_{U \text{ оос}} = 100$; $R_{\text{ген}} = 1$ кОм, $T = -60 \dots +60$ °С.

Решение. 1. Выберем тип ОУ, позволяющий реализовать заданные условия.

Согласно (8.59)

$$f_1 \geq f_{\text{в}} K_{U \text{ оос}} = 2 \cdot 10^4 \cdot 100 = 2 \cdot 10^6 \text{ Гц.}$$

Из таблицы 7.3 выбираем ОУ типа К140УД22; $U_{\text{н}} = \pm 15 \text{ В} \pm 5 \%$.

2. Используя выражения (8.57) и (8.58), найдем значения элементов цепи ООС:

$$R_{\text{ОС}} = R_1 = 1 \text{ кОм};$$

$$R_2 = R_{\text{ОС}} (K_{\text{ОС}} - 1) = 1000 / (100 - 1) = 10,1 \text{ Ом.}$$

принимая $R_2 = 10 \text{ Ом}$;

$$C_1 = 1 / 2\pi f_{\text{в}} R_{\text{ОС}} = 1 / 2\pi \cdot 2 \cdot 10^4 \cdot 10^3 = 7,9 \text{ нФ};$$

$$C_2 = 1 / 2\pi f_{\text{н}} R_2 = 1 / 2\pi \cdot 20 \cdot 10 = 790 \text{ мкФ},$$

принимая $C_1 = 7,5 \text{ нФ}$; $C_2 = 1000 \text{ мкФ}$.

3. Уточним реальную полосу пропускания и усиление усилителя

$$f_{\text{н}} = 1 / 2\pi R_2 C_2 = 1 / 2\pi \cdot 1 \cdot 10^{-3} \cdot 10 = 15,92 \text{ Гц};$$

$$f_{\text{в}} = 1 / 2\pi R_{\text{ОС}} C_1 = 1 / 2\pi \cdot 10^3 \cdot 7,5 \cdot 10^{-9} = 2,12 \cdot 10^4 \text{ Гц};$$

$$K_{U \text{ оос}} = 1 + 100 / 1 = 101.$$

4. Уточним выбор усилителя:

$$K_{U \text{ оос}} f_{\text{в}} = 101 \cdot 2,12 \cdot 10^4 = 2,141 \cdot 10^6 \text{ Гц} < f_1 = 5 \cdot 10^6 \text{ Гц.}$$

Следовательно, выбранный тип ОУ обеспечивает получение требуемых параметров усилителя.

5. Определим изменение приведенного напряжения дрейфа усилителя. При этом будем считать, что в исходном состоянии дрейфовые составляющие скомпенсированы. Согласно выражению (8.19), при условии $dI_{\text{вх}}/dT, ^\circ\text{С} \ll dU_{\text{см}}/dT, ^\circ\text{С}$ для $E_{\text{др пр}}$ получим

$$\Delta E_{\text{др пр}} = (dU_{\text{см}}/dT, ^\circ\text{С}) \Delta T = 20 \cdot 10^{-6} \cdot 60 = 1,2 \cdot 10^{-3} \text{ В.}$$

6. Напряжение $E_{\text{см}}$ для получения в режиме покоя выходного напряжения, равного $U_{\text{нз}}/2$, составляет 15 В. Тогда

$$\Delta U_{\text{см}} = 15 \cdot 0,05 = 0,75 \text{ В.}$$

7. Типовое значение $\Delta U_{\text{вых0}} = 3 \text{ В}$ определяется параметрами выходных транзисторов ОУ. Будем полагать, что в рассматриваемом случае $\Delta U_{\text{вых0}} = 0$.

8. Для выбранного усилителя $K_{U0} = 5 \cdot 10^4$ и $\Delta K_{U0} = 5 \cdot 10^3$.

9. Относительное изменение выходного напряжения усилителя согласно (8.56) равно

$$\delta U_{\text{вых у}} = \frac{5 \cdot 10^3}{(5 \cdot 10^4)^2} + \frac{1,2 \cdot 10^{-3} + 0,75}{15 - 3} = 6,26 \cdot 10^{-2}.$$

10. Абсолютное изменение выходного напряжения

$$\Delta U_{\text{вых у}} = \delta U_{\text{вых у}} U_{\text{вых у}} = 6,26 \cdot 10^{-2} \cdot 12 = 0,7512 \text{ В.}$$

Приведенные расчеты показали, что дрейф режима покоя усилителя практически полностью определяется дрейфом напряжения входного смещения усилителя. Поэтому для уменьшения этой составляющей цепи входного смещения желательно питать стабильным напряжением.

Амплитуда выходного напряжения согласно проделанным расчетам составит $U_m = U_{\text{вых у}} - \Delta U_{\text{вых у}} = 12 - 0,75 = 11,25 \text{ В}$. Однако в реальной схеме такая амплитуда выходного напряжения, как правило, недостижима. Это обусловлено тем, что при приближении к теоретическому пределу передаточная характеристика усилителя теряет линейность и поэтому работа с такими амплитудами приводит к существенным искажениям выходного сигнала.

Отметим, что ЛАЧХ рассмотренного усилителя аналогична характеристике полосового фильтра, приведенной на рис. 8.29, в. Поэтому изложенной методикой можно пользоваться и для расчета полосовых фильтров. При необходимости получения больших наклонов ЛАЧХ вне полосы пропускания необходимо использовать более сложные цепи ООС.

Контрольные вопросы

1. Определите тип ООС, используемой в повторителе напряжения.

2. Докажите, почему коэффициент передачи схемы на рис. 8.1 равен единице.

3. Почему коэффициент усиления инвертирующего усилителя не может быть менее единицы?

4. Докажите, почему коэффициент усиления инвертирующего усилителя может быть уменьшен до нуля.

5. Определите коэффициент передачи цепи ООС неинвертирующего усилителя для случая $K_{\text{у оос}} = 1$.

6. Объясните, почему между входами ОУ и общей шиной необходимо включать резисторы с одинаковым сопротивлением.

7. Объясните, как необходимо рассчитывать элементы входных цепей ОУ с точки зрения компенсации погрешностей, обусловленных действием $U_{\text{см}}$, $I_{\text{вх}}$ и $\Delta I_{\text{вх}}$.

8. Почему цепи внешней коррекции позволяют скомпенсировать погрешности выходного напряжения ОУ только при одной температуре внешней среды?

9. Покажите, как необходимо выбирать элементы входных цепей ОУ для минимизации температурной нестабильности выход-

ных напряжений инвертирующего и неинвертирующего усилителей.

10. Объясните, почему в дифференциальном усилителе коэффициент передачи напряжения, подаваемого на неинвертирующий вход ОУ, не может быть меньше единицы.

11. Докажите, что дифференциальный усилитель может выполнять математическую операцию вычитания двух чисел.

12. Покажите, как входные сопротивления схемы инвертирующего сумматора влияют на его выходное напряжение.

13. Разработайте схему усреднения 4-х входных напряжений.

14. Почему в общем случае схема сложения — вычитания нуждается в балансировке?

15. Покажите, как необходимо выбирать элементы входных цепей дифференциального усилителя и неинвертирующего сумматора для минимизации погрешности, обусловленной неидеальностью свойств ОУ.

16. Спроектируйте схему, реализующую следующую зависимость входных и выходного напряжений: $u_{\text{вых}} = 0,5u_{\text{вх1}} + 0,2u_{\text{вх2}}$, $u_{\text{вх1}} = 0,1 \sin \omega t$, $u_{\text{вх2}} = 1,5 \sin (\omega t + \pi/2)$.

17. Чем определяется диапазон рабочих частот реального интегратора?

18. Объясните, каким образом можно уменьшить погрешность выходного напряжения реального интегратора.

19. Докажите, что выходной сигнал схемы на рис. 8.15 равен разности интегралов от входных напряжений.

20. Докажите, что при включении полупроводникового диода в цепь ООС инвертирующего усилителя его выходное напряжение пропорционально логарифму от входного напряжения.

21. От чего зависят полярности выходного напряжения логарифмического и экспоненциального усилителей?

22. Что общего между схемами нелинейного преобразователя с возрастающим коэффициентом передачи и инвертирующего сумматора?

23. Как связаны напряжения обратного пробоя стабилитронов в схеме нелинейного преобразователя с возрастающим коэффициентом передачи с видом его передаточной характеристики?

24. Как определить входное напряжение, при котором происходит изменение коэффициента передачи нелинейного преобразователя с монотонно убывающим коэффициентом передачи?

25. Чем ограничивается применение стабилитронов в схемах нелинейных преобразователей?

26. Каким образом можно изменять наклон передаточной характеристики ограничителя уровня при входных напряжениях, близких к нулю?

27. Разработайте схему неинвертирующего ограничителя уровня и поясните, чем его свойства отличаются от свойств инвертирующего ограничителя.

28. Какой основной принцип заложен в схемы источников постоянного тока как с заземленной, так и «плавающей» нагрузками?

29. Какие функции выполняет дополнительный транзистор в схемах генераторов тока с заземленной нагрузкой?

30. Определите допустимый диапазон изменения выходного напряжения в источниках, выполненных на основе инвертирующего и неинвертирующих усилителей.

31. Докажите, что при использовании ОУ в источнике напряжения диапазон изменения выходного напряжения при заданном значении ΔI_n будет меньше, чем без усилителя.

32. Чем ограничивается полоса пропускания фильтра высокой частоты, схема которого приведена на рис. 8.31?

33. Почему коэффициент передачи фильтра высоких частот, схема которого приведена на рис. 8.31, а, на частотах ниже $\omega = 1/T_{ч2}$, равен единице?

ГЛАВА 9.

УСТРОЙСТВА СРАВНЕНИЯ АНАЛОГОВЫХ СИГНАЛОВ

Устройство сравнения аналоговых сигналов (*компаратор*) выполняет функцию сравнения либо двух входных сигналов между собой, либо одного входного сигнала с некоторым наперед заданным эталонным уровнем. При этом на выходе устройства формируются только два значения выходного сигнала: если один из сравниваемых сигналов больше другого, то выходной сигнал равен A_v , в противном случае выходной сигнал равен A_n . В общем случае в качестве входных и выходных сигналов схемы сравнения могут выступать различные параметры постоянного тока. Но наиболее часто под A_v и A_n подразумевают напряжения.

Следует отметить, что в общем случае напряжения U_v и U_n могут отличаться как по величине, так и по знаку. Однако на практике наибольшее распространение получили устройства, формирующие на выходе либо напряжения противоположной полярности при практически равных абсолютных значениях, либо напряжения одной полярности. Первый случай характерен для использования в качестве схемы сравнения операционного усилителя (ОУ), второй — при использовании специализированных интегральных схем. Во втором случае выходные напряжения компа-

ратора согласованы по величине и полярности с сигналами, используемыми в цифровой технике.

Поэтому можно сказать, что входной сигнал компаратора носит аналоговый характер, а выходной — цифровой. Вследствие этого компараторы часто выполняют роль элементов связи между аналоговыми и цифровыми устройствами, т. е. выполняют роль простейших аналого-цифровых преобразователей.

Возвращаясь к терминологии, следует отметить, что, как правило, непосредственно под компаратором понимают специализированное устройство. При использовании в качестве схемы сравнения ОУ говорят о компараторном режиме его работы. Следует отметить, что для создания такого режима работы ОУ обычно охватывают цепью обратной связи, в то время как в специализированном компараторе такой связи не требуется.

Для уяснения принципов, заложенных в основу работы устройств сравнения аналоговых сигналов, рассмотрим работу ОУ без цепей ОС при больших амплитудах входного сигнала.

9.1. РАБОТА ОПЕРАЦИОННОГО УСИЛИТЕЛЯ ПРИ БОЛЬШИХ АМПЛИТУДАХ ВХОДНОГО СИГНАЛА

Ранее при рассмотрении ЭУ выполненных на ОУ мы полагали, что при всех изменениях входного напряжения выходное напряжение не достигало своего максимально возможного уровня. Рассмотрим теперь случай, когда это условие не выполняется. Для этого обратимся к схеме инвертирующего усилителя, приведенной на рис. 9.1, а. В данной схеме эталонный уровень напряжения, с которым сравнивается входной сигнал, равен нулю.

Предположим, что ОУ обладает некоторым, отличным от бесконечности, коэффициентом усиления $K_{УО}$ и на вход усилителя подано переменное напряжение $u_{вх} = U_m \sin \omega t$, причем амплитуда сигнала U_m больше максимального значения входного сигнала, обеспечивающего работу усилителя без ограничения выходного напряжения, т. е. $|U_m| > |U_{вых \max}| / K_{УО}$ (см. рис. 9.1, б). Временные диаграммы, поясняющие работу усилителя в этом случае, приведены на рис. 9.1, в.

Очевидно, что до тех пор, пока входное напряжение будет отвечать условию $|U_m \sin \omega t| < |U_{вых \max}| / K_{УО}$, работа усилителя не будет отличаться от описанной в § 8.3, т. е. $U_{вых} = K_{УО} U_m \sin \omega t$. На интервалах, когда входное напряжение превысит значение $|U_{вых \max}| / K_{УО}$, выходной сигнал ОУ будет оставаться постоянным и равным $|U_{вых}| = U_{вых \max}$.

Нетрудно заметить, что чем больше по абсолютному значению U_m , тем меньшую часть периода будет сохраняться пропорцио-

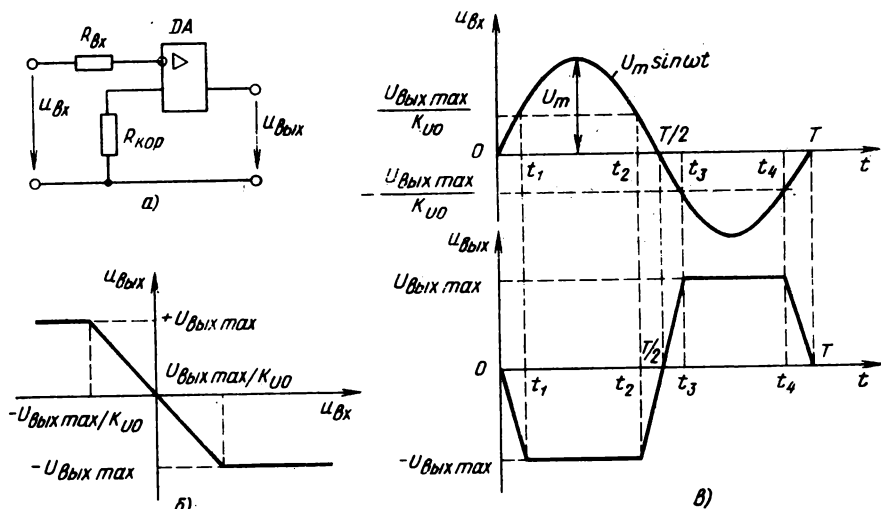


Рис. 9.1. Схема детектора нуля (а), ее передаточная характеристика (б) и временные диаграммы, поясняющие работу в случае $U_m > U_{\text{вых max}}/K_{UO}$ (в)

нальность между входным и выходным напряжениями и тем больше выходное напряжение ОУ будет равно своему максимуму.

Найдем зависимость длительности интервала, в течение которого существует пропорциональность между входным и выходным напряжениями ОУ и параметрами усилителя и входного сигнала. При этом будем полагать, что

операционный усилитель идеален (исключая предположение о бесконечности коэффициента усиления);

максимально и минимально возможные выходные напряжения ОУ равны, т. е. $|-U_{\text{вых max}}| = U_{\text{вых max}}$;

для амплитуды входного сигнала справедливо соотношение

$$U_m \gg U_{\text{вых max}}/K_{UO}.$$

С учетом сделанных допущений определим длительность временного интервала, в течение которого в схеме на рис. 9.1, а сохраняется пропорциональность между входным и выходным напряжениями.

Так как предполагается, что $U_m \gg U_{\text{вых max}}/K_{UO}$, то можно считать изменение входного напряжения на интервале $t_2 \dots t_3$ линейным. Для простоты определим скорость этого изменения в момент $t = T/2$. Тогда

$$\left. \frac{du_{\text{вх}}}{dt} \right|_{t=T/2} = U_m \omega \cos \omega t|_{t=T/2} = -\omega U_m = \text{const.} \quad (9.1)$$

Используя полученное выражение для длительности интервала изменения выходного напряжения от $-U_{\text{вых max}}$ до $U_{\text{вых max}}$, получим

$$\Delta t = t_3 - t_2 = 2 |U_{\text{вых max}}| / K_{U0} U_m \omega. \quad (9.2)$$

Очевидно, что для изменения выходного напряжения от $U_{\text{вых max}}$ до $-U_{\text{вых max}}$ потребуется такое же время.

Таким образом, на выходе ОУ формируется напряжение, по форме приближающееся к прямоугольному.

Для рассматриваемой схемы можно однозначно сказать, что если выходное напряжение $U_{\text{вых}}$ равно $U_{\text{вых max}}$, то входное напряжение меньше или равно $-U_{\text{вых max}}/K_{U0}$, а если $U_{\text{вых}}$ равно $-U_{\text{вых max}}$, то входное напряжение больше или равно $U_{\text{вых max}}/K_{U0}$. Следовательно, схему на рис. 9.1, а можно рассматривать как ЭУ, позволяющее контролировать величину и полярность входного напряжения.

Пример 9.1. Определить параметры выходного напряжения схемы на рис. 9.1, а при использовании ОУ типа К140УД17 и двух значениях входного напряжения $u_{\text{вх1}} = 10^{-2} \sin \omega t$ и $u_{\text{вх2}} = 10^{-4} \sin \omega t$, $\omega = 1000$ л.

Решение. 1. Временные диаграммы входного и выходного напряжений схемы соответствуют рис. 9.1, б.

2. Определим период входного напряжения

$$T_{\text{вх}} = 2\pi/\omega = 2\pi/1000\pi = 2 \cdot 10^{-3} \text{ с.}$$

3. Найдем размах выходного напряжения. В справочных данных для заданного типа ОУ находим $|U_{\text{вых}}| = 15 \text{ В}$ ($U_n = \pm 18 \text{ В}$).

4. Определим длительность интервала $t_2 \dots t_3$ для $u_{\text{вх1}}$

$$du_{\text{вых}}/dt = \omega U_m = 1000\pi \cdot 0,01 = 10\pi;$$

$$\Delta t = t_3 - t_2 = 2 |U_{\text{вых max}}| / K_{U0} U_m \omega = 2 \cdot 15 / 1,5 \cdot 10^5 \cdot 0,01 \cdot 1000\pi = 6,36 \cdot 10^{-6} \text{ с};$$

$$\Delta t/T = 6,36 \cdot 10^{-6} / 2 \cdot 10^{-3} = 3,18 \cdot 10^{-3} = 0,318 \text{ \%}.$$

5. Определим длительность Δt для $u_{\text{вх2}}$

$$\Delta t = 2 \cdot 15 / 1,5 \cdot 10^5 \cdot 10^{-4} \cdot 1000\pi = 6,36 \cdot 10^{-4};$$

$$\Delta t/T = 3,18 \cdot 10^{-1} = 31,8 \text{ \%}.$$

Следует отметить, что если входной сигнал находится в диапазоне $-U_{\text{вых max}}/K_{U0} < u_{\text{вх}} < U_{\text{вых max}}/K_{U0}$, то в соответствии с приведенным в начале главы определением компаратора выходной сигнал ОУ не может быть классифицирован. Следовательно, данный диапазон входного напряжения является неопределенным (неидентифицируемым).

Наличие неидентифицируемого диапазона изменения входного напряжения фактически приводит к погрешности определения его

уровня. Абсолютная величина этой погрешности при условии $U_{\text{вых max}} = |-U_{\text{вых max}}|$ определяется значением

$$\Delta = |U_{\text{вых max}}| / K_{U0}. \quad (9.3)$$

Для уменьшения погрешности определения входного напряжения необходимо уменьшать интервал неидентифицируемых входных напряжений, что достигается, если временной интервал $t_2 \dots t_3$ стремится к нулю. При этом на выходе ОУ будет формироваться идеальное прямоугольное напряжение.

Проанализируем выражение (9.2) с точки зрения выполнения условия $\Delta t \rightarrow 0$. Выполнения этого условия можно добиться либо уменьшением размаха выходного напряжения $U_{\text{вых max}}$, либо увеличением произведения $K_{U0} U_m \omega$.

Амплитуда входного напряжения U_m и его частота ω являются, как правило, величинами заданными. К тому же увеличение частоты сигнала хотя и приводит к уменьшению абсолютного значения длительности Δt , но не снижает его относительной длительности, так как

$$\Delta t / T = 2U_{\text{вых max}} / U_m \omega K_{U0} T = U_{\text{вых max}} / \pi U_m K_{U0}.$$

Таким образом, относительная длительность $\Delta t / T$ не зависит от величины ω . Поэтому реально уменьшить длительность интервала $t_2 \dots t_3$ можно только путем либо уменьшения $U_{\text{вых max}}$, либо увеличения K_{U0} .

Методы достижения этих условий были рассмотрены ранее. Так, в § 8.14 было показано, что для уменьшения амплитуды выходного напряжения ОУ его необходимо охватить цепью нелинейной ООС, коэффициент передачи которой при достижении требуемого уровня выходного напряжения стремится к единице (схема ограничения уровня). На практике этот путь позволяет получить достаточно хорошие результаты, так как использование цепи нелинейной ООС позволяет дополнительно устранить недостатки, обусловленные конечными частотными свойствами используемого ОУ.

Однако такой путь имеет вполне определенное ограничение, обусловленное тем, что для получения $\Delta t = 0$ необходимо иметь $U_{\text{вых max}} = 0$, но при этом просто теряется смысл использования подобных схем, так как исчезает возможность воспользоваться результатами ее работы. Поэтому выходные уровни напряжений U_v и U_n тоже, как правило, заданы. В этом случае единственной возможностью уменьшения интервала Δt является увеличение коэффициента усиления ОУ.

Как было показано ранее, увеличение собственного значения K_{U0} при реально существующих ограничениях на используемую элементную базу сопряжено с увеличением числа каскадов и, сле-

довательно, усложнением схемотехники ОУ. Поэтому этот путь повышения коэффициента усиления также имеет вполне определенные ограничения.

В то же время (как было показано в гл. 5) увеличение коэффициента усиления любого усилителя можно достичь введением в него цепи положительной ОС (ПОС). Тогда для коэффициента усиления можно записать $K_{\text{упос}} = K_{\text{уо}} / (1 - K_{\text{уо}} b_{\text{ос}})$. Отсюда следует, что с увеличением $b_{\text{ос}}$ коэффициент $K_{\text{упос}}$ также растет. Так как в случае

$$b_{\text{ос}} = 1/K_{\text{уо}} \quad (9.4)$$

коэффициент усиления ОУ будет равен бесконечности, то это (теоретически) будет соответствовать мгновенному изменению напряжения на выходе схемы на рис. 9.1 от $U_{\text{вых max}}$ до $-U_{\text{вых max}}$ и обратно.

Схема на рис. 9.1, а при выполнении условия (9.3) часто носит название детектора нуля сигнала (нуль-детектор) или схемы определения прохождения напряжения через нуль.

Рассмотренный случай является идеальным, так как условие (9.4) из-за разброса параметров и нестабильности характеристик ОУ на практике трудно выполнимо. Это приводит к появлению погрешности определения нулевого уровня входного сигнала.

9.2. ОДНОПОРОВОЕ УСТРОЙСТВО СРАВНЕНИЯ

Однопороговыми называются устройства сравнения, для которых коэффициент усиления используемого усилителя всегда остается положительным ($K_{\text{уо}} > 0$). Из этого следует, что при работе такого устройства всегда присутствует некоторая неидентифицируемая область входного напряжения, т. е. существует погрешность определения уровня входного напряжения. В качестве однопороговых устройств сравнения могут использоваться ОУ без цепей ОС или с положительной ОС, для которой коэффициент передачи обратной связи удовлетворяет неравенству

$$b_{\text{ос}} \leq 1/K_{\text{уо}} \quad (9.5)$$

Анализируя схему, приведенную на рис. 9.1, а, можно сказать, что ее срабатывание происходит в момент равенства нулю напряжения между инвертирующим и неинвертирующим входами ОУ. Используя данное свойство указанной схемы, можно легко построить на ее основе устройство сравнения входного напряжения с некоторым наперед заданным эталонным уровнем напряжения.

Для этого достаточно неинвертирующий вход ОУ (см. рис. 9.1, а) подключить к общей шине устройства через источник ЭДС, абсолютная величина которого и знак соответствуют требуемому

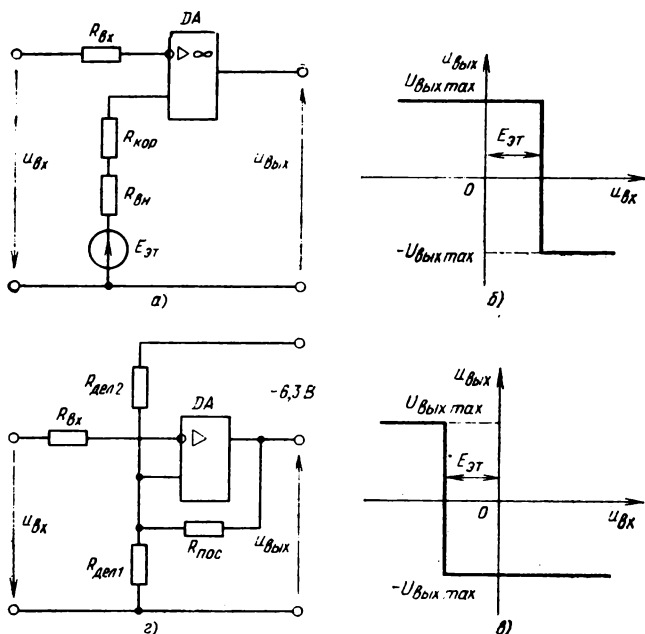


Рис. 9.2. Однопороговая схема сравнения со смещенным порогом срабатывания (а) и ее передаточные характеристики для случаев $U_{эт} > 0$ (б) и $U_{эт} < 0$ (в) и схема с цепью ПОС (г)

эталонному уровню сравнения (рис. 9.2, а). В этом случае при идеальности ОУ ($R_{вх} \rightarrow \infty$) напряжение между инвертирующим и неинвертирующим входами достигнет нулевого уровня, когда уровень и полярность входного напряжения $u_{вх}$ будут в точности равны параметрам эталонного источника $E_{эт}$. На рис. 9.2, б, в показаны передаточные характеристики схем сравнения для случаев $E_{эт} > 0$ и $E_{эт} < 0$ соответственно.

Напряжение $E_{эт}$ называют *порогом срабатывания устройства сравнения*.

Пример 9.2. Используя ОУ типа К140УД1А, рассчитать схему сравнения с порогом срабатывания — 0,1 В. Погрешность срабатывания не должна превышать 0,1 %.

Решение. 1. Для реализации исходных требований воспользуемся схемой на рис. 9.2, а.

2. ОУ типа К140УД1А имеет следующие параметры: $U_n = \pm 6,3$ В; $K_{00} = 900$; $U_{вых\ max} = \pm 4,5$ В.

3. Неидентифицируемый диапазон изменения входного напряжения для заданного ОУ составляет

$$\Delta U_{\text{вх}} = 2U_{\text{вых max}}/K_{U0} = 2 \cdot 4,5/900 = 0,01 \text{ В.}$$

В данном случае погрешность определения уровня 0,1 В составит

$$\delta = (\Delta U_{\text{вх}}/2U_{\text{ср}}) 100 \% = (0,01/2 \cdot 0,1) 100 = 5 \%.$$

4. Полученная погрешность больше заданной. Поэтому необходимо либо уменьшить напряжение $|U_{\text{вых max}}|$, используя цепь нелинейной ООС (см. рис. 8.25,а), либо увеличить K_{U0} введенном цепи ПОС.

5. Введем в схему цепь ПОС. Требуемый с точки зрения обеспечения заданной точности диапазон неидентифицируемых входных напряжений

$$2\delta U_{\text{ср}}/100 = 2 \cdot 0,1 \cdot 0,1/100 = 2 \cdot 10^{-4} \text{ В.}$$

Необходимый для получения найденного $\Delta U_{\text{вх}}$ коэффициент K_U ПОС равен

$$K_U \text{ ПОС} = 2U_{\text{вых max}}/\Delta U_{\text{вх}} = 2 \cdot 6,3/2 \cdot 10^{-4} = 6,3 \cdot 10^4.$$

Коэффициент передачи цепи ПОС

$$b_{\text{ОС}} = \frac{1}{K_{U0}} \left(1 - \frac{K_{U0}}{K_U \text{ ПОС}} \right) = \frac{1}{900} \left(1 - \frac{900}{6,3 \cdot 10^4} \right) = 1,09 \cdot 10^{-3}.$$

5. Для обеспечения требуемого порога срабатывания $U_{\text{ср}}$ с помощью внешнего делителя зададим напряжение смещения на неинвертирующий вход ОУ. По справочнику входной ток ОУ $i_{\text{вх}} = 5 \cdot 10^{-6} \text{ А}$. Используя условие $i_{\text{дел}} \gg i_{\text{вх}}$, зададим $i_{\text{дел}} = 100 i_{\text{вх}}$, тогда $R_{\text{дел}} = U_{\text{н}}/i_{\text{дел}} = 6,3/5 \cdot 10^{-4} \text{ А} = 12,6 \text{ кОм}$. Сопротивление резистора $R_{\text{дел1}}$, непосредственно задающего порог срабатывания, равно

$$R_{\text{дел1}} = U_{\text{ср}} R_{\text{дел}}/U_{\text{п}} = 0,1 \cdot 12,6/6,3 = 0,2 \text{ кОм.}$$

Тогда $R_{\text{дел2}} = R_{\text{дел}} - R_{\text{дел1}} = 12,6 - 0,2 = 12,4 \text{ кОм}$.

6. Найдем сопротивление резистора $R_{\text{ПОС}}$:

$$b_{\text{ОС}} = \frac{R_{\text{дел1}} R_{\text{дел2}}}{(R_{\text{дел1}} + R_{\text{дел2}}) R_{\text{ПОС}}};$$

$$R_{\text{ПОС}} = R_{\text{дел1}} R_{\text{дел2}}/R_{\text{дел}} b_{\text{ОС}} = 0,2 \cdot 12,4/12,6 \cdot 1,09 \cdot 10^{-3} = 180,6 \text{ кОм.}$$

Выбираем $R_{\text{ПОС}} 180 \text{ кОм}$.

7. Требуемое входное сопротивление схемы сравнения

$$R_{\text{вх}} = R_{\text{дел1}} R_{\text{дел2}}/(R_{\text{дел1}} + R_{\text{дел2}}) = 0,2 \cdot 12,4/12,6 = 0,196 \text{ кОм.}$$

Принимаем $R_{\text{вх}} = 0,2 \text{ кОм}$.

Полная схема разработанного устройства приведена на рис. 9,2, г.

Если в схеме на рис. 9,2, а вместо источника эталонного напряжения использовать второе входное напряжение, ОУ превратится в схему сравнения двух напряжений. Пренебрегая погрешностью, обусловленной наличием диапазона неидентифицированного входного напряжения, можно сказать, что переклечение усилителя будет происходить в момент равенства входных напряжений как по абсолютному значению, так и о знаку. Схема такого

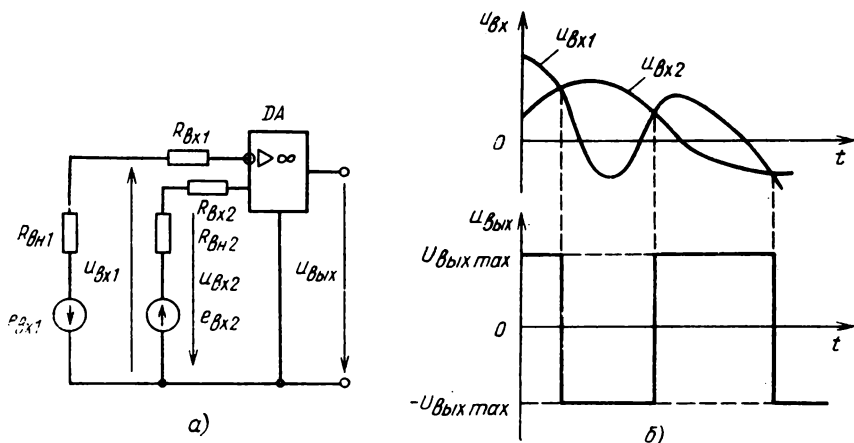


Рис. 9.3. Однороговая схема сравнения двух напряжений (а) и временные диаграммы, поясняющие ее работу (б)

устройства и временные диаграммы, поясняющие его работу, приведены на рис. 9.3.

Для подключения двух или более входных напряжений может быть использован и один например инвертирующий вход ОУ (рис. 9.4). В этом случае также переключение ОУ будет происходить в момент равенства нулю напряжения между его входами. В общем виде выражение, характеризующее данное условие, имеет вид

$$U_n = \frac{1}{1/R_1 + 1/R_2 + \dots + 1/R_n} \sum_{i=0}^n U_i/R_i = U_{\text{эт}}, \quad (9.6)$$

где U_i — напряжение i -го источника входного напряжения; R_i — выходное сопротивление i -го источника входного напряжения; n — число входных напряжений.

Из приведенного выражения следует, что для срабатывания схемы сравнения в случае $U_{\text{эт}} = 0$ источники входного напряжения должны иметь различную полярность.

Пример 9.3. Определить моменты срабатывания однороговой схемы сравнения, приведенной на рис. 9.4, при условии: $u_{\text{вх1}} = 2$ В; $u_{\text{вх2}} = -3$ В; $u_{\text{вх3}} = 2 \sin \omega t$; $R_1 = 1$ кОм; $R_2 = 2$ кОм; $R_3 = 1,5$ кОм; $U_{\text{эт}} = 0,8$ В; $\omega = 100$ л; ОУ считать идеальным.

Решение. Для определения моментов срабатывания воспользуемся условием (9.6), которое будет иметь вид

$$\frac{u_{\text{вх1}}/R_1 + u_{\text{вх2}}/R_2 + u_{\text{вх3}}/R_3}{1/R_1 + 1/R_2 + 1/R_3} = U_{\text{эт}}.$$

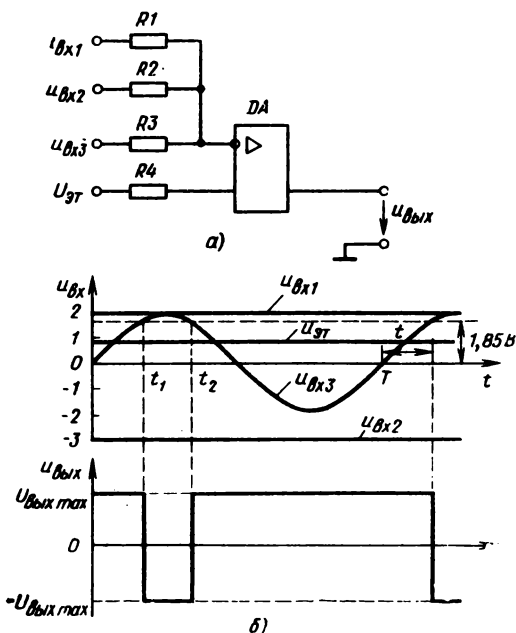


Рис. 9.4. Однороговая схема сравнения трех входных напряжений (а) и временные диаграммы, поясняющие ее работу (б)

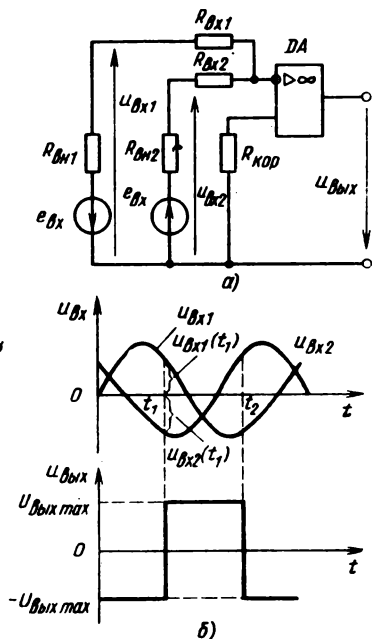


Рис. 9.5. Однороговая схема сравнения напряжений различной полярности (а) и временные диаграммы, поясняющие ее работу (б)

Для нахождения моментов срабатывания решим полученное уравнение относительно входного напряжения $u_{вх3}$

$$U_{m3} \sin \omega t = R_3 \left[U_{эТ} \left(\frac{1}{R_1} + \frac{1}{R_2} + \frac{1}{R_3} \right) - \frac{u_{вх1}}{R_1} - \frac{u_{вх2}}{R_2} \right]$$

$$t = \frac{1}{\omega} \arcsin \frac{R_3}{U_{m3}} \left[U_{эТ} \left(\frac{1}{R_1} + \frac{1}{R_2} + \frac{1}{R_3} \right) - \frac{u_{вх1}}{R_1} - \frac{u_{вх2}}{R_2} \right];$$

$$t = \frac{1}{100\pi} \arcsin \frac{1,5}{2} \left[0,8 \left(\frac{1}{1} + \frac{1}{2} + \frac{1}{1,5} \right) - \frac{2}{1} - \frac{(-3)}{2} \right] = 3,76 \cdot 10^{-3} \text{ с.}$$

Тогда $t_1 = t = 3,76 \cdot 10^{-3} \text{ с.}$

$$t_2 = T/2 - t = 10 \cdot 10^{-3} - 3,76 \cdot 10^{-3} = 6,24 \cdot 10^{-3} \text{ с.}$$

где $T = 2\pi/\omega$;

$$U_{m3} \sin \omega t_1 = U_{m3} \sin \omega t_2 = 1,85 \text{ В.}$$

Временные диаграммы, иллюстрирующие работу схемы, приведены на рис. 9.4, б. Очевидно, что на интервалах $0 \dots t_1$ и $t_2 \dots T$ $U_{вхн} < U_{эТ}$ и $U_{вых} = U_{вых \text{ max}}$. На интервале $t_1 \dots t_2$ $U_{вхн} > U_{эТ}$ и $U_{вых} = -U_{вых \text{ max}}$.

На рис. 9.5, а приведен частный случай схемы на рис. 9.4 для $n=2$. Очевидно, что при выполнении условия

$$R_{вн1} + R_{вх1} = R_{вн2} + R_{вх2} \quad (9.7)$$

выходное напряжение данной схемы изменяется в момент, когда входные напряжения равны по абсолютной величине $u_{вх1}(t_1) = |u_{вх2}(t_1)|$, но противоположны по знаку. Временные диаграммы, поясняющие работу данной схемы сравнения, приведены на рис. 9.5, б.

Если условие (9.7) не выполняется, то переключение схемы произойдет в момент выполнения условия

$$e_{вх1}(R_{вн2} + R_{вх2}) = e_{вх2}(R_{вн1} + R_{вх1}), \quad (9.8)$$

где $e_{вх1}$ и $e_{вх2}$ — значения входных ЭДС.

Следует еще раз подчеркнуть, что общим принципом построения всех рассмотренных схем является использование свойства идеального ОУ, в соответствии с которым условию $U_{вх} = 0$ соответствует $U_{вых} = 0$.

9.3. РЕГЕНЕРАТИВНАЯ СХЕМА СРАВНЕНИЯ

Регенеративными (гистерезисными) называют схемы сравнения, у которых передаточная характеристика неоднозначна. Применительно к ОУ это возможно только в том случае, когда усилитель охвачен цепью ПОС с коэффициентом передачи, удовлетворяющим условию

$$b_{ос} > 1/K_{у0}. \quad (9.9)$$

На рис. 9.6 приведена передаточная характеристика ОУ для случаев $b_{ос} < 1/K_{у0}$, $b_{ос} = 1/K_{у0}$ и $b_{ос} > 1/K_{у0}$ соответственно. Очевидно, что увеличение коэффициента передачи цепи ПОС фактически приводит к повороту исходной характеристики ОУ вокруг начала координат по часовой стрелке. При этом если $b_{ос} > 1/K_{у0}$,

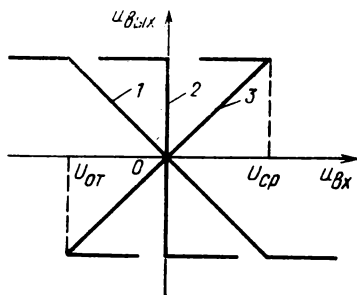


Рис. 9.6. Передаточные характеристики ОУ с цепью ПОС для случаев $b_{ос} < 1/K_{у0}$ (1), $b_{ос} = 1/K_{у0}$ (2) и $b_{ос} > 1/K_{у0}$ (3)

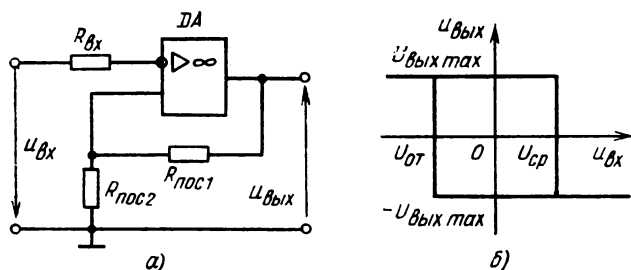


Рис. 9.7. Гистерезисная схема сравнения (а) и ее передаточная характеристика (б)

то передаточная характеристика перестает быть однозначной и появляется область входных напряжений, для которой без знания предыстории работы схемы нельзя однозначно определить значение выходного сигнала ОУ.

Использование в схеме сравнения ОУ, у которого передаточная характеристика имеет область неоднозначного соответствия входного и выходного напряжений (имеет гистерезис), позволяет построить устройства, у которых напряжения срабатывания и отпущения не равны между собой. Принципиальная схема такого устройства сравнения и ее передаточная характеристика приведены на рис. 9.7. Рассмотрим ее работу.

Предположим, что в некоторый момент времени входное напряжение схемы равно нулю, а на ее выходе присутствует напряжение положительной полярности $+U_{\text{вых max}}$. Тогда к неинвертирующему входу ОУ приложено положительное напряжение

$$U_{\text{вх н}} = U_{\text{вых max}} R_{\text{пос2}} / (R_{\text{пос1}} + R_{\text{пос2}}). \quad (9.10)$$

Поэтому рассматриваемое состояние является устойчивым и может поддерживаться сколь угодно долго до тех пор, пока изменяющееся входное напряжение не достигнет этого же уровня. В этот момент произойдет изменение выходного напряжения ОУ от $+U_{\text{вых max}}$ до $-U_{\text{вых max}}$. Вследствие этого на неинвертирующем входе ОУ установится напряжение $U_{\text{вх н}} = -U_{\text{вых max}} R_{\text{пос2}} / (R_{\text{пос1}} + R_{\text{пос2}})$. До тех пор, пока входное напряжение не достигнет такого же уровня, установившееся состояние схемы будет устойчивым.

Таким образом, напряжения срабатывания и отпущения в рассматриваемой схеме определяются следующим образом:

$$U_{\text{ср}} = + U_{\text{вых max}} R_{\text{пос2}} / (R_{\text{пос1}} + R_{\text{пос2}}); \quad (9.11)$$

$$U_{\text{от}} = - U_{\text{вых max}} R_{\text{пос2}} / (R_{\text{пос1}} + R_{\text{пос2}}). \quad (9.12)$$

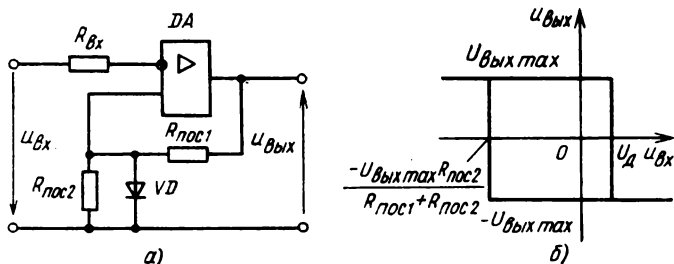


Рис. 9.8. Гистерезисная схема сравнения с цепью нелинейной ПОС (а) и ее передаточная характеристика (б)

Из приведенных выражений видно, что в случае $+U_{\text{вых max}} = -U_{\text{вых max}}$ пороговые напряжения равны по величине, но противоположны по знаку, т. е. передаточная характеристика устройства симметрична относительно начала координат.

Для получения различных напряжений срабатывания и отпускания в цепи ПОС ОУ необходимо использовать четырехполюсник, коэффициент передачи которого зависит от полярности его входного напряжения. Пример такого устройства приведен на рис. 9.8, а. В данном случае коэффициент передачи цепи ПОС для положительных выходных напряжений ОУ практически не зависит от уровня этого напряжения и определяется падением напряжения на прямосмещенном диоде VD . При отрицательных выходных напряжениях диод VD заперт и напряжение отпускания определяется как и в схеме на рис. 9.7, а выражением (9.12). На рис. 9.8, б приведена передаточная характеристика данной схемы сравнения. Очевидно, что она несимметрична относительно начала координат.

Пример 9.4. Разработать гистерезисный компаратор, пороги срабатывания и отпускания которого соответственно равны: $U_{\text{ср}} = 0,65$ В; $U_{\text{от}} = -1,2$ В. Для используемого ОУ $U_{\text{вых max}} = |-U_{\text{вых min}}| = 12$ В; $R_{\text{вх}} = 10$ кОм.

Решение. 1. Схема разрабатываемого гистерезисного компаратора соответствует рис. 9.8, а.

2. Коэффициент передачи цепи ПОС, обеспечивающий получение заданного порога отпускания в соответствии с выражением (9.12) равен $b_{\text{ос}} = U_{\text{от}} / (U_{\text{вых max}}) = -1,2 / 12 = 0,1$.

3. Сопротивления резисторов $R_{\text{ПОС1}}$ и $R_{\text{ПОС2}}$ определим из условия

$$R_{\text{ПОС1}} R_{\text{ПОС2}} / (R_{\text{ПОС1}} + R_{\text{ПОС2}}) = R_{\text{вх}}.$$

Тогда, с учетом того, что $b_{\text{ос}} = R_{\text{ПОС2}} / (R_{\text{ПОС1}} + R_{\text{ПОС2}})$, определим $R_{\text{ПОС1}}$.

$$R_{\text{ПОС1}} = R_{\text{вх}} / b_{\text{ос}} = 10 / 0,1 = 100 \text{ кОм};$$

$$R_{\text{ПОС2}} = b_{\text{ос}} R_{\text{ПОС1}} / (1 - b_{\text{ос}}) = 0,1 \cdot 100 / (1 - 0,1) = 11,1 \text{ кОм}.$$

Принимаем $R_{\text{ПОС2}} = 11 \text{ кОм}$.

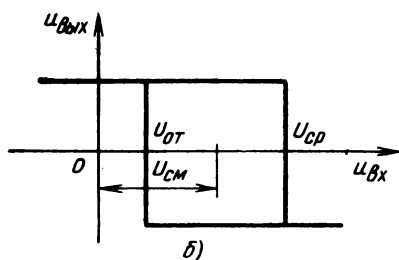
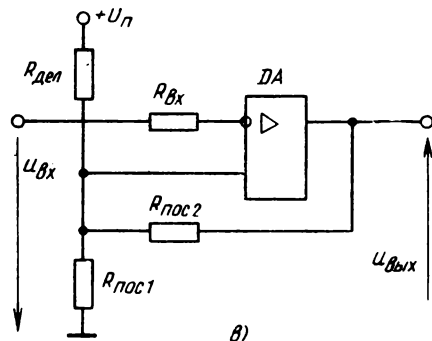
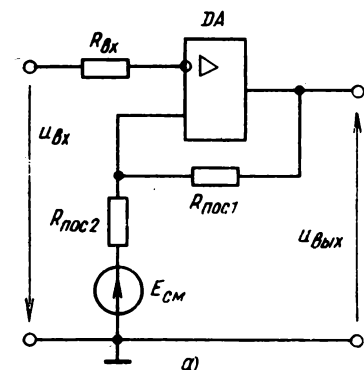


Рис. 9.9. Гистерезисная схема сравнения со смещенной характеристикой (а) и ее передаточная характеристика (б); схема сравнения к примеру 9.5 (в)

4. Напряжение $U_{ср}=0,65$ В обеспечивается включением параллельно резистору $R_{пос2}$ диода, который при протекании по нему тока $I_D = (U_{вых\max} - U_D)/R_{пос1} - U_D/R_{пос2}$ обеспечивает падение напряжения $U_D=0,65$ В.

Несимметрии передаточной характеристики схемы сравнения можно добиться (как и в случае однопорогового устройства), используя дополнительные источники смещения. Пример такого решения приведен на рис. 9.9, а. Здесь источник смещения $E_{см}$ с нулевым выходным сопротивлением подключен последовательно с резистором $R_{пос2}$ делителя цепи ПОС. Это приводит к смещению всей характеристики на величину этого напряжения. Так, на рис. 9.9, б показана передаточная характеристика схемы для случая использования напряжения смещения положительной полярности.

Следует отметить, что в данном случае направление смещения передаточной характеристики совпадает с полярностью источника смещения. Если для подключения напряжения смещения использовать инвертирующий вход ОУ (см. рис. 9.10, а), то направление смещения передаточной характеристики будет противоположно полярности напряжения источника смещения.

Пример 9.5. Разработать схему гистерезисного компаратора с порогми срабатывания и отпускания, равными соответственно $U_{ср}=2,4$ В и $U_{от}=1,9$ В. Мак-

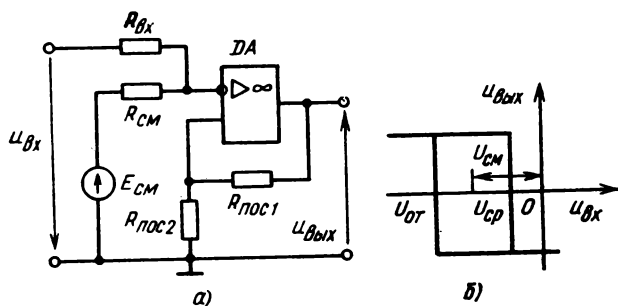


Рис. 9.10. Гистерезисная схема сравнения при несовпадении полярностей напряжений $U_{вх}$ и $E_{см}$ (а) и ее передаточная характеристика (б)

симальное выходное напряжение ОУ $U_{вых\max}=10$ В; $U_{п}=\pm 12$ В. Суммарное сопротивление, включенное между входами ОУ и общей шиной, $R_{кор}=5,1$ кОм.

Решение. 1. Для реализации заданных напряжений срабатывания и отпущения в схему стандартного гистерезисного компаратора (см. рис. 9.7) необходимо ввести напряжение смещения. В этом случае можно воспользоваться схемами на рис. 9.9 и 9.10. Рассмотрим оба эти случая.

2. Как было показано ранее, для схемы на рис. 9.9 полярности напряжений $U_{ср}$ и $U_{от}$ должны совпадать с полярностью напряжения $U_{см}$. Согласно условию напряжение смещения равно $U_{см}=(U_{ср}-U_{от})/2=(2,4+1,9)/2=2,15$ В.

3. Коэффициент передачи цепи ПОС определяется из условия

$$U_{ср}-U_{см}=|U_{вых\max}|b_{ос},$$

откуда

$$b_{ос}=(U_{ср}-U_{см})/|U_{вых\max}|=(2,4-2,15)/10=0,025.$$

4. Напряжение смещения $U_{см}$ можно задать либо внешним источником, либо подключением дополнительного делителя напряжения, подсоединенного к источнику питания ОУ. Используем дополнительный делитель напряжения (см. рис. 9.9, в). Тогда

$$U_{см}=\frac{U_{п}(R_{пос2} \parallel R_{пос1})}{R_{дел}+(R_{пос2} \parallel R_{пос1})}.$$

5. Для определения сопротивлений резисторов схемы дополним полученное выражение для $U_{см}$ двумя другими уравнениями, полученными из условий обеспечения заданного значения $b_{ос}$ и минимизации погрешности работы ОУ, обусловленной его неидеальностью, т. е.

$$b_{ос}=\frac{R_{пос1} \parallel R_{дел}}{R_{пос2}+(R_{пос1} \parallel R_{дел})};$$

$$R_{кор}=(R_{пос1} \parallel R_{пос2} \parallel R_{дел}).$$

Решая полученную систему уравнений для $U_{см}$, $b_{ос}$ и $R_{кор}$, найдем

$$U_{см} = U_{п} R_{кор} / R_{дел};$$

$$b_{ос} = R_{кор} / R_{ПОС2};$$

Тогда $R_{дел} = (U_{п} / U_{см}) R_{кор} = (12/2,15) \cdot 5,1 = 28,46$ кОм.

Выбираем $R_{дел} = 27$ кОм;

$$R_{ПОС2} = R_{кор} / b_{ос} = 5,1 / 0,025 = 204 \text{ кОм};$$

$$R_{ПОС1} = \frac{1}{1/R_{кор} - 1/R_{ПОС2} - 1/R_{дел}} = \frac{1}{1/5,1 - 1/27 - 1/200} = 6,49 \text{ кОм}.$$

Принимаем $R_{ПОС2} = 200$ кОм; $R_{ПОС1} = 6,8$ кОм.

6. Проверим полученные напряжения срабатывания и отпускания. Записывая для неинвертирующего входа ОУ уравнение по первому закону Кирхгофа, найдем

$$U_{вх н} = \frac{U_{п}/R_{дел} + U_{вых}/R_{ПОС2}}{1/R_{ПОС1} + 1/R_{ПОС2} + 1/R_{дел}}.$$

Отсюда

$$U_{ср} = \frac{U_{п}/R_{дел} + U_{вых \max}/R_{ПОС2}}{1/R_{ПОС1} + 1/R_{ПОС2} + 1/R_{дел}} = \frac{12/27 + 10/200}{1/27 + 1/6,8 + 1/200} = 2,61 \text{ В};$$

$$U_{от} = \frac{U_{п}/R_{дел} - U_{вых \max}/R_{ПОС2}}{1/R_{ПОС1} + 1/R_{ПОС2} + 1/R_{дел}} = \frac{12/27 - 10/200}{1/27 + 1/6,8 + 1/200} = 2,086 \text{ В}.$$

Несовпадение заданных и определенных в результате расчета напряжений $U_{ср}$ и $U_{от}$ объясняется округлением полученных сопротивлений резисторов схемы до ближайших стандартных значений.

7. При использовании схемы сравнения на рис. 9.10,а в качестве источника смещения $E_{см}$ можно использовать отрицательное напряжение источника питания ОУ.

8. Для полученной таким образом схемы можно записать следующую систему уравнений:

$$\frac{U_{ср}}{R_{вх}} - \frac{U_{п}}{R_{см}} = b_{ос} \frac{U_{вых \min}}{R_{\Sigma}};$$

$$\frac{U_{от}}{R_{вх}} - \frac{U_{п}}{R_{см}} = -b_{ос} \frac{U_{вых \max}}{R_{\Sigma}};$$

$$1/R_{\Sigma} = 1/R_{вх} + 1/R_{см};$$

$$b_{ос} = R_{ПОС2} / (R_{ПОС2} + R_{ПОС1});$$

$$1/R_{\Sigma} = 1/R_{ПОС1} + 1/R_{ПОС2}.$$

9. Решим эту систему в предположении, что, как и для схемы на рис. 9.9,а сопротивление $R_{\Sigma} = R_{кор} = 5,1$ кОм;

$$1/R_{вх} = 1/R_{\Sigma} - 1/R_{см};$$

$$U_{cp} \left(\frac{1}{R_{\Sigma}} - \frac{1}{R_{cm}} \right) - \frac{U_n}{R_{cm}} = b_{oc} \frac{U_{вых \max}}{R_{\Sigma}};$$

$$U_{от} \left(\frac{1}{R_{\Sigma}} - \frac{1}{R_{cm}} \right) - \frac{U_n}{R_{cm}} = b_{oc} \frac{(-U_{вых \max})}{R_{\Sigma}}.$$

Складывая два последних уравнения, получим

$$\frac{U_{cp} + U_{от}}{R_{\Sigma}} - \frac{1}{R_{cm}} (U_{cp} + U_{от} + 2U_n) = 0$$

или

$$R_{cm} = \frac{U_{cp} + U_{от} + 2U_n}{U_{cp} + U_{от}} R_{\Sigma} = \frac{2,4 + 1,9 + 2 \cdot 12}{2,4 + 1,9} \cdot 5,1 = 33,56 \text{ кОм}.$$

Выбираем $R_{cm} = 33 \text{ кОм}$.

$$R_{вх} = \frac{1}{1/R_{\Sigma} - 1/R_{cm}} = \frac{1}{1/5,1 - 1/33} = 6,03 \text{ кОм}.$$

Принимаем $R_{вх} = 6,2 \text{ кОм}$.

Уточним после выбора номиналов резисторов $R_{вх}$ и $R_{дел}$ значение

$$R_{\Sigma} = \frac{1}{1/R_{вх} + 1/R_{cm}} = \frac{1}{1/6,2 + 1/33} = 5,22 \text{ кОм}.$$

Тогда

$$b_{oc} = \left(\frac{U_{cp}}{R_{вх}} - \frac{U_n}{R_{cm}} \right) \frac{R_{\Sigma}}{U_{вых}} = \left(\frac{2,4}{6,2} - \frac{12}{33} \right) \frac{5,22}{10} = 0,0122.$$

Из выражения для b_{oc} находим

$$b_{oc} = \frac{1}{1 + R_{пос1}/R_{пос2}} \quad \text{или} \quad R_{пос2}(1/b_{oc} - 1) = R_{пос1}.$$

Тогда

$$1/R_{\Sigma} = 1/R_{пос1} + 1/R_{пос2} = \frac{1}{R_{пос2}} \left(\frac{1}{1/b_{oc} - 1} + 1 \right),$$

откуда

$$R_{пос2} = R_{\Sigma} \left(1 + \frac{1}{1/b_{oc} - 1} \right) = 5,22 \left(1 + \frac{1}{1/0,0122 - 1} \right) = 5,28 \text{ кОм}.$$

Принимаем $R_{пос2} = 5,1 \text{ кОм}$; $R_{пос1} = 5,1(1/0,0122 - 1) = 412,9 \text{ кОм}$. Принимаем $R_{пос1} = 430 \text{ кОм}$.

10. Проверяем полученные значения порогов срабатывания и отпускания рассчитанной схемы

$$b_{oc} = 5,1/(5,1 + 430) = 0,01172;$$

$$U_{cp} = \left(b_{oc} \frac{U_{вых \max}}{R_{\Sigma}} + \frac{U_n}{R_{cm}} \right) R_{вх} = \left(0,01172 \frac{10}{5,22} + \frac{12}{33} \right) \cdot 6,2 = 2,39 \text{ В};$$

$$U_{от} = 2,11 \text{ В}.$$

Полученное расхождение расчетных и заданных напряжений $U_{ср}$ и $U_{от}$ (как и в предыдущем случае) определяется округлениями сопротивлений резисторов до стандартных значений ряда.

Анализ рассмотренных схем сравнения показывает, что с точки зрения логики построения все они повторяют различные варианты схем усилителей на ОУ, рассмотренных в гл. 8. Отличием, создающим новое качество, является использование входного напряжения, уровень которого отвечает условию $U_{вх\max} > U_{вых\max}/K_U$. Очевидно, что если K_U стремится к бесконечности (для однопороговых схем сравнения) или $K_U < 0$ (для гистерезисных схем сравнения), амплитуда входного сигнала $U_{вх\max}$ может стремиться к нулю.

Таким образом, свойства конкретной схемы определяются условием ее применения. В данном случае это уровень входного напряжения, конкретное значение которого переводит схему из режима усилителя в режим устройства сравнения.

Применение гистерезисных схем сравнения позволяет в случае действия внешних помех значительно повысить надежность сравнения напряжений. Так, на рис. 9.11 показаны временные диа-

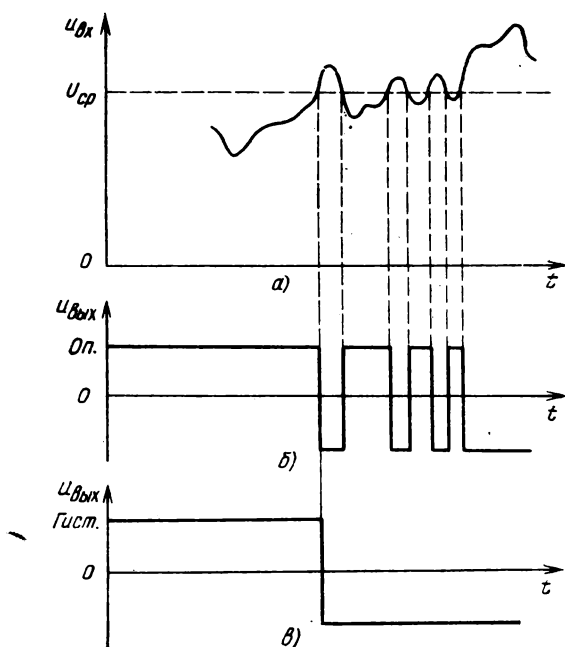


Рис. 9.11. Временные диаграммы, иллюстрирующие работу однопороговой и гистерезисной схем сравнения в условиях действия напряжения помехи: входной сигнал (а), выходной сигнал однопороговой (б) и гистерезисной (в) схем сравнения

граммы работы однопороговой и гистерезисных схем сравнения в случае, когда входной сигнал кроме полезной составляющей содержит некоторый высокочастотный сигнал помехи. Очевидно, что в случае использования однопороговой схемы сравнения на выходе устройства будет сформировано несколько выходных импульсов (так называемый «дребезг» выходного напряжения), затрудняющих получение однозначного результата. В случае использования гистерезисного компаратора с правильным выбором напряжений срабатывания и отпускания этого удастся избежать и получить на выходе однозначный результат сравнения.

9.4. ИНТЕГРАЛЬНЫЕ КОМПАРАТОРЫ

Как было отмечено в начале главы, интегральные компараторы отличаются от схем сравнения, выполненных на ОУ общего применения, тем, что их выходной сигнал согласован по уровню с напряжениями, используемыми в цифровой технике для отображения сигналов логических нуля и единицы. Разработка таких ИС, имеющих (как и стандартный ОУ) два входа (инвертирующий и неинвертирующий), была обусловлена тем, что хотя схемы сравнения на ОУ и могут обеспечить высокую точность сравнения входных напряжений и сформировать на выходе сигналы необходимых (цифровых) уровней, они требуют для этого введения большого числа дополнительных элементов и, как правило, не могут обеспечить нужного быстродействия.

Быстродействие компараторов принято характеризовать их *временем восстановления* $t_{\text{вос}}$. Это время измеряется при подаче на его входы некоторых стандартных сигналов: на неинвертирующий вход подается постоянное напряжение 0,1 В, а на инвертирующий вход — напряжение той же полярности, но с амплитудой, превышающей уровень 0,1 В на величину напряжения восстановления $U_{\text{вос}} = 5$ мВ. В этом случае время восстановления определяется как временной интервал между моментом равенства напряжений на входах компаратора и моментом, когда его выходное напряжение достигнет некоторого порогового уровня $U_{\text{пор}}$ (рис. 9.12), которое определяется уровнем срабатывания логических схем.

Как следует из рис. 9.12 $t_{\text{вос}}$ можно разбить на два интервала: время задержки t_z , в течение которого выходное напряжение компаратора остается неизменным, и время нарастания t_n , причем $t_z \gg t_n$. Объясняется это тем, что нормальным режимом работы транзисторов ОУ является их работа в активной области. При использовании ОУ в режиме сравнения напряжений, так как $|U_{\text{вх ОУ}}| \gg |U_{\text{вых max}}|/K_{\text{ОУ}}$, то его транзисторы попадают в режим насыщения, что сопровождается накоплением в базовых областях из-

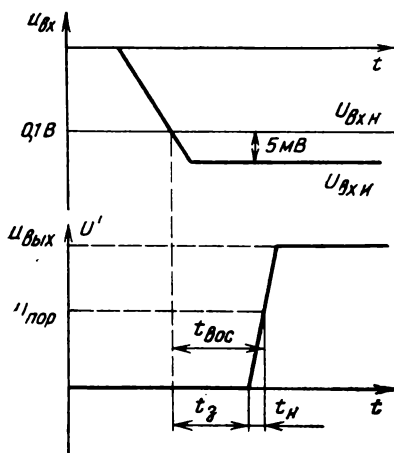


Рис. 9.12. Определение времени восстановления компаратора:

$U_{вхн}$, $U_{вхн}$ — напряжения на неинвертирующем и инвертирующем входах; $U_{пор}$, U' — пороговое напряжение и напряжение лог. 1 цифровой схемы

быточного заряда неосновных носителей. Как будет показано в § 10.3, рассасывание этого заряда требует значительного времени, что и снижает быстродействие схемы сравнения на ОУ общего применения. Поэтому при разработке интегральных компараторов применяют специальные схемотехнические решения, направленные на предотвращение работы транзисторов схемы с заходом в область насыщения. Такое решение позволяет снизить $t_{вос}$ интегральных компараторов до сотен наносекунд.

В табл. 9.1 приведены типовые параметры наиболее распространенных интегральных компараторов напряжения, которые характеризуются теми же параметрами, что и ОУ общего применения. Поэтому при формировании требуемого вида их передаточной характеристики возможно использование всех ранее рассмотренных схемотехнических решений для ОУ.

Таблица 9.1

Параметры интегральных компараторов

Параметр	Тип компаратора			
	521CA1	521CA2	521CA3	521CA4
Напряжение смещения $U_{см}$, мВ	1	3	3	4
Входной ток смещения $I_{см}$, мкА	25	45	0,1	2
Разность входных токов $\Delta I_{вх}$, мкА	5	7	0,01	0,5
Допустимый дифференциальный сигнал, В	5	5	30	5
Время восстановления $t_{вос}$, нс	40	40	200	15
Коэффициент усиления по напряжению $K_{УО}$, В	1500	1700	200 000	5000

Из сказанного можно определить области применения компараторов различных типов.

Компараторы на ОУ общего применения обычно используются при разработке высокоточных схем сравнения, работающих с медленно изменяющимися входными сигналами.

Интегральные компараторы применяются тогда, когда необходимо обеспечить высокое быстродействие разрабатываемых устройств, при этом в зависимости от конкретных требований используются стандартные высокоточные или высокоскоростные компараторы.

Контрольные вопросы

1. Чем схема сравнения отличается от схемы усилителя?
2. Какие выходные напряжения могут формироваться на выходе схемы сравнения?
3. Что такое компараторный режим работы ОУ?
4. Чем объясняется ошибка определения уровня входного напряжения?
5. Покажите, каким образом можно минимизировать ошибку сравнения однопороговой схемы.
6. Как изменяется ошибка сравнения напряжений при изменении частоты входного сигнала?
7. Что такое нуль-детектор?
8. Какую передаточную характеристику имеет регенеративная схема сравнения?
9. Как можно изменить порог срабатывания однопороговой схемы сравнения?
10. Спроектируйте схему сравнения четырех входных напряжений.
11. Как задается смещение передаточной характеристики в гистерезисных схемах сравнения?
12. Какими преимуществами обладает гистерезисная схема сравнения по сравнению с однопороговой?
13. В чем основное отличие схем сравнения напряжений и схем усилителей, выполненных с использованием ОУ.

ГЛАВА 10.

РАБОТА ПОЛУПРОВОДНИКОВЫХ ПРИБОРОВ В КЛЮЧЕВОМ РЕЖИМЕ

10.1. ОБЩИЕ СВЕДЕНИЯ ОБ ЭЛЕКТРОННЫХ СХЕМАХ КОММУТАЦИИ

Расширение функциональных возможностей и областей применения ЭУ в различных областях науки и техники неразрывно связано как с достижениями микроэлектроники, так и с широким использованием импульсных и цифровых методов преобразования электрических сигналов. Применение этих методов базируется на использовании режима коммутации, характеризующегося периодическим включением, выключением и переключением электрических цепей. Этот режим на практике называют ключевым режимом, а графическое изображение подобных электрических цепей — схемами коммутации (СК). Большое влияние на переходные процессы в таких электронных схемах, наряду с реактивными элементами (конденсаторами и катушками индуктивности), оказывают полупроводниковые приборы. Это объясняется тем, что полупроводниковые приборы, как было показано в гл. 2, обладают некоторой инерционностью. В зависимости от типа применяемого полупроводникового прибора и условий эксплуатации эта инерционность проявляется в большей или меньшей степени. Однако не зависимо от типа применяемого полупроводникового прибора и условий его работы можно выделить ряд характерных особенностей построения СК.

В общем случае любая электронная СК содержит:

источник входного электрического сигнала $e_{вх}$, изменяющегося соответствующим образом во времени, с внутренним сопротивлением $Z_{вн}$, которое в общем случае также может изменяться во времени;

полупроводниковый прибор, представляющий собой нелинейный элемент и выполняющий роль электронного ключа (ЭК);
нагрузку Z_n .

В дальнейшем (для простоты пояснения) будем считать указанные сопротивления активными: $R_{вн}$ и R_n (рис. 10.1). Следует отметить, что для переключения ЭК в общем случае необходим дополнительный входной сигнал $e_{упр}$, подаваемый в его цепь управления. Минимальное значение этого сигнала, вызывающее бесперебойное переключение ЭК, определяется чувствительностью ключа и обычно измеряется в единицах напряжения. Для надежной работы ЭК во всех условиях эксплуатации сигнал $e_{упр}$ должен быть заведомо больше минимально необходимого для его бесперебойного функционирования. В простейших ЭК в качестве $e_{упр}$

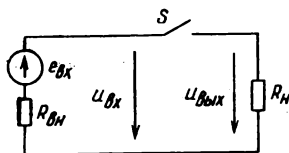


Рис. 10.1. Последовательная схема коммутации

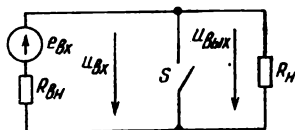
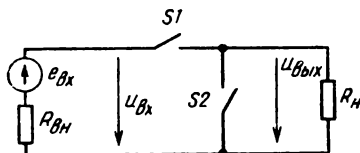


Рис. 10.2. Параллельная схема коммутации

Рис. 10.3. Последовательно-параллельная схема коммутации



может использоваться непосредственно входной электрический сигнал $e_{вх}$, т. е. само коммутируемое напряжение.

В зависимости от расположения элементов различают последовательную, параллельную и последовательно-параллельную СК.

Последовательная СК предусматривает последовательное включение $e_{вх}$, ЭК и $R_{н}$ (рис. 10.1) (в схеме ЭК обозначается через S).

Параллельная СК предусматривает параллельное включение $e_{вх}$, ЭК и $R_{н}$ (рис. 10.2).

Последовательно-параллельная СК содержит два ЭК, один из которых ($S1$) включен последовательно с нагрузкой $R_{н}$, а другой ($S2$) — параллельно ей (рис. 10.3). При этом $S1$ и $S2$ переключаются синхронно и в противофазе, т. е. когда $S1$ открыт (разомкнут), то $S2$ закрыт (замкнут) или наоборот.

В любой из приведенных СК к электронному ключу предъявляются следующие основные требования:

при замкнутом ЭК (во включенном состоянии полупроводникового прибора) внутреннее сопротивление ЭК должно быть близко нулю, т. е.

$$R_{ЭКз} \rightarrow 0;$$

при разомкнутом ЭК (в выключенном состоянии полупроводникового прибора) внутреннее сопротивление ЭК должно стремиться к бесконечности $R_{ЭКр} \rightarrow \infty$;

время переключения ЭК из включенного состояния в выключенное и наоборот должно стремиться к нулю: $t_z \rightarrow 0$; $t_p \rightarrow 0$.

Степень приближения реальных свойств ЭК к указанным требованиям отражается его статическими и динамическими характеристиками.

Зависимость напряжения нагрузки от изменения входного электрического сигнала определяется *статической характеристикой передачи СК* $u_{\text{вых}} = \varphi(e_{\text{вх}})$.

В общем случае таких характеристик две. Одна соответствует включенному, другая выключенному состоянию ЭК.

Динамические свойства СК характеризуют их способность передавать на выход короткие сигналы $e_{\text{упр}}$ и определяются как инерционными свойствами применяемых ЭК, так и паразитными параметрами самих электрических цепей. Численно эти свойства характеризуются временами переключения, задержки переключения или максимальной частотой коммутации.

В качестве ЭК в настоящее время применяются кремниевые биполярные и полевые транзисторы или полупроводниковые диоды. Следует отметить, что основное достоинство ЭК на полупроводниковых диодах — их простота — при интегральной технологии не дает практически никаких преимуществ. Это определяет их меньшее применение при изготовлении ИС.

В последнее время все большее применение находят ЭК на основе полевых транзисторов. Это, в первую очередь, определяется возможностью уменьшения рассеиваемой мощности, что согласуется с требованием комплексной миниатюризации ЭУ.

В то же время применение биполярных транзисторов в качестве ЭК позволяет реализовать большее быстродействие СК, чем и объясняется их широкое использование в устройствах импульсной и цифровой электроники наряду с полевыми транзисторами.

10.2. ДИОДНЫЕ КЛЮЧИ

Структура диодных ключей и их статические характеристики передачи. Статические характеристики передачи диодных ключей полностью определяются типом используемой СК и ВАХ полупроводникового прибора. По принципу действия диодные ключи не требуют специального управляющего напряжения, роль которого в данном случае выполняет непосредственно коммутируемый сигнал, т. е. $e_{\text{упр}} \equiv e_{\text{вх}}$. Вследствие этого для данного класса устройств существует только одна статическая характеристика передачи, вид которой определяется амплитудой и полярностью коммутируемого напряжения $e_{\text{вх}}$.

На практике при построении диодных ключей наибольшее распространение получили последовательная и параллельная СК. Поэтому остановимся на рассмотрении свойств только этих двух схем.

Последовательный диодный ключ может быть представлен схемой, приведенной на рис. 10.4, а. При получении аналитических выражений, описывающих ее статическую характеристику пере-

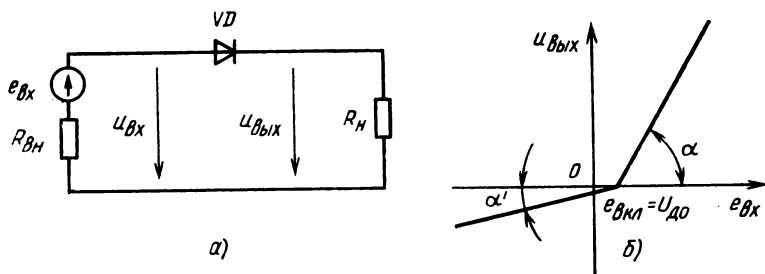


Рис. 10.4. Схема последовательного диодного ключа (а) и ее статическая характеристика передачи (б)

дачи, будем, как было отмечено ранее, полагать, что входящие в нее сопротивления носят чисто активный характер, а ВАХ диода описываются кусочно-линейной функцией вида (4.3). Тогда для схемы рис. 10.4, а можно записать следующие выражения:

$$u_{\text{вых}} = \frac{R_{\text{н}}}{R_{\text{вн}} + r_{\text{д пр}} + R_{\text{н}}} (e_{\text{вх}} - U_{\text{до}}) \quad \text{для} \quad e_{\text{вх}} > U_{\text{до}}; \quad (10.1)$$

$$u_{\text{вых}} = \frac{R_{\text{н}}}{R_{\text{вн}} + r_{\text{д обр}} + R_{\text{н}}} e_{\text{вх}} \quad \text{для} \quad e_{\text{вх}} < U_{\text{до}},$$

где $r_{\text{д пр}}$, $r_{\text{д обр}}$, $U_{\text{до}}$ — параметры кусочно-линейной аппроксимации ВАХ — дифференциальные сопротивления при прямом и обратном смещении p - n -перехода и пороговое напряжение соответственно.

При условии, что диод и источник входного сигнала идеальны ($r_{\text{д пр}} = 0$, $r_{\text{д обр}} = \infty$ и $R_{\text{вн}} = 0$), система уравнений (10.1) примет вид

$$u_{\text{вых}} = e_{\text{вх}} - U_{\text{до}} \quad \text{для} \quad e_{\text{вх}} > U_{\text{до}}; \\ u_{\text{вых}} = 0 \quad \text{для} \quad e_{\text{вх}} < U_{\text{до}}. \quad (10.2)$$

В соответствии с полученными выражениями, статическая характеристика передачи последовательного диодного ключа имеет вид кусочно-линейной функции (рис. 10.4, б). В случае реального диода и источника сигнала углы наклона прямой ветви ВАХ — ключ включен ($e_{\text{вх}} > U_{\text{до}}$) и обратной ветви — ключ выключен ($e_{\text{вх}} < U_{\text{до}}$) соответственно равны

$$\alpha = \arctg \frac{1}{1 + (r_{\text{д пр}} + R_{\text{вн}})/R_{\text{н}}}; \\ \alpha' = \arctg \frac{1}{1 + (r_{\text{д обр}} + R_{\text{вн}})/R_{\text{н}}}. \quad (10.3)$$

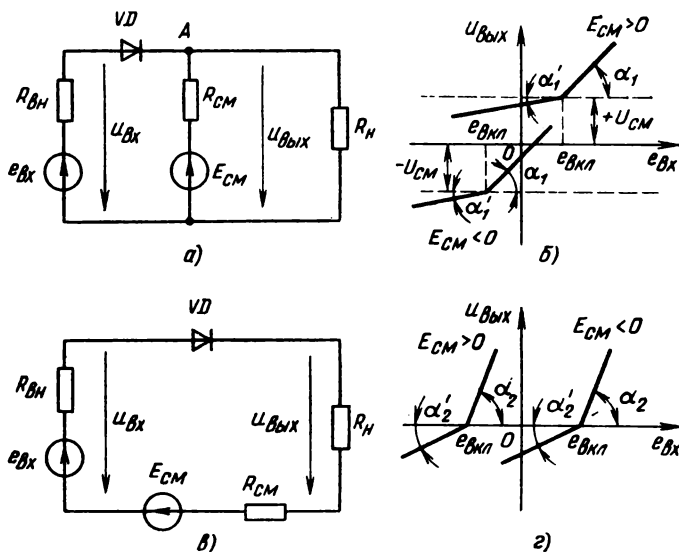


Рис. 10.5. Схемы последовательного диодного ключа с различным подключением источника смещения $E_{см}$ (а, б) и их статические характеристики передачи (б, г)

Для идеальных источника сигнала и диода, описываемого системой уравнений (10.2), эти углы примут свои предельные значения $\alpha = 45^\circ$ и $\alpha' = 0$.

Напряжение $e_{вкл}$, соответствующее моменту включения (выключения) диодного ключа, называется *уровнем включения ключа*. В рассматриваемой схеме $e_{вкл} = U_{до}$.

Вид статической характеристики передачи и значения $e_{вкл}$ можно изменять, если в схему ключа ввести дополнительные источники смещения $E_{см}$. Возможные варианты таких схем и соответствующие статические характеристики передачи приведены на рис. 10.5. В обеих схемах напряжение включения определяется выражением $e_{вкл} = U_{до} + U_{см}$. Значение $U_{см}$ зависит от места включения дополнительного источника. Так, для схемы рис. 10.5, а $U_{см} = E_{см} R_H / (R_{см} + R_H)$, а для схемы рис. 10.5, б $U_{см} = E_{см}$. Следует отметить, что углы наклона характеристик, приведенных на рис. 10.5, б, г меньше, чем для исходной схемы ключа (см. рис. 10.4, б).

Пример 10.1. Рассчитать статическую характеристику передачи последовательного диодного ключа по схеме рис. 10.5, а со следующими параметрами: $R_{вн} = 0,1$ кОм; $R_{см} = 0,51$ кОм; $R_H = 2,2$ кОм; $E_{см} = -5$ В; $U_{до} = 0,65$ В; $r_{д пр} = 50$ Ом; $r_{д обр} = 100$ кОм.

Решение. 1. Напряжение смещения $U_{см} = E_{см} R_H / (R_H + R_{см}) = (-5) \times 2,2 / (2,2 + 0,51) = -4,06$ В.

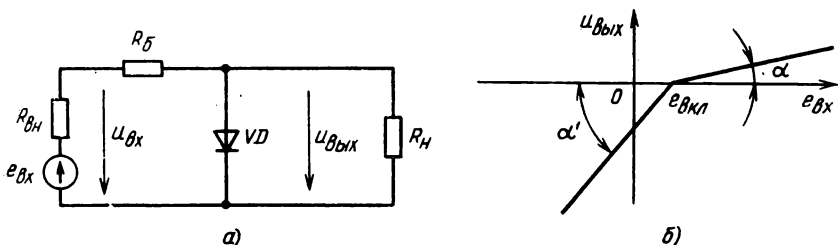


Рис. 10.6. Схема параллельного диодного ключа (а) и его статическая характеристика передачи (б)

2. Напряжение включения $e_{\text{вкл}} = E_{\text{см}} + U_{\text{Д0}} = -4,06 + 0,65 = -3,41$ В.

3. Для определения углов наклона ВАХ ключа по первому закону Кирхгофа запишем уравнение для точки А схемы при условии, что диод смещен в прямом направлении:

$$\frac{U_{\text{вых}}}{R_{\text{н}}} = \frac{E_{\text{см}} - u_{\text{вых}}}{R_{\text{см}}} + \frac{e_{\text{вх}} - U_{\text{Д0}} - u_{\text{вых}}}{R_{\text{вн}} + r_{\text{д пр}}},$$

откуда

$$\alpha_1 = \arctg(\Delta u_{\text{вых}} / \Delta e_{\text{вх}}) = \arctg \frac{1}{1 + (R_{\text{вн}} + r_{\text{д пр}})(1/R_{\text{н}} + 1/R_{\text{см}})}$$

$$\arctg \frac{1}{1 + (0,1 + 0,05)(1/2,2 + 1/0,31)} = 36,28^\circ.$$

4. Записывая аналогичные уравнения для обратного смещения диода VD , получаем

$$\alpha_1' = \arctg \frac{1}{1 + (R_{\text{вн}} + r_{\text{д обр}})(1/R_{\text{н}} + 1/R_{\text{см}})} = \arctg \frac{1}{1 + (0,1 + 100)(1/2,2 + 1/0,51)} = 0,23^\circ.$$

Параллельный диодный ключ может быть представлен схемой, приведенной на рис. 10.6, а. Сопротивление $R_{\text{б}}$ является балластным сопротивлением, ограничивающим ток, протекающий через диод. Полагая $R'_6 = R_6 + R_{\text{вн}}$ и используя для статической характеристики передачи параллельного диодного ключа допущения, аналогичные сделанным ранее, получаем:

$$u_{\text{вых}} = \frac{e_{\text{вх}}}{1 + R'_6 \left(\frac{1}{R_{\text{н}}} + \frac{1}{r_{\text{д пр}}} \right)} + \frac{U_{\text{Д0}}}{1 + r_{\text{д пр}} \left(\frac{1}{R'_6} + \frac{1}{R_{\text{н}}} \right)}$$

для $e_{\text{вх}} \geq U_{\text{Д0}} (1 + R'_6/R_{\text{н}}); \quad (10.4)$

$$u_{\text{вых}} = \frac{e_{\text{вх}}}{1 + R'_6 \left(\frac{1}{R_{\text{н}}} + \frac{1}{r_{\text{д обр}}} \right)} \quad \text{для} \quad e_{\text{вх}} \leq U_{\text{Д0}} (1 + R'_6/R_{\text{н}}).$$

Для идеального диода ($r_{д пр}=0$, $r_{д обр}=\infty$) выражения (10.4) примут более простой вид

$$\begin{aligned} u_{вых} &= U_{до} \quad \text{для} \quad e_{вх} \geq U_{до}(1 + R'_6/R_n); \\ u_{вых} &= e_{вх} [R_n/(R_n + R'_6)] \quad \text{для} \quad e_{вх} < U_{до}(1 + R'_6/R_n). \end{aligned} \quad (10.5)$$

В соответствии с (10.4) статическая характеристика передачи параллельного диодного ключа имеет вид, приведенный на рис. 10.6, б. Напряжение включения ключа для рассматриваемого случая $e_{вкл} = U_{до}(1 + R'_6/R_n)$.

Углы наклона статической характеристики передачи, приведенной на рис. 10.6, б, в соответствии с (10.4) равны

$$\begin{aligned} \alpha &= \arctg \frac{1}{1 + R'_6(1/R_n + 1/r_{д пр})}; \\ \alpha' &= \arctg \frac{1}{1 + R'_6(1/R_n + 1/r_{д обр})}. \end{aligned} \quad (10.6)$$

Для идеального диода $r_{д пр}=0$, $r_{д обр}=\infty$ и формулы (10.6) примут следующий вид:

$$\alpha = 0; \quad \alpha' = \arctg R_n/(R_n + R'_6).$$

Следует отметить, что как и в последовательном диодном ключе, используя дополнительные источники смещения, напряжение $e_{вкл}$ и сам вид статической характеристики передачи можно видоизменять в широких пределах.

В качестве примера на рис. 10.7 показаны схемы параллельных диодных ключей с источниками смещения $E_{см}$ и соответствующие им статические характеристики передачи. В первой из схем $e_{вкл} = (E_{см} + U_{до})(1 + R'_6/R_n)$, а постоянная составляющая выходного сигнала $U_{вых 0} = E_{см} + U_{до}$. Углы наклона статических ВАХ связаны с соответствующими углами характеристики исходной схемы (рис. 10.6, а) неравенствами $\alpha_3 > \alpha$, $\alpha'_3 > \alpha'$, $\alpha_4 < \alpha$, $\alpha'_4 < \alpha'$.

Пример 10.2. Сравнить параметры статических характеристик передачи схем рис. 10.6, а и 10.7, а при следующих условиях: $R_{вн}=0,1$ кОм; $R_6=1,5$ кОм; $R_n=10$ кОм; $U_{до}=0,65$ В; $r_{д пр}=50$ Ом; $r_{д обр}=100$ кОм; $U_{см}=5$ В; $R_{см}=75$ Ом.

Решение. 1. Для схемы рис. 10.6, а

$$\begin{aligned} e_{вкл} &= U_{до}(1 + R'_6/R_n) = 0,65 \left(1 + \frac{1,5 + 0,1}{10} \right) = 0,754 \text{ В}; \\ \alpha &= \arctg \frac{1}{1 + R'_6(1/R_n + 1/r_{д пр})} = \arctg \frac{1}{1 + (1,5 + 0,1)(1/10 + 1/50)} = 1,73^\circ; \\ \alpha' &= \arctg \frac{1}{1 + R'_6(1/R_n + 1/r_{д обр})} = \arctg \frac{1}{1 + (1,5 + 0,1)(1/10 + 1/100)} = 40,37^\circ. \end{aligned}$$

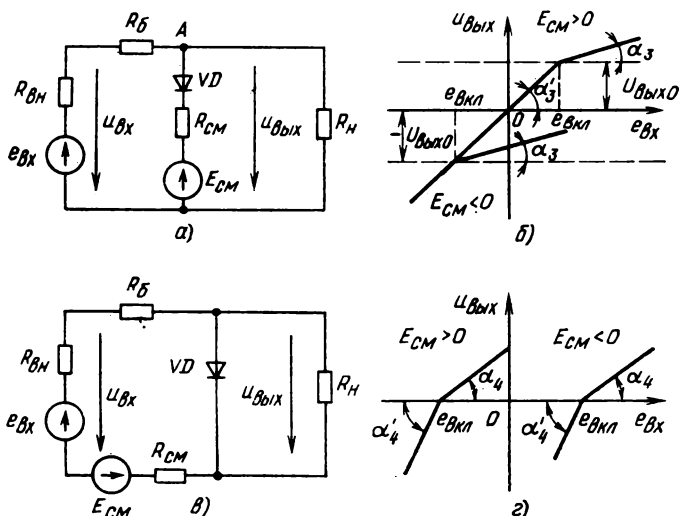


Рис. 10.7. Схема параллельных диодных ключей с различным подключением источника смещения E_{cm} (а, б) и статические характеристики передачи (б, г)

2. Для схемы рис. 10.7,а

$$e_{вкл} = (E_{cm} + U_{D0}) \left(1 + \frac{R_{вн} + R_{6'}}{R_H} \right) = (5 + 0,65) \left(1 + \frac{0,1 + 1,5}{10} \right) = 6,55 \text{ В.}$$

Записав для точки А схемы уравнение по первому закону Кирхгофа, получим

$$\alpha_3 = \arctg \frac{1}{1 + R_{6'} [1/R_H + 1/(r_{дпр} + R_{cm})]} = \arctg \frac{1}{1 + (1,5 + 0,1) [1/10 + 1/(0,05 + 0,075)]} = 4,1^\circ;$$

$$\alpha'_3 = \arctg \frac{1}{1 + R_{6'} [1/R_H + 1/(r_{добр} + R_{cm})]} = \arctg \frac{1}{1 + (1,5 + 0,1) [1/10 + 1/(100 + 0,025)]} = 40,37^\circ.$$

Сравнение полученных результатов позволяет показать, что введение источника E_{cm} сильно изменяет напряжение срабатывания ключа и наклон его статической характеристики передачи в области $e_{вх} > e_{вкл}$ практически не сказывается на наклоне ВАХ при $e_{вх} < e_{вкл}$.

Следует отметить, что изменяя полярность включения диода и вводя в схему ключа несколько источников E_{cm} , можно значительно видоизменять статическую ВАХ схем как последовательного, так и параллельного диодных ключей.

Рассмотренные ключи находят широкое применение в различных схемах селекции входных импульсов по полярности и амплитуде, а также в схемах ограничения (нормирования) уровня входного напряжения.

Прохождение импульса напряжения через диодный ключ. Рассмотренные выше зависимости $u_{\text{вых}} = \varphi(e_{\text{вх}})$ справедливы лишь для медленного изменения входного напряжения. Если на входе диодного ключа действует импульсное напряжение, длительности фронта и среза которого соизмеримы с длительностью переходных процессов в самом диоде, зависимость $u_{\text{вых}} = \varphi(e_{\text{вх}})$ приобретает качественно иной характер. Проанализируем влияние собственных частотных свойств полупроводникового диода на указанную зависимость на примере последовательной СК (см. рис. 10.4, а).

В переходном режиме ток диода определяется тремя составляющими

$$i_{\text{д}} = \frac{Q_{\text{б}}}{\tau_{\text{б}}} + \frac{dQ_{\text{б}}}{dt} + C_{\text{зар}} \frac{dU_{p-n}}{dt}, \quad (10.7)$$

где $Q_{\text{б}}$ — объемный заряд неосновных носителей в области базы диода; $\tau_{\text{б}}$ — время жизни неосновных носителей в области базы диода; $C_{\text{зар}}$ — зарядная (барьерная) емкость диода; U_{p-n} — напряжение на p - n -переходе.

Первое слагаемое выражения (10.7) связано с рекомбинацией неосновных носителей в области базы. Второе слагаемое определяет изменение во времени объемного заряда неосновных носителей в области базы. Третье обусловлено перезарядом барьерной емкости p - n -перехода при изменении входного сигнала во времени.

Следует еще раз обратить внимание на то, что напряжение на диоде $u_{\text{д}}$ отличается от напряжения на p - n -переходе падением напряжения на внутреннем сопротивлении диода, включающем объемные сопротивления эмиттера и базы. Учитывая, что в качестве эмиттера используется сильно легированный материал, дифференциальное сопротивление в основном определяется сопротивлением материала базы, т. е. $r_{\text{д}} = r_{\text{дб}}$.

Анализ уравнения (10.7) позволяет выявить две основные причины инерционности полупроводникового диода: эффект накопления избыточного заряда в базовой области прибора и наличие барьерной емкости прибора. Рассмотрим, как эти факторы влияют на процессы переключения диода.

Процессы, происходящие в рассматриваемой СК, существенным образом зависят от вида напряжения $e_{\text{вх}}$. Поэтому рассмотрим два наиболее типичных случая:

$e_{\text{вх}}$ имеет форму двухполярных прямоугольных импульсов переменного напряжения;

$e_{\text{вх}}$ имеет форму однополярных прямоугольных импульсов.

В обоих случаях будем полагать:

длительности фронта и спада $e_{\text{вх}}$ равны нулю, т. е. $t_{\text{ф}} = t_{\text{сп}} = 0$;

сопротивление $R_{\text{н}}$ СК существенно больше сопротивления перемещенного диода.

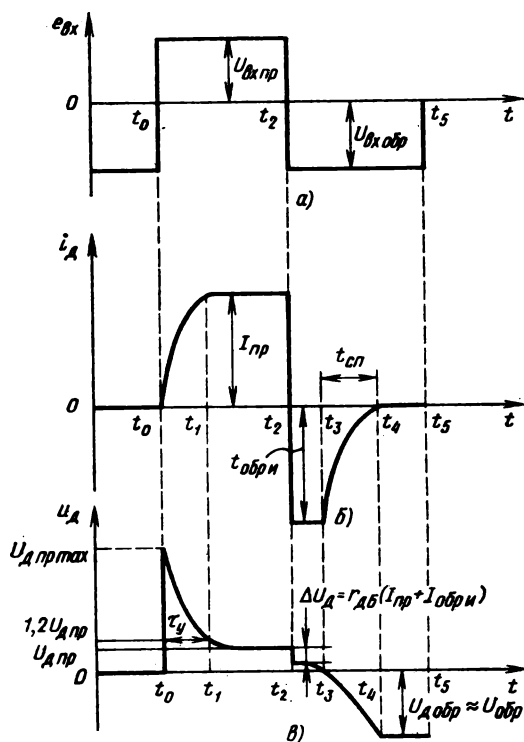


Рис. 10.8. Переходные процессы в последовательном диодном ключе при переменном входном напряжении:

a — изменение входного напряжения; *б* — изменение тока диода; *в* — изменение падения напряжения на диоде

Типовые временные диаграммы, поясняющие работу рассматриваемой СК для двухполярного прямоугольного переменного входного сигнала $e_{вх}$, приведены на рис. 10.8. Диаграмма соответствует случаю, когда длительности импульсов, т. е. временные интервалы $t_2 - t_0$ и $t_5 - t_2$ достаточны для завершения всех переходных процессов, определяющих инерционные свойства полупроводникового диода.

В момент t_0 входное напряжение СК скачком увеличилось от $-U_{вх\text{обр}}$ до $U_{вх\text{пр}}$.

Ранее (см. гл. 2) было показано, что проводимость диода прямо пропорциональна объемному заряду Q_b , т. е. концентрации основных носителей в области базы. Поэтому при увеличении прямого тока сопротивление базы диода уменьшается (эффект модуляции сопротивления области базы). Поскольку скорость накоп-

ления избыточного заряда в области базы конечна, то установление прямого сопротивления диода требует некоторого времени. При выполнении условия $R_n \gg r_{д пр}$ можно полагать, что ток диода не зависит от его сопротивления. Поэтому эффект модуляции сопротивления базы приводит к появлению резкого выброса напряжения на диоде при его включении.

Перезаряд барьерной емкости диода $C_{зар}$, наоборот, ведет к замедлению скорости увеличения напряжения на диоде.

Вследствие действия двух противоположных тенденций реальный вид переходного процесса определяется конкретным соотношением параметров диода. При малых уровнях инжекции преобладающими являются процессы, связанные с перезарядом емкости $C_{зар}$. При больших уровнях инжекции процессы, в основном, определяются изменением объемного заряда области базы. Поэтому переходные процессы при включении диодов различных типов могут иметь качественно отличный вид. На рис. 10.8, в показаны временные диаграммы изменения тока и напряжения диода, соответствующие большому уровню инжекции и соответственно малому влиянию $C_{зар}$.

Длительность всплеска, называемая временем установления t_y и рассчитанная для напряжения $u_d = 1,2U_{д пр}$, примерно равна

$$t_y \approx 2,3\tau_B, \quad (10.8)$$

а максимальное падение напряжения на диоде

$$U_{д пр max} \approx \varphi_k + I_{пр} \rho_B \omega / l. \quad (10.9)$$

Здесь $\varphi_k = \varphi_T$ — контактная разность потенциалов, равная тепловому потенциалу; ρ_B — удельное сопротивление полупроводниковой области базы; ω, l — соответственно поперечное сечение и длина базы диода.

Интервал $t_1 - t_2$ характеризует установившийся режим в диодном ключе. В базовой области диода накоплен избыточный заряд неосновных носителей $Q_B = I_{пр} \tau_B$. Концентрация избыточных носителей заряда при этом падает по мере удаления от перехода.

Прямой ток, протекающий в этом случае через диод,

$$I_{пр} = (U_{вх пр} - U_{д пр}) / (r_{д пр} + R_n). \quad (10.10)$$

В момент t_2 входное напряжение $e_{вх}$ изменяет свою полярность. Однако до момента t_4 диод будет находиться в проводящем состоянии. До момента t_3 через него в обратном направлении будет протекать ток, импульсное значение которого $I_{обр}$ соизмеримо с $I_{пр}$. Далее по мере рассасывания объемного заряда неосновных носителей в области базы и разряда барьерной емкости на интервале $t_3 - t_4$, обратный ток через диод будет уменьшаться, стремясь к своему установившемуся значению.

Как видно из рис. 10.8, в момент $t=t_2$ смены полярности напряжения $e_{вх}$ падение напряжения на диоде скачком уменьшается на долю падения напряжения на активном сопротивлении диода $\Delta U_D = r_{дБ}(I_{пр} + I_{обрн})$ и далее остается практически постоянным. Это объясняется тем, что избыточный заряд, накопленный в базовой области диода во время его прямого смещения, остается достаточным для поддержания импульса обратного тока на уровне

$$I_{обрн} = \frac{U_{обр} - [U_{дпр} - r_{дБ}(I_{пр} + I_{обрн})]}{R_n + r_{дБ}}, \quad (10.11)$$

т. е. непосредственно после смены полярности $e_{вх}$ диод обладает практически нулевым сопротивлением.

Уравнение (10.7) для интервала t_2-t_3 имеет вид

$$i_D' = Q_B/\tau_B + dQ_B/dt = -I_{обрн}. \quad (10.12)$$

Решая (10.12) в предположении, что в конце интервала $t_3-t_2 = t_{рас}$ концентрация неосновных носителей заряда в непосредственной близости к p - n -переходу уменьшается до нуля, получаем

$$t_{рас} \approx \tau_B \ln(1 + I_{пр}/I_{обрн}). \quad (10.13)$$

Временной интервал $t_{рас}$ называется *временем рассасывания неосновных носителей* из области базы.

Следует отметить, что полученное выражение является приближенным, так как не учитывает особенностей изменения пространственного заряда Q_B , характерных для диодов, изготовленных по различным технологиям.

На интервале $t_4-t_3 = t_{сп}$ суммарный объемный заряд в области базы уменьшается до нуля, что характеризуется уменьшением тока диода от амплитуды импульса $I_{обрн}$ до величины $I_{сбр}$, соответствующей стационарному обратному току диода в выключенном состоянии.

Длительность интервала $t_{сп}$, называемого *временем спада обратного тока диода*, сильно зависит от технологии его изготовления. Реально $t_{сп}$ лежит в диапазоне

$$t_{сп} \approx (1 \dots 0,1) \tau_B. \quad (10.14)$$

Сравнивая выражения (10.13) и (10.14), можно заключить, что практически для всех типов диодов $t_{рас} > t_{сп}$.

Временной интервал $t_{рас} + t_{сп} = t_{вос}$ носит название *времени восстановления* обратного сопротивления диода и характеризует быстродействие диодов. Поэтому его значение обычно указывается в ТУ на полупроводниковые приборы.

Как следует из приведенного анализа, $t_{вос}$ сильно зависит от условий переключения диода. Поэтому ключевые свойства диода

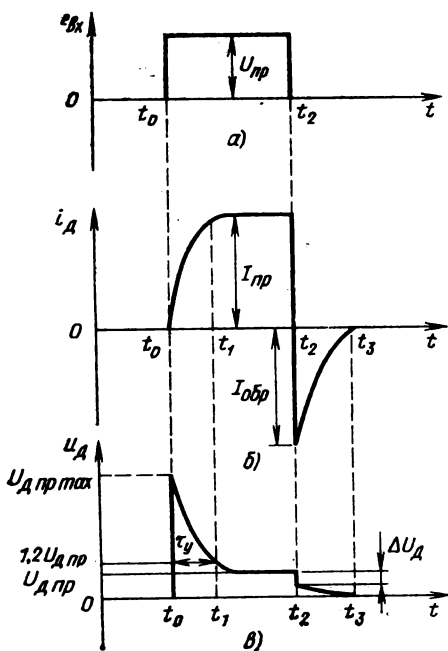


Рис. 10.9. Временные диаграммы, иллюстрирующие прохождение через последовательный диодный ключ однополярного импульса напряжения: а — импульс входного напряжения; б — ток диода; в — падение напряжения на диоде

часто определяются не временами переключения, а зарядом переключения

$$Q_{\text{пер}} = \int_{t_2}^{t_3} i_{\text{обр}}(t) dt. \quad (10.15)$$

Зная заряд $Q_{\text{пер}}$ для заданных условий работы, легко можно оценить время $t_{\text{вос}}$.

Временные диаграммы, характеризующие работу диодной последовательной СК в случае однополярного прямоугольного напряжения $e_{\text{вх}}$, приведены на рис. 10.9. Очевидно, что и в этом случае напряжение на нагрузке, которое по

форме импульса аналогично изменению $i_{\text{д}}$, сильно отличается от входного $e_{\text{вх}}$. Причинами этих отличий также являются процессы накопления заряда неосновных носителей в базовой области диода и перезаряда $C_{\text{зар}}$.

Процесс включения диода аналогичен рассмотренному выше случаю. Поэтому для времени установления t_y и первоначального выброса напряжения $U_{\text{д пр max}}$ справедливы соотношения (10.8) и (10.9).

Качественные отличия наблюдаются при выключении диода. После окончания действия напряжения $e_{\text{вх}}$ в момент t_2 напряжение на диоде резко уменьшается на $\Delta U_{\text{д}} = r_{\text{д пр}}(I_{\text{пр}} + I_{\text{обр и}})$ и затем еще достаточно продолжительное время сохраняет полярность прямосмещенного диода. При условии $e_{\text{вх}} = 0$ это означает, что к сопротивлению нагрузки прикладывается напряжение обратной полярности, равное

$$U_{\text{н обр}} \approx -[U_{\text{пр}} - r_{\text{д пр}}(I_{\text{пр}} + I_{\text{обр и}})] \frac{R_{\text{н}}}{R_{\text{н}} + R_{\text{вн}}}. \quad (10.16)$$

Причиной возникновения этого напряжения является объемный заряд $Q_{\text{б}}$, накопленный в области базы. После окончания импульса $e_{\text{вх}}$ неосновные носители в области базы постепенно рекомбинируют, создавая ток в цепи нагрузки диода. Поэтому длитель-

ность интервала $t_3 - t_2$ определяется как собственно параметрами диода, так и параметрами внешней цепи. При уменьшении сопротивления разряда $R_{\text{раз}} = R_n R_{\text{вн}} / (R_n + R_{\text{вн}})$ длительность $t_3 - t_2$ уменьшается.

Напряжение, присутствующее на диоде, после окончания импульса $e_{\text{вх}}$ принято называть *послеинжекционным*.

При больших частотах переключения на инерционные свойства полупроводниковых диодов начинают оказывать влияние емкость корпуса C_k и индуктивность выводов L_v . Для современных диодов $C_k = 0,1 \dots 0,4$ пФ, а $L_v = 1 \dots 20$ нГн. Поэтому эти параметры могут не учитываться вплоть до частот 100 МГц.

Приведенный анализ показывает, что инерционность полупроводникового диода является причиной искажений формы выходного напряжения диодного ключа, причем эти искажения тем существеннее, чем меньше длительность импульсов входного напряжения.

10.3. КЛЮЧИ НА БИПОЛЯРНЫХ ТРАНЗИСТОРАХ

Структура транзисторных ключей. В отличие от ключей на полупроводниковых диодах, ключи на транзисторах являются управляемыми, т. е. их статические характеристики определяются не значением и полярностью коммутируемого напряжения $e_{\text{вх}}$, а значением управляющего сигнала $e_{\text{упр}}$. В этом смысле для транзисторного ключа необходимо рассматривать две статические характеристики: одну для включенного, а другую для выключенного состояния транзистора.

Следует отметить две основные особенности включенного состояния транзисторного ключа.

1. *Включенное состояние ключа, как правило, соответствует работе биполярного транзистора в режиме насыщения.* В этом случае транзистор может быть заменен некоторым эквивалентным сопротивлением, которое зависит от его конструкции.

Действительно, биполярный транзистор, работающий в режиме насыщения, представляет собой два встречновключенных p - n -перехода (эмиттерный и коллекторный), каждый из которых смещен в прямом направлении. Для каждого из этих p - n -переходов, представляющих собой диоды, справедлива кусочно-линейная аппроксимация его ВАХ. Однако в связи с тем, что диоды включены встречно, напряжения $U_{\text{до эмиттерного}}$ и коллекторно-эмиттерного $U_{\text{до бк}}$ p - n -переходов взаимно компенсируют друг друга. Степень компенсации этих встречновключенных напряжений зависит от степени идентичности свойств рассматриваемых p - n -переходов. В реальных транзисторах из-за конструкторско-технологической асимметрии эмиттерного и коллекторного переходов не может быть достигнуто полной компенсации напряжений включения указан-

ных диодов. Однако, как показывает практика, в любом случае можно полагать $U_{\text{до БЭ}} + U_{\text{до БК}} \rightarrow 0$.

В связи с этим биполярный транзистор, работающий в режиме насыщения, для большинства практических случаев может быть замещен активным сопротивлением транзистора $R_{\text{нас}}$.

Заметим, что такое представление биполярного транзистора может быть использовано и при его работе в активном режиме. Здесь эквивалентное сопротивление в основном определяется значением управляющего сигнала. Однако использование режима насыщения позволяет значительно улучшить статические параметры ключа. Объясняется это следующим. При использовании режима насыщения рабочая точка транзистора находится в начальной части его выходных ВАХ ($U_{\text{кэ}} \rightarrow 0$). Особенностью этой части указанных характеристик является выполнение условия $dU_{\text{кэ}}/di_{\text{к}} = R_{\text{нас}} = \text{const}$. Поэтому в данном случае параметры включенного состояния биполярного транзистора практически не зависят от управляющего напряжения и изменение сигнала управления мало изменяет падение напряжения на включенном транзисторе.

2. Сопротивление $R_{\text{нас}}$ для включенного транзистора, как правило, меньше аналогичного сопротивления диодного ключа. Это очевидно из приведенного описания взаимной компенсации напряжений p - n -переходов.

Что касается выключенного состояния, соответствующего, как правило, режиму отсечки биполярного транзистора, то здесь свойства диодных и транзисторных ЭК примерно одинаковы.

Указанные особенности приводят к тому, что ключ на биполярном транзисторе по своим свойствам ближе к идеальному по сравнению с диодным.

Следует также отметить еще одну особенность ключей на биполярных транзисторах. Так как их выходные ВАХ при включении по схеме с общим эмиттером расположены в одном квадранте, то в практических схемах их используют при неизменной полярности коммутируемого напряжения $e_{\text{вх}}$. Конкретная полярность $e_{\text{вх}}$ определяется типом проводимости используемого биполярного транзистора.

В соответствие со сделанными замечаниями ниже приводятся схемы (рис. 10.10, а) и статические характеристики (рис. 10.10, б, в) передачи транзисторных ключей, выполненных по последовательной и параллельной СК. При получении аналитических зависимостей, характеризующих схемы рис. 10.10, а, учитывалось, что эмиттерный и коллекторный переходы биполярного транзистора симметричны и, поэтому $U_{\text{до БЭ}} + U_{\text{до БК}} = 0$.

Значения углов наклона приведенных характеристик легко найти из выражений (10.3) и (10.6), полученных ранее для диодных СК.

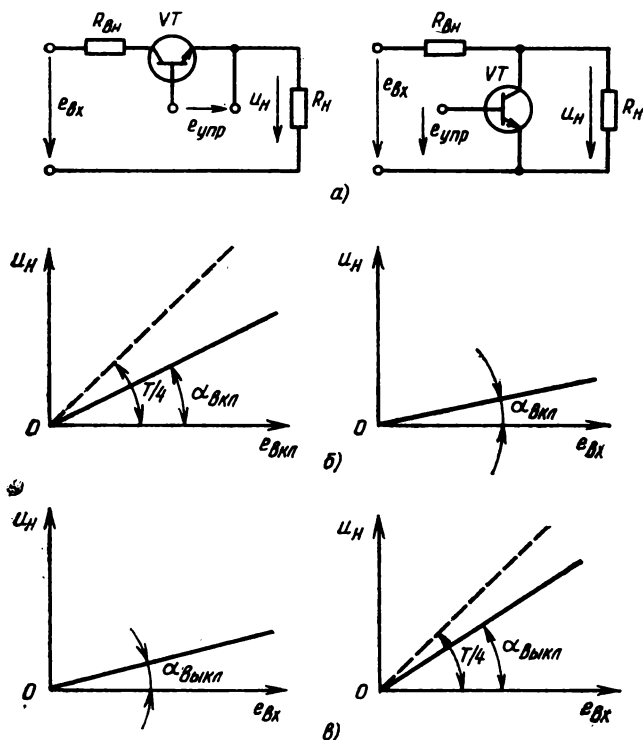


Рис. 10.10. Последовательная и параллельная схемы коммутации на биполярном транзисторе (а) и соответствующие статические характеристики передачи для включенного (б) и выключенного (в) состояний транзистора

При включенном транзисторном ключе:
для последовательной СК

$$\alpha_{вкл} = \arctg \frac{1}{1 + (R_{нас} + R_{BH})/R_H}; \quad (10.17)$$

для параллельной СК

$$\alpha_{вкл} = \arctg \frac{1}{1 + R_{BH} (1/R_{нас} + 1/R_H)}. \quad (10.18)$$

При выключенном транзисторном ключе:
для последовательной СК

$$\alpha_{выкл} = \arctg \frac{1}{1 + (R_{выкл} + R_{BH})/R_H}; \quad (10.19)$$

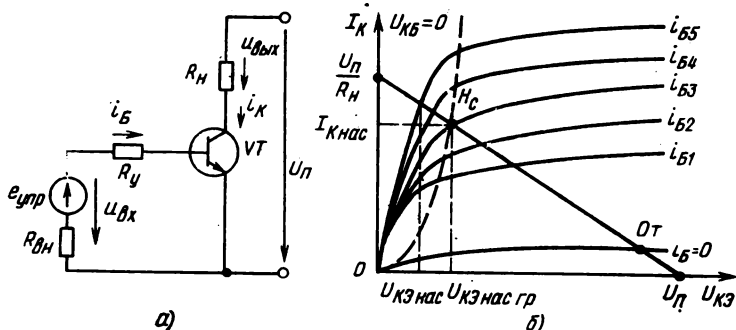


Рис. 10.11. Последовательная схема транзисторного ключа (а) и выходные ВАХ транзистора для схемы включения с общим эмиттером (б)

для параллельной СК

$$\alpha_{\text{выкл}} = \arctg \frac{1}{1 + R_{\text{вн}} (1/R_n + 1/R_{\text{выкл}})}, \quad (10.20)$$

где $R_{\text{выкл}}$ — эквивалентное сопротивление транзистора в выключенном состоянии.

Работа биполярного транзистора в ключевом режиме. При построении транзисторных ключей наибольшее распространение получила схема включения с общим эмиттером. Поэтому ниже рассмотрим особенности работы именно этой схемы.

На рис. 10.11, а, б приведены последовательная схема ЭК на биполярном транзисторе структуры $n-p-n$ и семейство выходных характеристик биполярного транзистора соответственно.

Проведем на семействе выходных характеристик нагрузочную прямую, соответствующую выбранному значению сопротивления R_n . Эта прямая отсекает на оси абсцисс напряжение U_n , а на оси ординат — ток, равный U_n/R_n . Пересечение кривой $U_{КБ}=0$ с нагрузочной прямой дает точку границы режима насыщения (точка H_c). Пересечение кривой $i_B=0$ с нагрузочной прямой дает точку границы режима отсечки (точка $Oт$, рис. 10.11, б).

В соответствии со сказанным для работы в ключевом режиме рабочая точка транзисторного каскада должна находиться либо левее точки H_c (режим насыщения), либо правее точки $Oт$ (режим отсечки). Нахождение между точками H_c и $Oт$ допускается только при переключении транзистора из насыщенного состояния в состояние отсечки или наоборот. Длительность нахождения транзистора в этой области для реального ЭК зависит от собственных частотных свойств транзистора. Поэтому именно эти свойства в большей степени и определяют предельное быстродействие реальной СК и, следовательно, возможность использования методов со-

временной микроэлектроники при ее изготовлении. Последнее зависит от мощности, выделяющейся в СК, которая прямо пропорциональна времени нахождения рабочей точки транзистора в интервале $H_c - O_t$.

Рассмотрим особенности работы биполярного транзистора в режиме насыщения. Как отмечалось ранее, режиму насыщения соответствует прямое смещение как эмиттерного, так и коллекторного переходов биполярного транзистора. Поэтому ток его базы равен сумме токов этих двух переходов и для транзистора выполняется неравенство

$$I_{B \text{ нас}} > I_K / h_{21Э} = I_{B \text{ гр}}, \quad (10.21)$$

где $I_{B \text{ нас}}$ — реальный базовый ток насыщенного транзистора (например, ток i_{B5} на рис. 10.11, б), соответствующий $U_{КЭ \text{ нас}}$; $I_{B \text{ гр}}$ — базовый ток, соответствующий границе активного режима работы и режима насыщения ($U_{КБ} = 0$) — ток i_{B3} на рис. 10.11, б.

Превышение базового тока насыщенного транзистора над его граничным значением принято характеризовать *коэффициентом насыщения*

$$q_{\text{нас}} = I_{B \text{ нас}} / I_{B \text{ гр}}. \quad (10.22)$$

Значение $q_{\text{нас}}$ обычно выбирается из следующих соображений: режим насыщения должен обеспечиваться при заданном технологическом разбросе параметров реального биполярного транзистора с учетом зависимости этих параметров от внешних возмущающих воздействий, например температуры;

увеличение $I_{B \text{ нас}}$ приводит к увеличению напряжения на прямосмещенном коллекторном переходе, что ведет к снижению напряжения между выводами коллектора и эмиттера, т. е. снижает мощность, рассеиваемую в выходной цепи биполярного транзистора;

чрезмерное увеличение $I_{B \text{ нас}}$ приводит к значительному увеличению мощности, рассеиваемой во входной цепи биполярного транзистора.

Расчеты показывают, что оптимальным с точки зрения перечисленных требований является значение $q_{\text{нас}}$ в диапазоне 1,5 ... 2,0.

Для уяснения особенностей выключенного состояния биполярного транзистора воспользуемся его ВАХ, приведенными на рис. 10.12. Они отражают зависимости токов транзистора от напряжения на эмиттерном переходе при его обратном и прямом смещении. При этом прямое смещение рассматривается только в области малых уровней инжекции.

Из приведенных характеристик видно, что коллекторный ток биполярного транзистора принципиально не может быть меньше значения I_{K0} . При этом напряжению $U_{БЭ} = 0$ соответствует $I_{K \text{ нач}} =$

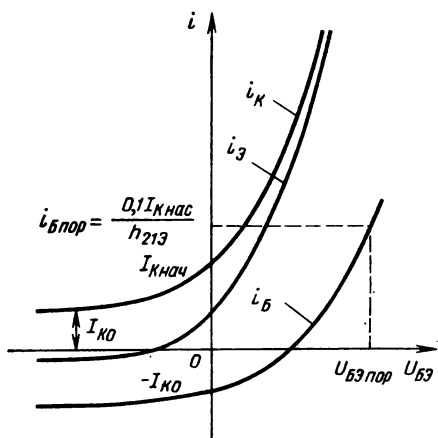


Рис. 10.12. Начальный участок ВАХ биполярного транзистора

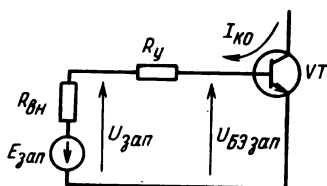


Рис. 10.13. Управляющая цепь транзисторного ключа

$= I_{К0} h_{21Э}$, т. е. при $U_{БЭ} = 0$ в коллекторной цепи транзистора протекает некоторый начальный ток, который в $h_{21Э}$ раз больше $I_{К0}$, где $h_{21Э}$ — коэффициент передачи тока для инверсного включения транзистора. Обычно $h_{21Э}$ в 2...3 раза меньше коэффициента передачи для нормального включения ($h_{21ЭН}$). Однако, учитывая реально существующую зависимость $h_{21Э} = \varphi(I_K)$ при $U_{БЭ} = 0$, можно считать $h_{21Э} \approx h_{21ЭН} = h_{21Э}$.

При проектировании импульсных и цифровых ЭУ принято считать, что транзистор выключен, если выполняется условие

$$i_K \leq 0,1 I_{К\text{нас}}, \quad (10.23)$$

что соответствует смещению эмиттерного перехода в прямом направлении меньшему некоторого порогового напряжения $U_{БЭ\text{пор}}$ (рис. 10.12). Поэтому на практике в зависимости от реального напряжения на эмиттерном переходе различают две разновидности выключенного состояния биполярного транзистора:

режим глубокой отсечки, характеризующийся тем, что эмиттерный переход внешним источником смещен в обратном направлении, ($U_{БЭ} < 0$), а ток базы транзистора равен току обратносмещенного коллекторного перехода, т. е. $I_B = -I_{К0}$;

режим пассивного запираения, характеризующийся неравенством

$$0 < U_{БЭ} < U_{БЭ\text{пор}}. \quad (10.24)$$

Очевидно, что при пассивном запираении мощность, рассеиваемая в биполярном транзисторе больше, чем в режиме глубокой отсечки.

Следует отметить, что для обеспечения режима глубокой отсечки важно не только наличие в цепи эмиттерного перехода запирающего источника. Важно также значение сопротивления управляющего резистора R_y , включенного во входную (управляющую) цепь биполярного транзистора (рис. 10.13). Ток $I_{к0}$ создает на этом резисторе падение напряжения $R_y I_{к0}$. Поэтому непосредственно к эмиттерному переходу прикладывается разность напряжения запирающего источника ($U_{зап}$) и падения напряжения на резисторе R_y , т. е. $U_{БЭ\ зап} = U_{зап} - I_{к0} R_y$. Для обеспечения режима глубокой отсечки сопротивление R_y должно удовлетворять неравенству

$$R_y \leq U_{зап} / I_{к0}. \quad (10.25)$$

Для режима пассивного запираания приближенно сопротивление R_y можно определить из неравенства

$$R_y \leq U_{БЭ\ пор} / I_{к0}. \quad (10.26)$$

Причинами переходных процессов, возникающих в схеме транзисторного ключа при переключении, так же, как и в схемах с полупроводниковыми диодами, являются процессы, связанные с изменением пространственного заряда неосновных носителей в области базы и процессы, связанные с перезарядом барьерных емкостей.

Для схемы ключа рис. 10.10, а указанные процессы определяются изменением тока базы биполярного транзистора. В установившемся режиме ток базы транзистора определяется только рекомбинацией неосновных носителей заряда. В переходном режиме к этому току добавляются составляющие, связанные с изменением пространственного заряда и перезарядом барьерных емкостей эмиттерного ($i_{э}$) и коллекторного ($i_{к}$) переходов. Таким образом, уравнение, описывающее зависимость тока базы от параметров биполярного транзистора в общем случае, имеет вид

$$C_{э}(dU_{БЭ}/dt) + C_{к}(dU_{БК}/dt) + dQ_{Б}/dt + Q_{Б}/\tau_{Б} = I_{Б}, \quad (10.27)$$

где $Q_{Б}/\tau_{Б}$ — рекомбинационная составляющая, равная отношению пространственного заряда области базы к времени жизни неосновных носителей $\tau_{Б}$; $dQ_{Б}/dt$ — составляющая, связанная с изменением пространственного заряда.

Обычно $C_{э}(dU_{БЭ}/dt) \ll C_{к}(dU_{БК}/dt)$, что связано, во-первых, с несимметричностью структуры биполярного транзистора и, во-вторых, с меньшими изменениями $u_{БЭ}$ по сравнению с $u_{БК}$. Поэтому, не внося значительную погрешность, выражение (10.27) можно переписать в виде

$$C_{к}(dU_{БК}/dt) + dQ_{Б}/dt + Q_{Б}/\tau_{Б} = I_{Б}. \quad (10.28)$$

По форме это уравнение аналогично уравнению (10.7), описываю-

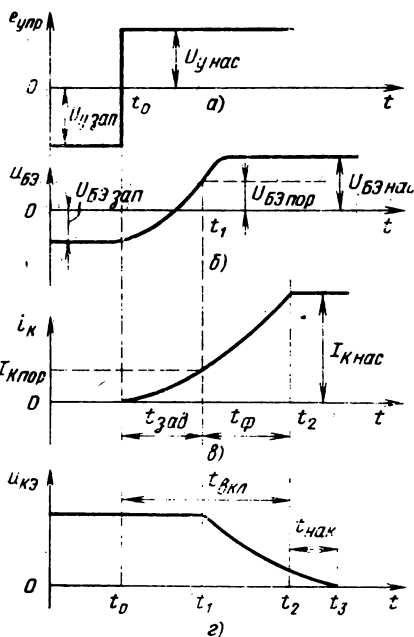


Рис. 10.14. Временные диаграммы включения биполярного транзистора:

а — управляющее напряжение; б — напряжение на эмиттерном переходе; в — коллекторный ток; г — напряжение коллектор — эмиттер

щему динамические свойства полупроводникового диода. Поэтому следует предполагать, что и процессы в биполярном транзисторе будут, в основном, повторять процессы в диоде.

Процессы включения биполярного транзистора. Предположим, что биполярный транзистор (см. рис. 10.11, а) первоначально при $t < t_0$ находился в состоянии глубокой осечки ($U_{БЭ} = U_{у зап}$) и в момент $t = t_0$ на управляющем входе ключа сформирован положительный перепад напряжения амплитудой $U_y = U_{у зап} + U_{у нас}$

и нулевой длительностью фронта. Тогда переходный процесс при включении транзистора можно разбить на три интервала (рис. 10.14): интервал задержки ($t_{зад}$); интервал формирования фронта коллекторного тока ($t_{ф}$); интервал накопления избыточного заряда в базе ($t_{нак}$).

На интервале задержки включения происходит перезаряд барьерной емкости эмиттерного перехода биполярного транзистора от напряжения $U_{БЭ зап}$ до $U_{БЭ пор}$. Особенностью этого интервала является малое изменение коллекторного тока биполярного транзистора, который фактически переходит из режима глубокой отсечки в режим пассивного запираения. Поэтому длительность этого интервала не зависит от процессов изменения объемного заряда базы. Длительность задержки можно определить из решения дифференциального уравнения для входной цепи транзистора

$$u_{БЭ} = U_{у нас} - (U_{у нас} - U_{БЭ зап}) \exp(-t/\tau_c), \quad (10.29)$$

где $\tau_c \approx (C_{э} + C_{к})R_y$ — постоянная времени входной цепи для интервала задержки.

Решив уравнение (10.29) относительно t при $u_{БЭ}(t) = U_{БЭ пор}$ получаем

$$t_{зад} = \tau_c \ln[(U_{у нас} - U_{БЭ зап}) / (U_{у нас} - U_{БЭ пор})]. \quad (10.30)$$

Следует подчеркнуть, что в выражениях (10.29) и (10.30) необходимо учитывать реальные знаки напряжений.

Очевидно, что этот этап при пассивном запираании биполярного транзистора отсутствует, так как $U_{БЭ \text{ зап}}$ примерно равно $U_{БЭ \text{ пор}}$.

Интервал формирования фронта коллекторного тока определяется как процессом перезаряда барьерной емкости коллекторного перехода, так и процессом накопления неосновных носителей заряда в области базы. При этом для дрейфовых транзисторов необходимо учитывать оба эти процесса. Для бездрейфовых транзисторов определяющим является процесс накопления заряда.

Рассмотрим сначала процессы, связанные только с изменением базового заряда, положив $C_K = 0$. Тогда уравнение (10.28) будет иметь вид

$$dQ_B/dt + Q_B/\tau_B = I_{B \text{ нас}}. \quad (10.31)$$

Решая (10.31) с учетом того, что $Q_B(t=t_0) = 0$ и $I_{B \text{ нас}} = I_{K \text{ нас}}/h_{21Э}$, получаем

$$Q_B(t) = I_{B \text{ нас}} \tau_B [1 - \exp(-t/\tau_B)]. \quad (10.32)$$

Переходный процесс закончится в момент, когда заряд, накопленный в базе, достигнет граничного значения, определяемого заданным током коллектора $I_{K \text{ нас}} = Q_{B \text{ гр}}/\tau_B$. Тогда из (10.32) получим выражение для определения длительности фронта коллекторного тока

$$t_{\phi} = \tau_B \ln \frac{I_{B \text{ нас}}}{I_{B \text{ нас}} - I_{K \text{ нас}} h_{21Э}}, \quad (10.33)$$

где $\tau_B = h_{21Э}/2\pi f_n$ — время жизни неосновных носителей в области базы.

Выражение (10.33) справедливо для бездрейфовых транзисторов. Для дрейфовых транзисторов влияние C_K можно учесть, введя в (10.33) уточненное значение постоянной времени

$$\tau'_B = \tau_B + h_{21Э} C_K R_K. \quad (10.34)$$

Относительно нагрузки процесс включения биполярного транзистора к моменту $t=t_2$ практически можно считать законченным. Дальнейшие процессы, протекающие в транзисторе, практически не влияют на его коллекторный ток. Однако переходный процесс собственно в транзисторе в момент t_2 не заканчивается, т. е. реальный ток базы больше тока $I_{K \text{ нас}}/h_{21Э}$ и в области базы продолжается процесс накопления избыточного заряда. Этот процесс завершится в момент, когда заряд базы достигнет значения $Q_{B \text{ нас}} = I_{B \text{ нас}} \tau_{\text{нак}}$, где $\tau_{\text{нак}}$ — постоянная времени накопления. Физически этот процесс проявляется в некотором уменьшении напряже-

ния между выводами эмиттера и коллектора, что связано с модуляцией сопротивления области базы.

Процесс накопления завершится за время

$$t_{\text{нак}} \approx (2 \dots 3) \tau_{\text{нак}}. \quad (10.35)$$

Соотношение между постоянными времени τ_b и $\tau_{\text{нак}}$ определяется технологией изготовления реальных транзисторов. Так, для бездрейфовых (сплавных) транзисторов $\tau_b < \tau_{\text{нак}}$. Для современных дрейфовых планарных транзисторов $\tau_b > \tau_{\text{нак}}$.

Процессы выключения биполярного транзистора. Предположим, что биполярный транзистор первоначально находился в состоянии насыщения и в момент $t=t_0$ на управляющем входе ключа сформирован отрицательный перепад напряжения с нулевой длительностью среза. Тогда переходный процесс при выключении транзистора можно разбить на три интервала (рис. 10.15):

интервал (t_1-t_0) рассасывания избыточного базового заряда ($t_{\text{рас}}$);

интервал (t_2-t_1) формирования спада коллекторного тока ($t_{\text{сп}}$);

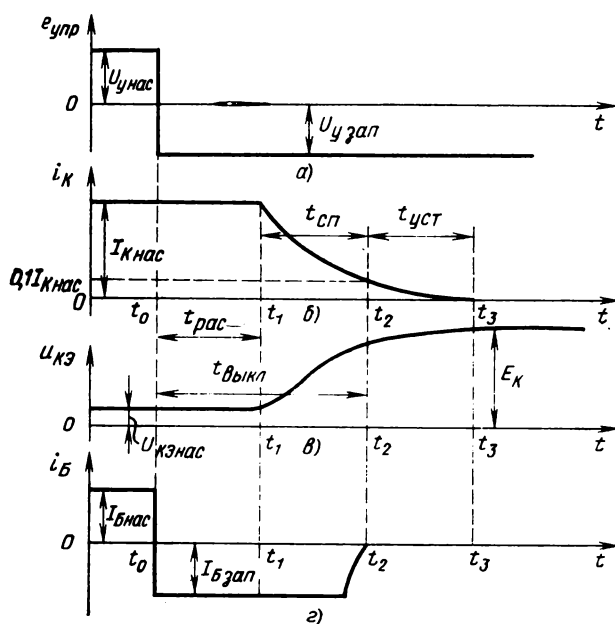


Рис. 10.15. Временные диаграммы выключения биполярного транзистора:

а — управляющее напряжение; б — ток коллектора; в — напряжение коллектор — эмиттер; г — ток базы

интервал ($t_3 - t_2$) установления стационарного запертого состояния ($t_{уст}$).

На интервале рассасывания избыточного заряда из области базы, который начинается сразу же после смены полярности управляющего напряжения и, следовательно, смены направления протекания тока базы (момент t_0 на рис. 10.15) происходит уменьшение объемного заряда базы с $Q_{Б\text{нас}} = I_{Б\text{нас}} \tau_{\text{нак}}$ до $Q_{Бгр} = -I_{К\text{нас}} \tau_{\text{нак}} / h_{21Э}$.

На этом интервале, относительно нагрузки, биполярный транзистор продолжает находиться во включенном состоянии, так как его коллекторный ток практически постоянен. Поэтому интервал $t_{\text{рас}}$ определяет задержку выключения биполярного транзистора.

На этом интервале напряжения на всех переходах (как для дрейфовых, так и бездрейфовых транзисторов) остаются постоянными. Следовательно, длительность $t_{\text{рас}}$ может быть найдена из (10.31) с учетом того, что $\tau_B = \tau_{\text{нак}}$

$$t_{\text{рас}} = \tau_{\text{нак}} \ln \frac{\Delta I_B}{I_{К\text{нас}} h_{21Э} - I_{Б\text{зап}}}, \quad (10.36)$$

где $\Delta I_B = I_{Б\text{нас}} - I_{Б\text{зап}}$ — перепад базового тока; $I_{Б\text{зап}} = (U_{\text{зап}} + U_{БЭ}) / (R_y + r_{БЭ})$ — запирающий ток биполярного транзистора; $r_{БЭ}$ — сопротивление базы транзистора.

Отметим, что в (10.36) так же, как и в последующих выражениях, необходимо учитывать реальные знаки токов и напряжений.

Следует отметить, что выражение (10.36) аналогично выражению для времени рассасывания полупроводникового диода. Это объясняется тем, что времена рассасывания как для полупроводникового диода, так и для транзистора определяются решением одного и того же уравнения диффузии (10.31) при одних и тех же начальных условиях. Действительно, для полупроводникового диода согласно выражению (10.13) имеем

$$t_{\text{рас д}} = \tau_B \ln (1 + I_{\text{пр}} / I_{\text{обр}}) = \tau_B \ln [(I_{\text{пр}} + I_{\text{обр}}) / I_{\text{обр}}] = \tau_B \ln \Delta I_D / I_{\text{обр}}. \quad (10.37)$$

В выражениях (10.36) и (10.37) $I_{К\text{нас}} / h_{21Э} - I_{Б\text{зап}}$ и $I_{\text{обр}}$ отражают одну и ту же физическую величину. Фактически эти значения пропорциональны разности граничного заряда базы и заряда, который должен присутствовать в базовой области полупроводникового прибора в случае, если переходный процесс переключения заканчивается установлением стационарного состояния, соответствующего значениям токов $I_{Б\text{зап}}$ и $I_{\text{обр}}$.

Интервал формирования спада коллекторного тока по физике процесса аналогичен интервалу формирования фронта коллекторного тока при включении биполярного транзистора. На нем происходит как изменение (уменьшение) объемного заряда базы от $Q_{Бгр}$ до 0, так и перезаряд коллекторной емкости. Поэтому по-

стоянные времени, характеризующие этот интервал для дрейфовых и бездрейфовых транзисторов, различны. Численное значение $t_{\text{сп}}$ для бездрейфовых транзисторов можно получить из решения уравнения (10.31)

$$t_{\text{сп}} = \tau_B \ln [(I_{\text{К нас}}/h_{21Э} - I_{\text{Б зап}})/(-I_{\text{Б зап}})]. \quad (10.38)$$

Для определения времени спада дрейфовых транзисторов в (10.38) надо подставить уточненное значение постоянной времени в соответствии с (10.34).

Интервал установления стационарного закрытого состояния связан с уменьшением базового напряжения от $U_{\text{БЭ пор}}$ до $U_{\text{у зап}}$. Процессы, происходящие при этом в биполярном транзисторе, аналогичны рассмотренным ранее процессам на интервале задержки включения транзистора. Длительность этого процесса может быть определена по выражению аналогичному (10.30). Очевидно, что этот интервал существует лишь в случае, когда после выключения биполярный транзистор попадает в режим глубокой отсечки.

Следует отметить, что все описанные выше процессы имеют место, когда частота переключения биполярного транзистора ($f_{\text{ком}}$) ниже частоты $f_{\text{пр}}$, рассчитанной из условия полного завершения всех стадий его включения—выключения, т. е.

$$f_{\text{ком}} < f_{\text{пр}} = \max \{1/[2(t_{\text{зад}} + t_{\text{ф}} + t_{\text{нак}})]; 1/[2(t_{\text{рас}} + t_{\text{сп}} + t_{\text{уст}})]\}. \quad (10.39)$$

В противном случае, если $f_{\text{ком}} > f_{\text{пр}}$, длительности всех процессов изменяются. Например, если выключение биполярного транзистора начинается до момента завершения интервала $t_{\text{нак}}$ (см. рис. 10.14), длительность $t_{\text{рас}}$ будет меньше, чем рассчитанная из (10.38). В пределе, если $t_{\text{нак}} = 0$, т. е. длительность импульса включения $t_{\text{н}} = t_{\text{зад}} + t_{\text{ф}}$, то время $t_{\text{рас}}$ будет полностью отсутствовать.

Пример 10.3. Рассчитать параметры транзисторного ключа рис. 10.11,а при следующих условиях: $U_{\text{п}} = 27$ В; $R_{\text{н}} = 10$ Ом; $U_{\text{г}} = \pm 4,8$ В. Транзистор КТ908А; $h_{21Э} = 20$; $\tau_B = 0,32 \cdot 10^{-6}$ с; $U_{\text{Б0}} = 0,6$ В; $R_{\text{нас}} = 0,1$ Ом; $r_{\text{Б}} = 1,5$ Ом; $C_{\text{к}} = 500$ пФ; $I_{\text{К0}} = 0,1$ мА; $I_{\text{К обр}} = 25$ мА ($R_{\text{бэ}} = 10$ Ом).

Решение. 1. Найдем параметры входной цепи транзистора, обеспечивающие включенное состояние транзистора

$$I_{\text{Б нас}} = (I_{\text{К нас}}/h_{21Э}) q_{\text{нас}} = (2,7/20) \cdot 1,5 \approx 0,2 \text{ А.}$$

Ток коллектора $I_{\text{К нас}} = U_{\text{п}}/R_{\text{н}} = 27/10 = 2,7$ А.

Спротивление управляющего резистора, обеспечивающее включение транзистора

$$R_{\text{г}} = \frac{U_{\text{у нас}} - U_{\text{БЭ}}}{I_{\text{Б нас}}} = \frac{4,8 - (0,6 + 0,2 \cdot 1,5)}{0,2} = 19,5 \text{ Ом.}$$

2. Найдем параметры входной цепи, обеспечивающие режим запираания. Согласно (10.25) $R_{\text{г}} < U_{\text{у зап}}/I_{\text{К0}} = 4,8/0,1 \cdot 10^{-3} = 48$ кОм. Окончательно выбираем $R_{\text{г}} = 18$ Ом. Тогда $I_{\text{Б нас}} = (4,8 - 0,6 - 0,2 \cdot 1,5)/18 = 0,216$ А.

3. Найдем время задержки включения транзистора. Согласно (10.30)

$$t_{\text{зад}} = \tau_c \ln \frac{U_{\text{у нас}} - U_{\text{БЭ зап}}}{U_{\text{у нас}} - U_{\text{БЭ пор}}};$$

$$U_{\text{БЭ зап}} = U_{\text{зап}} - R_y I_{K0} = 4,8 - 18 \cdot 0,1 \cdot 10^{-6} \approx 4,8 \text{ В.}$$

В качестве порогового примем напряжение $U_{\text{БЭ}}$, соответствующее режиму пассивного запираия при $R_{\text{БЭ}} = 10 \text{ Ом}$,

$$U_{\text{БЭ пор}} = \frac{I_K}{h_{21Э}} R_{\text{БЭ}} = \frac{25 \cdot 10^{-3}}{20} = 0,0125 \text{ В.}$$

Полагая $C_{\text{Э}} = C_K$, найдем

$$\tau_c = 2C_K R_y = 2 \cdot 500 \cdot 10^{-12} \cdot 10 = 1,8 \cdot 10^{-8} \text{ с.}$$

$$\text{Тогда } t_{\text{зад}} = 1,8 \cdot 10^{-8} \ln \frac{4,8 - (-4,8)}{4,8 - 0,0125} \approx 1,24 \cdot 10^{-8} \text{ с.}$$

4. Длительность фронта включения транзистора согласно (10.3) равна

$$t_{\text{ф}} = \tau_B' \ln \frac{I_{\text{Б нас}}}{I_{\text{Б нас}} - I_{\text{К нас}} / h_{21Э}}.$$

Если учесть, что $\tau_B' = 0,32 \cdot 10^{-6} + 20 \cdot 500 \cdot 10^{-12} \cdot 10 \approx 0,42 \cdot 10^{-6} \text{ с.}$

$$\text{То } t_{\text{ф}} = 0,42 \cdot 10^{-6} \ln \frac{0,216}{0,216 - 2,7/20} = 0,41 \cdot 10^{-6} \text{ с.}$$

5. Максимальная длительность интервала накопления согласно (10.35) при условии $\tau_{\text{нак}} = 3\tau_B'$ равна $t_{\text{нак}} = 3 \cdot 0,42 \cdot 10^{-6} = 1,26 \cdot 10^{-6} \text{ с.}$

6. Время рассасывания транзистора согласно (10.36)

$$t_{\text{рас}} = \tau_{\text{нак}} \ln \frac{\Delta I_{\text{Б}}}{I_{\text{К нас}} / h_{21Э} - I_{\text{Б зап}}};$$

$$\Delta I_{\text{Б}} = I_{\text{Б нас}} - I_{\text{Б зап}};$$

$$I_{\text{Б зап}} = \frac{U_{\text{у зап}} - (U_{\text{Б0}} + r_{\text{Б}} I_{\text{Б зап}})}{R_y},$$

где $I_{\text{Б зап}}$ — базовый ток транзистора на интервале рассасывания. Решая последние выражения относительно $I_{\text{Б зап}}$, получаем:

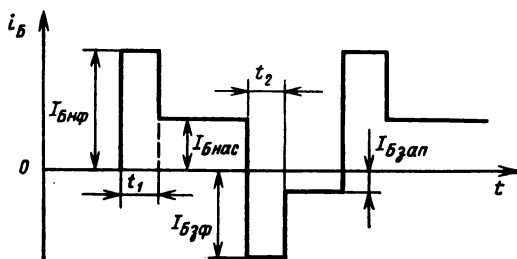
$$I_{\text{Б зап}} = (U_{\text{у зап}} - U_{\text{Б0}}) / (R_y + r_{\text{Б}}) = (-4,8 - 0,6) / (18 + 1,5) = 0,215 \text{ А};$$

$$t_{\text{рас}} = 0,42 \cdot 10^{-6} \ln \frac{0,216 - (-0,215)}{2,7/20 - (-0,215)} = 0,087 \cdot 10^{-6} \text{ с.}$$

7. Время спада коллекторного тока. Согласно (10.38)

$$t_{\text{сп}} = \tau_B' \ln \frac{I_{\text{К нас}} h_{21Э} - I_{\text{Б зап}}}{-I_{\text{Б зап}}} = 0,42 \cdot 10^{-6} \ln \frac{2,7/20 - (-0,215)}{-(-0,215)} \approx 0,2 \cdot 10^{-6} \text{ с.}$$

Рис. 10.16. Оптимальная форма управляющего сигнала



8. Полагая $t_{уст} = t_{нак}$, определяем минимальное значение максимальной частоты коммутации $f_{ком}$

$$f_{ком} = \frac{1}{2(t_{зад} + t_{ф} + t_{нас})} = \frac{1}{2(1,24 \cdot 10^{-9} + 0,41 \cdot 10^{-8} + 1,26 \cdot 10^{-6})} = 594 \text{ кГц.}$$

Повышение быстродействия ключей на биполярных транзисторах. Приведенный анализ показал, что биполярный транзистор является достаточно инерционным элементом, причем его инерционность определяется как собственными частотными свойствами транзистора, так и параметрами управляющего сигнала. Последнее обстоятельство имеет большое практическое значение, так как, формируя определенным образом сигнал управления, можно существенно влиять на инерционную ЭК на биполярном транзисторе.

Метод форсированного переключения транзистора широко применяют на практике для повышения быстродействия ЭК. Суть данного метода состоит в том, что на интервалах включения и выключения формируют такие значения управляющего сигнала, которые существенно превосходят аналогичные, необходимые с точки зрения обеспечения стационарно включенного и выключенного состояний биполярного транзистора.

Оптимальным с точки зрения уменьшения времен переключения транзистора является управляющий сигнал, приведенный на рис. 10.16. Параметры этого сигнала должны выбираться из следующих условий: $I_{Bнф}$ и $I_{Bзф}$ должны обеспечивать заданные времена включения и выключения транзистора; $I_{Bнас}$ и $I_{Bзап}$ должны гарантировать работу транзистора соответственно в режимах насыщения и отсечки; интервалы t_1 и t_2 должны равняться $t_1 = t_{зад} + t_{ф} + t_{нак}$, $t_2 = t_{рас} + t_{сп} + t_{уст}$.

Однако практическое формирование такого сигнала является весьма сложной технической задачей. Объясняется это тем, что в соответствии с вышеприведенными выражениями все перечисленные параметры взаимосвязаны и к тому же зависят от параметров реального транзистора. Поэтому на практике используют

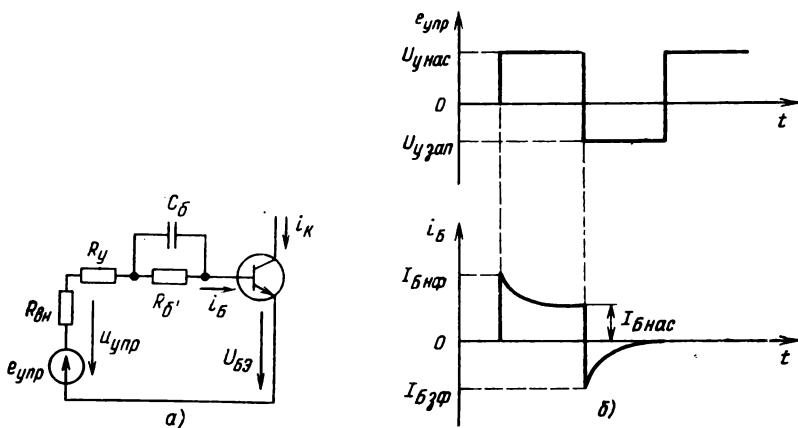


Рис. 10.17. Схема управления биполярным транзистором с форсирующим конденсатором (а) и временные диаграммы, поясняющие ее работу (б)

ся более простые управляющие сигналы, по форме приближающиеся к оптимальным.

Наиболее просто эта идея реализуется в схеме с форсирующим конденсатором в управляющей цепи (рис. 10.17, а). В момент включения управляющего сигнала $e_{упр} = U_{у нас}$, в соответствии со вторым законом коммутации, входной базовый ток скачкообразно изменяется от 0 до $I_{б нф}$ — начального импульса базового тока. По мере заряда конденсатора ток базы постепенно уменьшается до стационарного значения $I_{б нас}$ (рис. 10.17, б). Базовый ток в момент включения $e_{упр}$ определяется выражением

$$I_{б нф} \approx (U_{у нас} + U_{C_б \text{ выкл}} - U_{БЭ})/R_y, \quad (10.40)$$

где $U_{C_б \text{ выкл}} = I_{б зап} R'_б$ — напряжение на конденсаторе непосредственно перед переключением; $R'_б$ — сопротивление дополнительного ограничительного резистора.

При получении выражения для $I_{б нф}$ полагалось, что частота коммутации достаточно высока и разрядом конденсатора $C_б$ на $R'_б$ можно пренебречь. Иначе $U_{C_б}$ стремится к значению $-I_{к0} R'_б \approx 0$.

В стационарном режиме

$$I_{б нас} = (U_{у нас} - U_{БЭ})/(R_y + R'_б). \quad (10.41)$$

Очевидно, что выбором параметров схемы можно обеспечить

$$I_{б нф} \gg I_{б нас}.$$

Аналогично для процесса выключения запирающий базовый ток

$$I_{Б\text{ зф}} = (U_{у\text{ зап}} + U_{C_6\text{ вкл}} + U_{БЭ})/R_y, \quad (10.42)$$

где $U_{C_6\text{ вкл}} = I_{Б\text{ нас}} R_6'$.

Постоянная времени $R_6' C_6$ выбирается, как правило, из условия окончания процессов перезаряда C_6 на интервале $t = t_{\text{рас}} + t_{\text{сп}}$.

Если время перезаряда C_6 будет меньше указанного, то окончательная фаза выключения будет происходить при номинальных значениях управляющего сигнала, что снижает эффективность рассматриваемой управляющей цепи.

Увеличение постоянной времени $R_6' C_6$ положительно сказывается на процессах формирования переключения транзисторного ключа. Однако при этом возникают ограничения на максимальную частоту переключения, так как при этом необходим дополнительный интервал до завершения процесса перезаряда C_6 . В противном случае, если процесс перезаряда емкости C_6 не завершён к следующему переключению транзистора, эффективность рассматриваемой цепи падает.

Пример 10.4. Для условий примера 10.3 рассчитать времена переключения транзистора при использовании схемы управления рис. 10.17, а и $R_y = R_6'$.

Решение. 1. Будем полагать, что частота коммутации транзистора много меньше предельной и за время закрытого состояния транзистора конденсатор C_6 успевает разрядиться через резистор R_6' .

2. По условию $R_y = R_6' = 18/2 = 9$ Ом, принимаем $R_y = R_6' = 9,1$ Ом.

3. В соответствии со сделанным допущением определим базовый ток при включении в предположении, что U_{C_6} на интервале t_f равно 0. Тогда $I'_{Б\text{ нас}} = (U_y - U_{Б0}) / (R_y + r_B) = (4,8 - 0,6) / (9,1 + 1,5) = 0,4$ А.

4. Длительность фронта включения

$$t_f = \tau_B' \ln [I'_{Б\text{ нас}} / (I'_{Б\text{ нас}} - I_{К\text{ нас}}/h_{21Э})] = 0,42 \cdot 10^{-6} \ln [0,4 / (0,4 - 2,7/20)] = 0,17 \cdot 10^{-6} \text{ с.}$$

5. На интервале выключенного состояния конденсатор C_6 зарядится до напряжения $U_{C_6} = I_{Б\text{ нас}} R_6' = 0,216 \cdot 9,1 = 1,96$ В.

6. Полагая, что за время $t = t_{\text{рас}} + t_{\text{сп}}$ напряжение U_{C_6} остается неизменным, определим

$$I'_{Б\text{ зап}} = \frac{U_{\text{зап}} - U_{Б0} + U_{C_6}}{R_y + r_B} = \frac{-4,8 - 0,6 - 1,96}{9,1 + 1,5} = -0,69 \text{ А;}$$

$$t_{\text{рас}} = \tau_{\text{нак}} \ln \frac{\Delta I_B}{I_{К\text{ нас}}/h_{21Э} - I_{Б\text{ зап}}} = 0,42 \cdot 10^{-6} \ln \frac{0,216 - (-0,69)}{2,7/20 - (-0,69)} = 0,039 \cdot 10^{-6} \text{ с;}$$

$$t_{\text{сп}} = \tau_B' \ln \frac{I_{К\text{ нас}}/h_{21Э} - I_{Б\text{ зап}}}{-I_{Б\text{ зап}}} = 0,42 \cdot 10^{-6} \ln \frac{2,7/20 - (-0,69)}{0,69} = 0,075 \cdot 10^{-6} \text{ с.}$$

Сравнивая результаты расчета со значениями из примера 10.3, можно утверждать, что применение конденсатора C_6 позволило более чем в 2 раза уменьшить времена t_{ϕ} , $t_{\text{рас}}$ и $t_{\text{сп}}$.

7. С учетом сделанных допущений, постоянную времени цепи $R'_6 C_6$ выберем, равную $\tau = 2 \cdot 10^{-6}$ с. Тогда $C_6 = \tau / R'_6 = 2 \cdot 10^{-6} / 9,1 = 0,22 \cdot 10^{-6}$ Ф $= 0,22$ мкФ.

Расчеты показывают, что существенную долю времени выключения биполярного транзистора, особенно при пассивном запирании, составляет время его рассасывания. Поэтому исключение этого интервала приводит к существенному повышению быстродействия СК.

Ключи, в которых биполярный транзистор не попадает в режим глубокого насыщения, называются *ненасыщенными*. Обеспечить этот режим можно ограничением базового тока транзистора на уровне $I_{\text{Б нас}}$. Непосредственно путем соответствующего выбора элементов управляющей цепи это сделать не представляется возможным из-за большого разброса параметров реальных транзисторов и их температурной нестабильности. На практике для ограничения базового тока используют фиксацию минимального напряжения коллекторного перехода транзистора. Так как на границе насыщенного режима $U_{\text{КБ}} = 0$, то ограничивая это напряжение на уровне, близком к нулевому, можно, во-первых, ограничить $I_{\text{Б}}$, т. е. исключить накопление избыточных зарядов в области базы, тем самым исключить интервал рассасывания неосновных носителей при выключении транзистора, и, во-вторых, гарантировать включенное состояние транзистора во всех режимах эксплуатации. Этот режим реализуется в схемах, приведенных на рис. 10.18.

Очевидно, что в обеих схемах должно выполняться условие

$$i_{\text{Б}} = i_{\gamma} - i_{\text{Д}} \approx I_{\text{К нас}} / h_{21\text{Э}}, \quad (10.43)$$

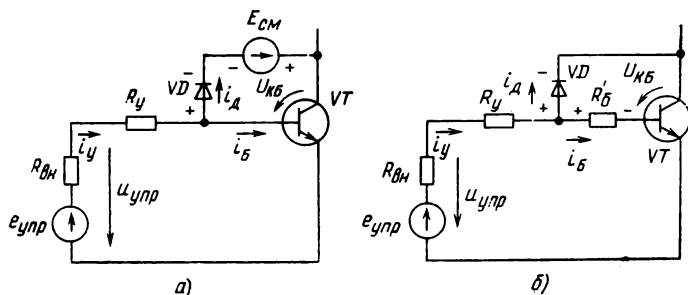


Рис. 10.18. Схемы ненасыщенных ключей на биполярном транзисторе с фиксацией напряжения $U_{\text{КБ}}$ дополнительным источником смещения $E_{\text{см}}$ (а) и базовым резистором (б)

10.4. КЛЮЧИ НА ПОЛЕВЫХ ТРАНЗИСТОРАХ

Замена в СК, приведенных на рис. 10.10, а, биполярного транзистора на полевой качественно не изменяет статические характеристики передачи устройства. Они по-прежнему имеют вид кусочно линейных функций, углы наклона которых описываются выражениями (10.17) — (10.20). Однако специфика свойств полевого транзистора несколько видоизменяет эти характеристики. Ниже остановимся на этих свойствах и их влиянии на параметры типовых СК, использующих полевой транзистор.

Анализируя приведенные в гл. 2 свойства полевого транзистора, можно сделать три важных для рассмотрения схем коммутации на полевых транзисторах выводы.

Управление электрическим полем предполагает управление напряжением, что в отличие от управления током, используемом в биполярном транзисторе, позволяет практически свести к нулю мощность, потребляемую для поддержания стационарных включенного и выключенного состояний. Поэтому теоретически в установившемся режиме коэффициенты передачи полевого транзистора по току и мощности стремятся к бесконечности.

Из физических процессов в полевом транзисторе следует, что данный прибор сохраняет свои характеристики и при смене полярности напряжения, приложенного между выводами стока и истока. Поэтому, как и в ключах на полупроводниковых диодах, входное напряжение схем коммутации на полевых транзисторах $e_{вх}$ может изменять свою полярность, т. е. статические характеристики передачи лежат в двух квадрантах.

Так как ток полевого транзистора в отличие от биполярного определяется только движением основных для полупроводника носителей заряда, то при его переключении принципиально отсутствуют процессы, связанные с изменением объемного заряда неосновных носителей. Это обуславливает переходные процессы в полевом транзисторе только процессом перезарядки соответствующих емкостей.

Указанные особенности предопределяют все более широкое применение полевых транзисторов в различных ЭУ.

Однако в СК эти несомненные достоинства могут быть реализованы только при учете специфических свойств полевого транзистора. К этим свойствам, в первую очередь, следует отнести следующие.

1. Полевой транзистор обладает худшими ключевыми свойствами по сравнению с биполярным. Практически это выражается в больших уровнях остаточного напряжения и выходного сопротивления во включенном состоянии.

2. Выходная ВАХ полевого транзистора на начальном участке качественно отличается от аналогичной характеристики биполярного транзистора зависимостью производной $di_c/di_{си}$ от управляющего напряжения $u_{зи}$ (см. рис. 2.18, а и 2.20, б).

Вследствие этого остаточное падение напряжения на включенном полевом транзисторе сильно зависит от значения управляющего напряжения. Для биполярного транзистора, находящегося в режиме насыщения, такая зависимость полностью отсутствует. Ослабить данный недостаток можно уменьшением рабочего тока стока, т. е. увеличением сопротивления нагрузки.

3. Необходимость увеличения сопротивления нагрузки при последовательном включении нескольких ключей, характерном для цифровых схем, увеличивает постоянную времени перезаряда емкости $\tau_n = R_n C_n$ и, следовательно, снижает быстродействие ключей на полевых транзисторах. Объясняется это тем, что входная цепь полевого транзистора носит емкостной характер ($C_{вх}$). Поэтому уменьшение емкости нагрузки ($C_n \approx C_{вх}$) для выбранного типа транзистора не представляется возможным.

При увеличении частоты коммутации значительно возрастает входной ток полевого транзистора, что обусловлено необходимостью перезаряда его входной емкости. Таким образом, коэффициент усиления по мощности с ростом частоты падает.

Следовательно, полностью реализовать преимущества схемы коммутации, выполненной на полевых транзисторах, можно только при невысоких частотах переключения и использовании специальных схемотехнических решений, позволяющих повысить скорость перезаряда C_n . Ниже остановимся на свойствах типовых схем ключей на полевом транзисторе.

Работа полевого транзистора при смене полярности напряжения сток-исток. При рассмотрении ВАХ полевых транзисторов в § 2.3 отмечалось, что при малых напряжениях $U_{си}$ его выходные характеристики практически линейны, причем их наклон пропорционален управляющему напряжению ($u_{зи}$). При смене напряжения на стоке в некоторых пределах эта линейность не нарушается. Эта особенность позволяет использовать полевой транзистор как в СК при изменяющейся полярности входного напряжения $e_{вх}$, так и в схемах аналоговых управляемых делителей напряжения, работающих в цепях постоянного или переменного тока.

Определим максимально допустимое обратное напряжение $U_{си}$.

Для полевых транзисторов с управляющим p - n -переходом максимальное сечение токопроводящего канала при смене полярности напряжения сток—исток сохраняется при условии отсутствия прямого тока p - n -перехода. Для кремниевого транзистора можно полагать, что это условие выполняется, если p - n -переход между

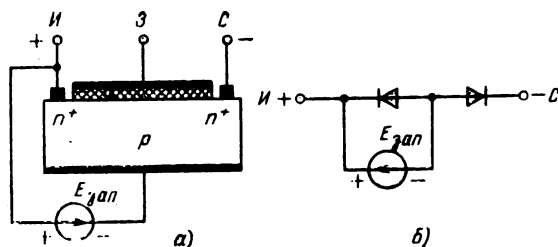


Рис. 10.20. Топология (а) и схема замещения (б) полевого транзистора с дополнительным источником смещения

затвором и стоком смещен в прямом направлении не более чем на $0,4 \dots 0,5$ В ($U_{зи} < 0,4 \dots 0,5$ В) или $|U_{си\text{ инв}}| \leq |U_{зи}| + 0,4 \dots 0,5$ В.

Для МДП-транзисторов этот диапазон может быть расширен при условии, если на подложку относительно истока подать запирающее напряжение (рис. 10.20). В этом случае $|U_{си\text{ инв}}| \leq |U_{зан}| + 0,4 \dots 0,5$ В.

Начальные участки выходных характеристик полевых транзисторов с управляющим p - n -переходом и изолированным затвором приведены соответственно на рис. 10.21, а, б.

В соответствии с приведенными характеристиками для полевых транзисторов с управляющим p - n -переходом R_{\min} соответствует $U_{зи} = 0$ (рис. 10.21, а), а для полевых транзисторов с изолированным затвором R_{\min} соответствует $U_{зи\text{ max}}$ (рис. 10.21, б).

Ключи на полевых транзисторах с активной нагрузкой. Полевой транзистор, так же как и биполярный, может быть использован в качестве ЭК для коммутации цепей различного назначения. При этом на практике полевые транзисторы с управляющим p - n -переходом применяются в качестве ключа аналоговых сигналов, т. е. для коммутации сигналов в аналоговых ЭУ.

Ключи, выполненные на полевых транзисторах с изолированным затвором, нашли применение в импульсных и цифровых

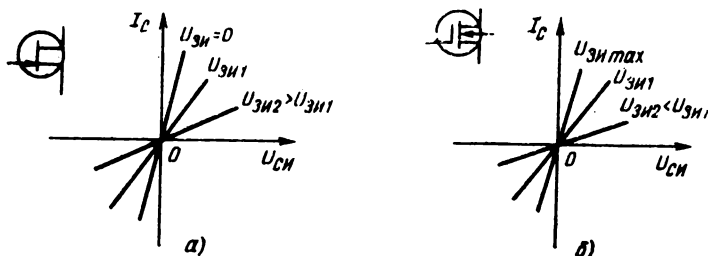


Рис. 10.21. Начальные участки выходных ВАХ полевого транзистора с p - n -переходом (а) и МДП-транзистора (б)

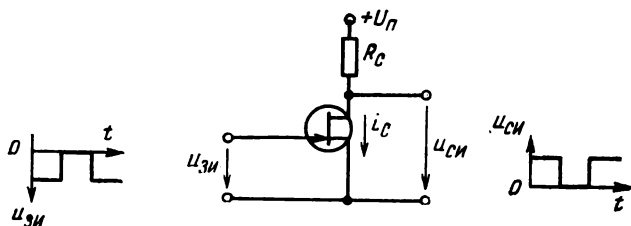


Рис. 10.22. Схема ключа на полевом транзисторе с p - n -переходом

устройствах. Общим для ЭК, выполненных на любых типах полевых транзисторов, является использование в замкнутом состоянии начального участка выходной характеристики, т. е. работа полевого транзистора в ненасыщенном режиме.

На рис. 10.22 приведена схема ключа, выполненного на полевом транзисторе с управляющим p - n -переходом и каналом n -типа. В зависимости от места подключения нагрузки она реализует либо последовательную ($R_c = R_n$), либо параллельную (R_n подключено параллельно выводам сток—исток транзистора) СК. В соответствии с этим изменяются и ее статические характеристики передачи.

Особенностью данного ключа является инвертирование управляющего сигнала при одновременной смене его полярности

$$u_{вх} = u_{зи} < 0 \rightarrow u_{вых} = u_{си} > 0.$$

Инерционность ключа данного типа определяется процессами перезаряда входной (емкость $C_{зи}$) и выходной (емкость $C_{си}$ плюс емкость нагрузки C_n) емкостей. Уменьшение времени фронта и среза поэтому связано с увеличением тока перезаряда этих емкостей.

Различие полярностей управляющего и выходного напряжений существенно усложняет схемотехнику устройств, требующих последовательного соединения нескольких ключей. Аналогичные проблемы возникают и при использовании МДП-транзисторов со встроенным каналом. По этой причине полевые транзисторы с управляющим p - n -переходом и со встроенным каналом в СК практически не используются.

От указанного недостатка свободны ключи, использующие МДП-транзисторы с индуцированным каналом. Как следует из статических характеристик, полярности входного ($U_{зи}$) и выходного ($U_{си}$) напряжений для транзистора этого типа совпадают. Это не создает трудностей при непосредственном последовательном соединении нескольких ключей. Данная особенность является его важным преимуществом перед ключами на полевых транзис-

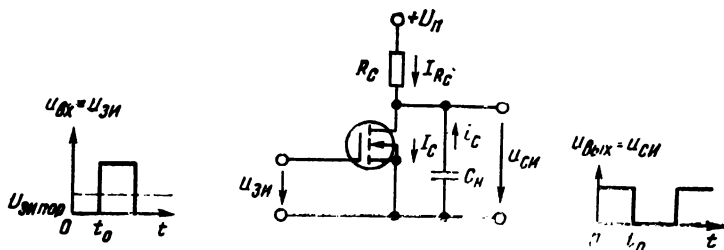


Рис. 10.23. Схема ключа на МДП-транзисторе с индуцированным каналом

торах других типов. Рассмотрим более подробно несколько типов ключей, выполненных на МДП-транзисторах с индуцированным каналом.

На рис. 10.23 приведена схема ключа на МДП-транзисторе с индуцированным каналом и резистивной нагрузкой. Резистор R_c в цепи стока выполняет роль балластного сопротивления, ограничивающего ток стока транзистора. Очевидно, что данная схема реализует параллельную СК. Учитывая, что ключи обычно включаются последовательно, а входная цепь МДП-транзистора, как указывалось выше, имеет емкостный характер, дополним схему рис. 10.23 емкостью нагрузки C_n . Предположим, что в исходном состоянии напряжение на затворе транзистора равно нулю. Транзистор заперт и емкость нагрузки заряжена до $U_{сн} \approx U_{п}$. В момент t_0 (рис. 10.24, а) на входе транзистора формируется положительный перепад напряжения амплитудой равной $U_{зи1} > U_{зи пор}$.

Поясним процессы, происходящие в схеме с помощью приведенной на рис. 10.24, б выходной характеристики транзистора. Для идеального источника входного сигнала ($R_{вн} = 0$) можно полагать, что в момент t_0 входная емкость транзистора практически мгновенно зарядится до $U_{зи1}$. Это соответствует тому, что на выходной характеристике рабочая точка мгновенно переместится из точки 1 в точку 2. Транзистор окажется в режиме насыщения и ток стока скачкообразно примет значение $I_c = I_{с нас}$, соответствующее заданному $U_{зи1}$. При этом скачкообразно изменяется также ток i_c выходного конденсатора C_n , причем $i_{C t_0} \approx I_{с нас}$.

В соответствии со вторым законом коммутации напряжение конденсатора не может измениться скачком. Поэтому $U_c(t_0) = U_{пит}$ и далее начинается процесс разряда конденсатора C_n током $I_{с нас}$. При этом, согласно первому закону Кирхгофа, выполняется условие $i_c = I_{с нач} - i_{R_c}$. На выходной характеристике транзистора (рис. 10.24, б) этот процесс соответствует перемещению рабочей точки транзистора из точки 2 в точку 3. Точка 3 соответствует выходу транзистора из режима насыщения, который, согласно вы-

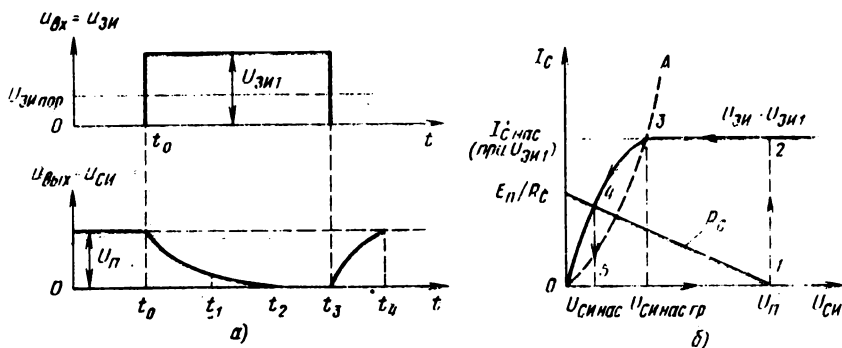


Рис. 10.24. Переходные процессы при переключении ключа на МДП-транзисторе (а) и траектория движения его рабочей точки (б)

ражению (2.24), соответствует моменту, при котором $u_c = U_{си нас гр} = U_{зи1} - U_{зи пор}$.

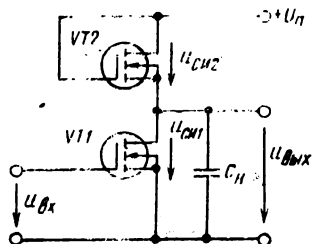
Дальнейшее движение рабочей точки на выходной характеристике транзистора к стационарному включенному состоянию (точка 4) происходит при уменьшающемся токе стока транзистора. В точке 4 ток перезаряда конденсатора i_c обращается в нуль и процесс включения завершается. Таким образом, интервал $t_{4-3} = t_2 - t_1$ соответствует работе полевого транзистора в режиме управляемого сопротивления и характеризуется резким уменьшением тока перезаряда емкости C_n . Поэтому, как правило, справедливо неравенство $t_{4-3} > t_{3-2}$.

Чтобы в стационарно включенном состоянии $U_{вых} = U_{си нас}$ было близко 0, необходимо выполнение условия $R_c \gg R_{си}$, где $R_{си}$ — выходное сопротивление транзистора, соответствующее заданному напряжению $U_{зи1}$. Это состояние будет продолжаться до момента t_3 , когда на входе транзистора будет сформирован отрицательный перепад с нулевой длительностью фронта.

Полагая, как и раньше, внутреннее сопротивление источника сигнала равным нулю, будем считать, что входная емкость (емкость затвора) транзистора перезаряжается мгновенно и ток стока транзистора скачком уменьшается до нуля. К моменту $t = t_3$ напряжение на выходном конденсаторе равно $U_{си нас}$ и не может измениться скачком. Скорость изменения напряжения на емкости нагрузки C_n , а следовательно, скорость изменения выходного напряжения после момента t_3 будут полностью определяться постоянной времени $R_c C_n$.

Таким образом, из приведенного анализа видно, что *быстродействие ключа на МДП-транзисторе с активной нагрузкой во*

Рис. 10.25. Схема ключа на МДП-транзисторе с нагрузочным МДП-транзистором



многим определяется не параметрами транзистора, а параметрами внешней цепи.

Повышение быстродействия такого ключа при заданных параметрах нагрузки (C_H) может быть достигнуто увеличением управляющего напряжения $U_{зи}$ или уменьшением балластного сопротивления R_C в цепи стока.

Однако увеличение $U_{зи}$ ограничено величиной $U_{пит}$. Уменьшение балластного сопротивления ведет, во-первых, к увеличению падения напряжения на включенном транзисторе и, во-вторых, к увеличению рассеиваемой транзистором мощности, что часто бывает нежелательным.

Ключ с нагрузочным МДП-транзистором. Частично устранить отмеченные недостатки ключа с активной нагрузкой R_C удастся при замене этого резистора дополнительным МДП-транзистором, выполняющим для основного ключевого элемента роль нелинейного балластного сопротивления (рис. 10.25). Для транзистора VT_2 можно записать $U_{зи2} = U_{си2}$. Поэтому $U_{зс2} = 0 < U_{зи2\text{ пор}}$ и во всех режимах работы, т. е. любых $U_{си2} = U_{пит} - U_{вых}$, VT_2 находится в насыщенном режиме, являясь генератором тока. Ток стока VT_2 пропорционален напряжению $U_{си2}$. Поясним сказанное при помощи выходных характеристик МДП-транзистора с индуцированным каналом (рис. 10.26).

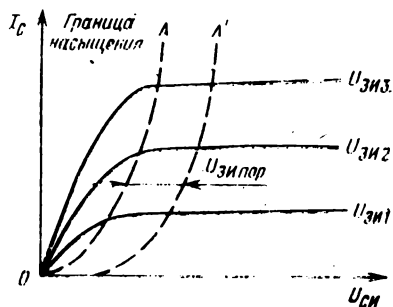


Рис. 10.26. Траектория движения рабочей точки нагрузочного МДП-транзистора

Согласно второму закону Кирхгофа $U_{зи} - U_{зс} = U_{си}$. Кривая, характеризующая границу области насыщения, как было показано ранее, соответствует условию $U_{зи} - U_{зи\text{пор}} = U_{си\text{нас}}$, т. е. для границы насыщения имеем $U_{зс} = U_{зи\text{пор}}$. В то же время мы условились, что для транзистора VT2 $U_{зс} = 0$. Поэтому его рабочая точка при изменении напряжения $U_{зи}$ будет двигаться по траектории, расположенной правее относительно границы насыщения (кривая OA) на величину $U_{зи\text{пор}}$ (кривая OA'). Таким образом, зависимость $I_{с2} = f(U_{си2})$ повторяет вид зависимости для границы насыщения и, следовательно, имеет явно нелинейный характер. Причем, чем выше напряжение $U_{си2}$, тем меньше эквивалентное сопротивление транзистора VT2, выполняющего роль балластного элемента в цепи стока ключа на транзисторе VT1.

Рассмотрим переходные процессы, протекающие в данной схеме (рис. 10.27). Будем, как и раньше, полагать, что до момента $t = t_0$ $u_{вх} < U_{зи\text{пор}}$ и транзистор VT1 заперт. Напряжение на выходе $U_{вых} = U_{п} - U_{зи\text{пор}2}$ (считаем, что транзистор идеален и при $U_{си2} = U_{зи\text{пор}2}$ ток стока $i_{с2} = 0$, т. е. выходная емкость не может зарядиться выше напряжения $U_{пит} - U_{зи\text{пор}2}$).

В момент $t = t_0$ к входу ключа подключается управляющее напряжение $u_{вх} > U_{зи\text{пор}}$. Если внутреннее сопротивление входного источника сигнала равно нулю, входная емкость транзистора VT1 мгновенно перезарядается и он попадает в режим насыщения. В то же время, в соответствии со вторым законом коммутации

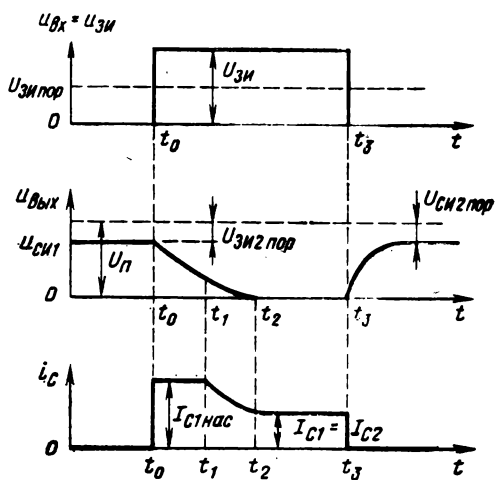


Рис. 10.27. Временные диаграммы переключения ключа на МДП-транзисторе с нагрузочным МДП-транзистором

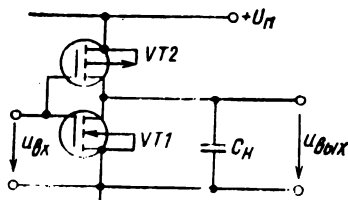


Рис. 10.28. Схема КМОП-ключа

напряжение на C_n , равное $U_n - U_{зи \text{ пор } 2}$, не может измениться мгновенно и спад напряжения $U_{си1}$ будет определяться скоростью перезаряда C_n . Так как $U_{зи2}$ мало, то $i_{C2} \ll i_{C1}$. Поэтому ток разряда C_n почти постоянен. Таким образом, протекающий процесс полностью аналогичен ранее рассмотренному процессу в ключе с активной нагрузкой. Отличие состоит лишь в том, что по мере разряда C_n ток транзистора $VT2$ растет чуть быстрее, чем ток i_{Rc} в схеме с балластным резистором R_c . Последнее может несколько затягивать процесс уменьшения напряжения на выходе.

Согласно сказанному, процесс уменьшения $u_{вых}$ сначала линеен ($VT1$ работает в насыщенном режиме), а затем, после выхода на часть выходной характеристики, соответствующей режиму управляемого сопротивления, ток i_{C1} плавно уменьшается до тех пор, пока не наступит равновесие токов $VT1$ и $VT2$, т. е. $I_{C1} = I_{C2}$. На этом процесс включения оканчивается.

В момент t_3 входное напряжение скачком уменьшается до величины $U_{зи} < U_{зи \text{ пор}}$. Так как $R_{вн}$ источника управляющего сигнала равно 0, то входная емкость мгновенно разряжается и ток i_{C1} скачком уменьшается до нуля.

Далее начинается процесс заряда C_n . Этот процесс идет существенно быстрее, чем в схеме с балластным резистором, так как первоначально $U_{си2} \approx U_n$ и начальный ток заряда C_n значительно больше, чем в схеме с балластным резистором.

Таким образом, применение вместо балластного резистора нагрузочного МДП-транзистора позволяет значительно повысить быстродействие ключа на МДП-транзисторе.

Следует отметить, что такое решение, ко всему прочему, является более технологичным и упрощает изготовление транзисторных ключей, так как технологически проще выполнить два одинаковых МДП-транзистора, чем транзистор и высокоомный (десятки и сотни килоом) резистор.

Ключ на комплементарных МДП-транзисторах (КМОП-ключ). Недостатком транзисторных ключей на МДП-транзисторах является тот факт, что во включенном состоянии транзистора через ключ протекает постоянный ток, который пропорционален сопротивлению нагрузки в цепи стока транзистора. В то же время при последовательном включении нескольких ключей этот ток не является принципиально необходимым, так как установившийся входной ток полевого транзистора практически равен нулю. Поэтому для переключения МДП-транзистора достаточно лишь перезарядить его входную емкость. Вследствие этого, постоянная составляющая тока, протекающая через включенный транзистор, является бесполезной и лишь приводит к перегреву транзисторного ключа. Желание уменьшить мощность, рассеиваемую транзистором и обусловленную наличием постоянной составляющей то-

ка, протекающего через него, приводит к необходимости увеличения сопротивления эквивалентной нагрузки, включенной в стоковую цепь МДП-транзистора, что, как было показано ранее, снижает его быстродействие.

От указанного недостатка свободен ключ, выполненный на комплементарных МДП-транзисторах, т. е. на транзисторах с каналами противоположного типа проводимости (рис. 10.28). В этом ключе затворы обоих МДП-транзисторов соединены между собой и образуют входной вывод. Стоки, объединенные вместе, образуют выходной вывод, а истоки совместно с подложками подключены соответственно к источнику $+U_n$ и общей шине.

Приведенная схема реализует структуру последовательно-параллельной СК. Ее статическая характеристика передачи также имеет вид кусочно-линейной функции, углы наклона которой могут быть вычислены с использованием выражений (10.18) и (10.20). При этом следует учитывать, что $R_{вн}$ состоит из собственного внутреннего сопротивления источника входного сигнала и сопротивления транзистора $VT2$. Последнее в зависимости от управляющего напряжения $u_{вх}$ может принимать два значения $R_{VT2} = R_{нас} \rightarrow 0$, если $VT2$ включен, и $R_{VT2} = R_{зап} \rightarrow \infty$, если $VT2$ выключен.

Особенностью данного ключа является тот факт, что, если напряжение питания U_n выбирается из условия

$$U_n \leq |U_{зи1 \text{ пор}1}| + |U_{зи \text{ пор}2}|, \quad (10.46)$$

то, как в установившемся, так и в переходном режимах, в рассматриваемой структуре, отсутствуют моменты, когда одновременно протекают токи стока обоих транзисторов.

Рассмотрим работу данного ключа. Предположим, что до момента $t=t_0$ управляющий входной сигнал отсутствует, т. е. $u_{вх}=0$ (рис. 10.29).

При этом относительно истока $VT2$ на его затворе присутствует напряжение

$$|U_{зи2}| = |U_n| > |U_{зи \text{ пор}2}|,$$

вследствие чего $VT2$ включен, C_n заряжена до $U_{пит}$. В связи с тем, что нагрузка, как видно на рис. 10.28, носит чисто емкостной характер, $i_{c2}=0$.

Транзистор $VT1$ при этом надежно заперт, так как $U_{зи1}=0 < U_{зи \text{ пор}1}$.

В момент $t=t_0$ на вход ключа подается положительный перепад с амплитудой U_n и длительностью фронта импульса t_ϕ . Пренебрегая процессами перезаряда входных емкостей транзисторов, будем считать, что напряжение на затворах $VT1$ и $VT2$ повторяет форму $u_{вх}$. Тогда в момент $t=t_1$ $|U_{зи2}| = |U_{зи \text{ пор}2}|$ и транзистор

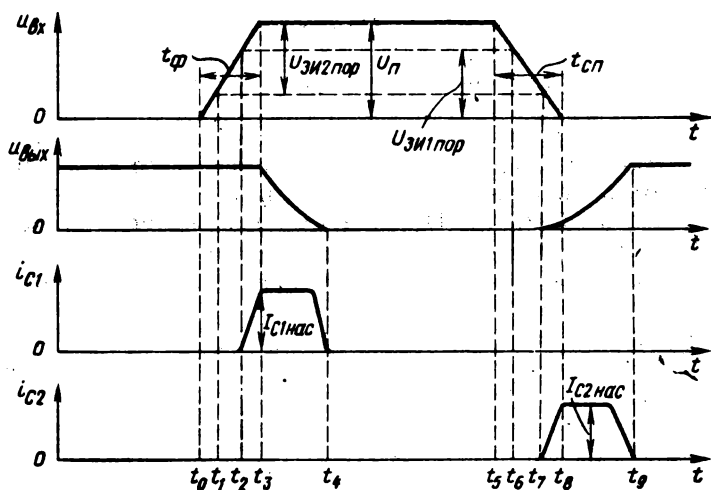


Рис. 10.29. Временные диаграммы переключения КМОП-ключа

$VT2$ закрывается. Так как ток в цепи нагрузки отсутствует, выходное напряжение остается на уровне $U_{\text{вых}} = U_{\text{п}}$.

На интервале $t_1 - t_2$

$$|U_{\text{ЗИ}2}| < |U_{\text{ЗИ пор}2}|; \quad U_{\text{ЗИ}1} < U_{\text{ЗИ пор}1} \quad (10.47)$$

и, поэтому, оба транзистора заперты. Напряжение на C_n не изменяется.

В момент $t=t_2$ $U_{\text{ЗИ}1} = U_{\text{ЗИ}1 \text{ пор}}$ и дальнейшее увеличение $u_{\text{вх}}$ приводит к отпиранию транзистора $VT1$. Транзистор попадает в область насыщения ($I_{\text{С}1 \text{ нас}}$) и начинается разряд C_n . По своему механизму он подобен процессам в выше рассмотренных ключах, за исключением того, что разряд конденсатора полностью осуществляется через $VT1$, так как $VT2$ заперт. Поэтому процесс разряда C_n идет быстрее, чем в рассмотренных ранее схемах. Следует отметить, что на интервале $t_0 - t_4$ схема не потребляет энергию от источника питания.

В момент t_4 $u_{\text{вых}} = U_{\text{С}1} \approx 0$ и $i_{\text{С}1} = 0$. Далее до момента t_5 так как $VT2$ надежно заперт, схема также практически не потребляет энергию от источника питания.

В момент t_5 на входе ключа действует отрицательный перепад с амплитудой $U_{\text{п}}$ и длительностью спада импульса $t_{\text{сп}}$.

При этом, по мере уменьшения $u_{\text{вх}}$ в момент t_6 закроется транзистор $VT1$. Напряжение на нагрузке при этом будет поддерживаться только за счет энергии, накопленной в выходной емкости транзистора и емкости нагрузки ключа. Далее, по мере уменьше-

ния входного напряжения, в момент t_7 открывается транзистор VT_2 . Это приведет к началу перезаряда выходной емкости C_n и напряжение на выходе ключа начнет увеличиваться. Процесс перезаряда так же, как и при включении ключа идет с максимально возможной скоростью, так как перезаряд происходит через транзистор VT_2 , так как VT_1 заперт.

В момент t_8 транзистор VT_2 полностью открыт, однако процесс перезаряда емкости нагрузки к этому времени еще не завершен, поэтому до момента t_9 ток $i_{c2} > 0$. В момент t_9 ток стока транзистора VT_2 падает до нуля, что свидетельствует об окончании процесса переключения.

Проведенный анализ показывает, что, если выполняется условие (10.46), в схеме отсутствует интервал, на котором насыщены оба транзистора. А это значит, что энергия, отбираемая от источника питания, только на интервале $t_7 - t_9$ расходуется исключительно на перезаряд выходной емкости ключа. Следовательно, эта мощность для используемых транзисторов сведена до минимально возможной. При этом скорость перезаряда выходной емкости максимальна, так как токи стоков транзисторов VT_1 и VT_2 протекают только через емкость нагрузки.

Таким образом, КМОП-ключ выгодно отличается от других ключей на полевых транзисторах достижением максимально высокого быстродействия при минимизации рассеиваемой мощности. Совмещение в одном устройстве двух столь противоречивых требований является причиной широкого использования КМОП-ключей при разработке устройств цифровой и импульсной техники.

Контрольные вопросы

1. Какие СК Вы знаете?
2. Что такое статическая характеристика СК?
3. Какие параметры характеризуют динамические свойства СК?
4. Чем определяется напряжение включения последовательного диодного ключа?
5. Какие предельные значения имеет угол наклона статической характеристики передачи диодных ключей?
6. Как влияет место включения источника смещения на вид статической характеристики передачи диодных ключей различных типов?
7. Чем определяются инерционные свойства полупроводникового диода?
8. Что такое эффект модуляции сопротивления базы диода?
9. Как барьерная емкость диода влияет на процессы установления напряжения на диоде при его включении?

10. Как уровень инжекции связан с инерционными свойствами полупроводникового диода при его включении?

11. Почему непосредственно после переключения входного напряжения полупроводниковый диод имеет практически нулевое сопротивление?

12. Докажите, что на интервале $t_{\text{рас}}$ полупроводниковый диод остается смещенным в прямом направлении.

13. Что такое заряд переключения полупроводникового диода?

14. Каким образом по заряду переключения можно определить время восстановления обратного сопротивления полупроводникового диода?

15. Какие отличия имеет переходный процесс в последовательном диодном ключе при входном напряжении в виде однополярных импульсов?

16. От чего зависит длительность действия послеинжекционного напряжения?

17. Почему падение напряжения на насыщенном транзисторе меньше падения напряжения на прямосмещенном диоде?

18. Докажите, почему падение напряжения на насыщенном транзисторе практически не зависит от сигнала управления.

19. Почему транзисторная схема коммутации характеризуется двумя статическими характеристиками передачи, в то время как для диодной схемы существует только одна такая характеристика?

20. Что такое коэффициент насыщения биполярного транзистора?

21. Докажите, почему мощность, рассеиваемая в транзисторе, находящемся в режиме пассивного запираания, больше мощности в режиме глубокой отсечки.

22. Как определить параметры цепи управления биполярного транзистора для обеспечения режимов пассивного запираания и глубокой отсечки?

23. В чем причина возникновения переходных процессов при переключении ключа на биполярном транзисторе?

24. Какие можно выделить стадии включения биполярного транзистора?

25. Сформулируйте условия, выполнение которых позволяет выделить три этапа включения биполярного транзистора.

26. Чем отличаются процессы переключения дрейфовых и бездрейфовых транзисторов?

27. Как время жизни неосновных носителей в области базы влияет на длительности фронта и спада коллекторного тока биполярного транзистора?

28. Почему процесс включения биполярного транзистора не заканчивается в момент $i_K = I_{K \text{ нас}}$?

29. Какие фазы выключения биполярного транзистора можно выделить?

30. Как изменяется коллекторный ток на интервале рассасывания неосновных носителей в области базы?

31. Как переходные процессы переключения биполярного транзистора связаны с частотой управляющего напряжения?

32. Почему применение форсирующего конденсатора в базовой цепи биполярного транзистора уменьшает время его переключения?

33. Какими способами можно обеспечить работу биполярного транзистора без захода в режим насыщения?

34. Назовите отличия статических характеристик передачи транзисторных ключей на полевых и биполярных транзисторах.

35. Чем отличаются процессы переключения биполярного и полевого транзисторов?

36. Какие параметры влияют на длительности переходных процессов в ключе на МДП-транзисторе с активной нагрузкой?

37. Докажите, что в ключе с нагрузочным МДП-транзистором последний выполняет роль нелинейного элемента.

38. Какая схема коммутации реализуется в КМОП-ключе?

39. При каких условиях КМОП-ключ обеспечивает наиболее экономичный режим работы?

40. Определите энергию, расходующуюся в КМОП-ключе при его включении — выключении.

ГЛАВА 11.

ТРИГГЕРНЫЕ И ГЕНЕРАТОРНЫЕ УСТРОЙСТВА

Во всех импульсных устройствах приходится иметь дело, как правило, только с двумя уровнями сигнала. Поэтому в основе их построения лежат рассмотренные в гл. 10 СК. Общим для всех СК является работа полупроводниковых приборов в ключевом режиме. Это предполагает возможность минимизации рассеиваемой в них мощности и, следовательно, использование при изготовлении методов гибридной и полупроводниковой технологий. Последнее является главной причиной широкого использования устройств импульсной электроники, позволяющих разрабатывать на своей основе надежные, экономичные, малогабаритные системы, предназначенные для решения различных практических задач.

Основные принципы работы и построения импульсных устройств рассмотрим на примере нескольких наиболее типичных схем, выполненных на биполярных транзисторах.

11.1. ТРАНЗИСТОРНЫЕ ТРИГГЕРЫ

Триггер (от англ. trigger — курок) — бесконтактное ЭУ с двумя устойчивыми состояниями равновесия, способное под воздействием внешнего управляющего сигнала переходить скачком из одного состояния в другое. Применительно к электронной схеме под устойчивым состоянием равновесия понимают такой режим ее работы, при котором токи и напряжения в любом ее элементе неизменны во времени (постоянны). При этом возникающие изменения (переменные составляющие), обусловленные действием внешних ограниченных по величине и длительности возмущений с течением времени стремятся к нулю. Следовательно, если устройство имеет устойчивое состояние равновесия, оно может находиться в нем произвольно длительное время.

С устройством, отвечающим перечисленным признакам, мы уже сталкивались в § 9.3. Это гистерезисный компаратор напряжения. Согласно передаточной характеристике (см. рис. 9.7, б), если его входной сигнал лежит в диапазоне $U_{от} < u_{вх} < U_{ср}$, выходное напряжение компаратора неизменно (либо $+U_{вых\max}$, либо $-U_{вых\max}$) и может поддерживаться на этом уровне сколько угодно долго. Для изменения уровня выходного напряжения необходимо, чтобы входное напряжение компаратора вышло из области гистерезиса его передаточной характеристики.

Анализируя схему компаратора, можно прийти к выводу, что для получения триггера, согласно выражению (9.9), необходимо и достаточно любой усилитель охватить цепью ПОС с коэффициентом передачи $b_{ос} > 1/K_0$, где K_0 — коэффициент передачи усилителя без цепи обратной связи. Этот принцип заложен в основу построения всех триггерных устройств.

В настоящее время разработано большое число различных триггерных схем, основное отличие которых заключается в типе используемого усилителя и способе введения в этот усилитель цепи ПОС. По этим признакам можно выделить два основных класса триггеров: с коллекторно-базовыми связями и с эмиттерной связью.

Триггер с коллекторно-базовыми связями, схема которого приведена на рис. 11.1, а, называют *симметричным триггером*. Понятие симметричности здесь относится не только к схеме, но и к параметрам ее элементов: $R_{к1} = R_{к2} = R_k$; $R_{б1} = R_{б2} = R_b$; $R_{см1} = R_{см2} \triangleq R_{см}$.

Триггер представляет собой две каскадно-соединенные управляемые ключевые схемы ($VT1, R_{к1}$ и $VT2, R_{к2}$), охваченные цепью ПОС. Для ускорения процессов, происходящих в устройстве, связи между выходом одной из схем коммутации с управляющим входом другой выполнены с использованием форсирующих RC -це-

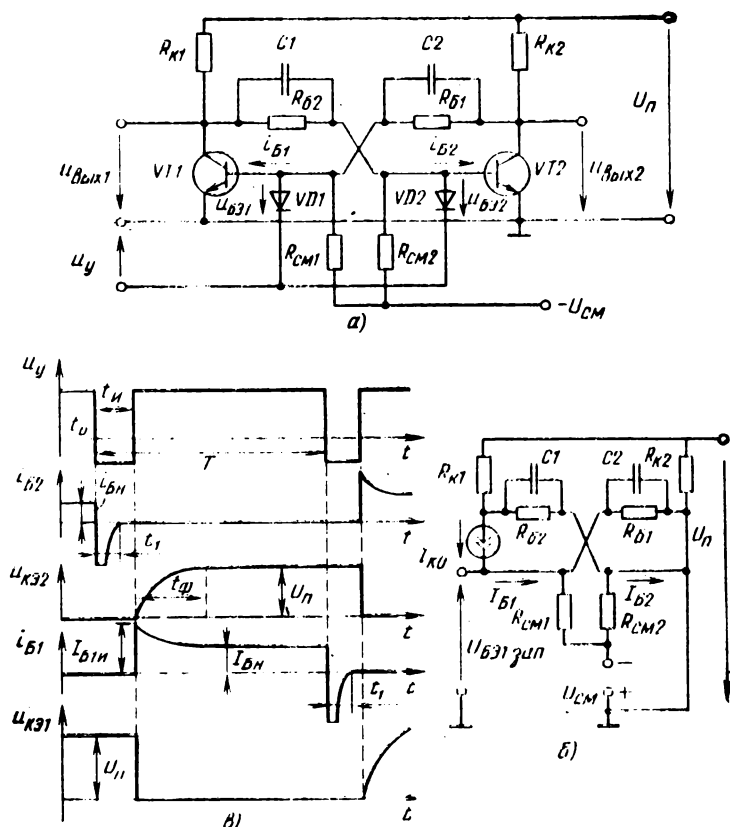


Рис. 11.1. Схема триггера с коллекторно-базовыми связями (а), его схема замещения (б) и временные диаграммы, поясняющие работу (в)

пей ($R_{б1}$, $C1$ и $R_{б2}$, $C2$). Кроме основного источника питания $+U_{н}$ в схеме используется дополнительный источник смещения $-U_{см}$, обеспечивающий через резисторы $R_{см1}$ и $R_{см2}$ подачу на базы транзисторов $VT1$ и $VT2$ некоторого запирающего сигнала.

Рассмотрим работу приведенной схемы. При подключении напряжения питания в базовых цепях транзисторов $VT1$ и $VT2$ начинают протекать токи, которые согласно первому закону Кирхгофа соответственно равны:

$$i_{б1} = \frac{(u_{вых2} - U_{БЭ1.0})/R_{б1} + (U_{см} - U_{БЭ1.0})/R_{см1}}{1 + r_{бх1}/R_{б1} + r_{бх1}/R_{см1}};$$

$$i_{б2} = \frac{(u_{вых1} - U_{БЭ2.0})/R_{б2} + (U_{см} - U_{БЭ2.0})/R_{см2}}{1 + r_{бх2}/R_{б2} + r_{бх2}/R_{см2}}, \quad (11.1)$$

где $U_{БЭ1.0}$, $r_{вх1}$ и $U_{БЭ2.0}$, $r_{вх2}$ — параметры кусочно-линейной аппроксимации входной характеристики транзисторов $VT1$ и $VT2$.

Полагая, для $VT1$ и $VT2$ $h_{21Э} \gg 1$, можно записать:

$$\begin{aligned} u_{вх2} &= U_{п} - i_{Б2} h_{21Э2} R_{к2}; \\ u_{вх1} &= U_{п} - i_{Б1} h_{21Э1} R_{к1}. \end{aligned} \quad (11.2)$$

Очевидно, для полностью симметричной схемы $i_{Б1} = i_{Б2}$ и $u_{вх1} = u_{вх2}$, что предполагает работу обоих транзисторов в активном режиме. Однако на практике достичь полной симметрии схемы не удастся. Предположим, что в некоторый момент $i_{Б1} < i_{Б2}$. Тогда, согласно (11.2), $u_{вх2} < u_{вх1}$. Увеличение $u_{вх1}$, в свою очередь [см. (11.1)], повлечет дальнейшее увеличение $i_{Б2}$ и падение $u_{вх2}$. Следует отметить, что процесс изменения токов из-за действия цепи ПОС протекает лавинообразно. Следовательно и процесс переключения транзисторов в триггерном устройстве носит лавинообразный (регенеративный) характер. Он завершается в момент времени, когда один из транзисторов (в данном случае $VT2$) попадает в режим насыщения, а другой ($VT1$) — в режим глубокой отсечки, что приводит к фактическому размыканию цепи ПОС. Это состояние схемы будет устойчивым. При этом, если транзистор насыщен, $U_{БК} = U_{БЭ} = U_{КЭ} = 0$, если заперт, $I_{Э} = 0$ и $I_{Б} = -I_{КО}$. Схема замещения для рассматриваемого состояния триггера показана на рис. 11.1, б. Напряжение эмиттерного перехода запертого транзистора $VT1$ (рис. 11.1, б) $U_{БЭ1 \text{ зап}} = I_{КО} R_{см1} R_{б1} / (R_{см1} + R_{б1}) - U_{см1} R_{б1} / (R_{см1} + R_{б1})$. При $U_{БЭ1 \text{ зап}} = 0$ устойчивое запертое состояние $VT1$ определяется из условия

$$R_{см1} \leq U_{см1} / I_{КО}. \quad (11.3)$$

С одной стороны, для насыщения $VT2$ необходимо, чтобы $I_{Б2} \gg U_{п} q / R_{к2} h_{21Э \min}$, где q — степень насыщения; $h_{21Э \min}$ — минимальный коэффициент передачи тока транзистора $VT2$. С другой стороны, справедливо выражение $I_{Б2} = (U_{п} - I_{КО} R_{к1}) / (R_{к1} + R_{б2}) - U_{см1} / R_{см2}$.

Учитывая симметричность триггера, решаем выражение для $I_{Б2}$ относительно $R_{б1}$; получаем условие для устойчивого насыщенного состояния транзистора

$$R_{б1} \leq R_{к1} \left[\frac{h_{21Э \min} (1 - I_{КО} R_{к1} / U_{п})}{q + h_{21Э \min} U_{см1} R_{к1} / U_{п} R_{см1}} - 1 \right]. \quad (11.4)$$

Таким образом, при выполнении условий (11.3) и (11.4) состояние, установившееся после включения схемы, будет устойчивым.

Вывести триггер из устойчивого состояния можно только подачей внешнего управляющего сигнала u_y в базовые или коллек-

торные цепи его транзисторов. Если u_y подается только в цепь одного из транзисторов, то такой способ управления (запуска) называют *разделенным*, если в цепь управления обоих транзисторов — *общим* или *счетным*.

Для управления триггером можно использовать импульсы произвольной полярности. Однако на практике большее распространение получило управление импульсами, полярность которых является запирающей для транзисторов схемы. Это уменьшает необходимую мощность сигналов управления и увеличивает быстродействие устройства.

Очевидно, что процессы переключения триггера при раздельном и общем запусках имеют много общего. Рассмотрим процессы переключения триггера с общим запуском. В схеме триггера рис. 11.1, а используется общий запуск запирающими (отрицательными) импульсами u_y , которые подаются в базовые цепи транзисторов через диоды $VD1$ и $VD2$. На рис. 11.1, в показаны упрощенные временные диаграммы, поясняющие его работу.

Для надежного переключения триггера выбирают амплитуду и длительность u_y из условия запирания ранее включенного транзистора схемы. Если это условие выполнено, то на интервале $t_n - t_1$ оба транзистора оказываются запертыми ($t_1 = t_{рас} + t_{сп}$ — время выключения насыщенного транзистора). Дальнейшие процессы в схеме определяются напряжениями на конденсаторах $C1$ и $C2$, которые кроме форсирования переключения транзисторов выполняют функции элементов памяти о предыдущем состоянии триггера.

В устойчивом состоянии (рис. 11.1, б) транзистор $VT2$ насыщен, а $VT1$ заперт. Поэтому $U_{C1} = U_n - R_{к1}(I_{Б2} + I_{КО}) \approx U_n$ и $U_{C2} = U_{БЭ1\text{ зап}} \approx 0$. За время t_n напряжения на конденсаторах не успевают измениться. При этом после окончания запускающего импульса u_y в силу (11.1) ток $i_{Б1} \gg i_{Б2}$ и начинается процесс включения $VT1$, в результате напряжения $u_{вых1}$, $u_{БЭ2} = u_{вых2} - u_{C1}$ и ток $i_{Б2}$ уменьшаются. Из-за действия цепи ПОС процесс развивается лавинообразно и заканчивается насыщением транзистора $VT1$ и запирающим $VT2$. В схеме устанавливается новое устойчивое состояние. Скорость увеличения напряжения $u_{КЭ2} = u_{вых2}$ определяется временем перезаряда конденсатора $C2$ от источника U_n через резистор $R_{к2}$ и прямосмещенный эмиттерный переход транзистора $VT1$. По окончании заряда конденсатора $C2$ падение напряжения на нем примет установившееся значение, равное $u_{C2} = U_n$. Длительность этого процесса ориентировочно можно оценить выражением

$$t_{\phi} = 3R_{к1}C = 3R_{к2}C_2. \quad (11.5)$$

По мере заряда конденсатора $C2$ базовый ток транзистора $VT1$ уменьшается от $I_{Бн}$, обусловленного током перезаряда $C2$, до $I_{Бн} \approx U_n / (R_{к2} + R_{о1})$.

В то же время, ранее заряженный конденсатор $C1$ разряжается на параллельно соединенные резисторы $R_{б2}$ и $R_{см2}$. Длительность этого процесса можно оценить выражением

$$t_{вос} \approx 3 \frac{R_6 R_{см} C}{R_6 + R_{см}} = 3 \frac{R_{б2} R_{см2} C_1}{R_{б2} + R_{см2}}. \quad (11.6)$$

Время $t_{вос}$ называется *временем восстановления*. Оно необходимо для подготовки триггера к следующему переключению. В конце $t_{вос}$ напряжение конденсатора $C1$ и, следовательно, напряжение эмиттерного перехода $VT2$ достигнут установившихся значений.

В реальных схемах обычно выполняется условие $R_6 \gg R_k$ и $R_{см} \gg R_k$. Поэтому, как правило, $t_{\phi} \ll t_{вос}$ и минимальный период следования управляющих импульсов определяется условием

$$T_{min} \geq t_{вос}. \quad (11.7)$$

Таким образом, выходное напряжение триггера в установившемся режиме может принимать два значения: $U_{вых min} = U_{кЭн}$ — напряжение открытого транзистора, работающего в режиме насыщения и $U_{вых max} \approx U_n$ — напряжение запертого транзистора, работающего в режиме отсечки.

После прихода очередного запускающего импульса в момент $t = t_0 + T$ процессы в схеме повторяются. Транзистор $VT1$ перейдет в режим отсечки, а $VT2$ — в режим насыщения.

Из приведенного анализа можно сделать вывод, что надежность переключения схемы во многом определяется длительностью импульса управления. С одной стороны, длительность t_n должна быть больше длительности t_1 выключения ранее насыщенного транзистора, иначе он не успеет запереться и переключение схемы не произойдет. С другой стороны, слишком большое t_n приведет к тому, что разность напряжений на конденсаторах $C1$ и $C2$ из-за их разряда через резисторы $R_{б1}$ и $R_{б2}$ уменьшится, что может привести к потере памяти о предыдущем состоянии схемы. Поэтому емкости конденсаторов $C1$ и $C2$ необходимо увеличивать, но это, согласно (11.5) и (11.6), приводит к снижению максимально допустимой частоты переключений триггера. Заметим, что эти требования к длительности t_n характерны только для общего запуска триггера.

При раздельном запуске запирающими импульсами переключение триггера происходит сразу после выключения ранее насыщенного транзистора, а не после окончания u_y , что обеспечивает более высокую максимально допустимую частоту его переключения.

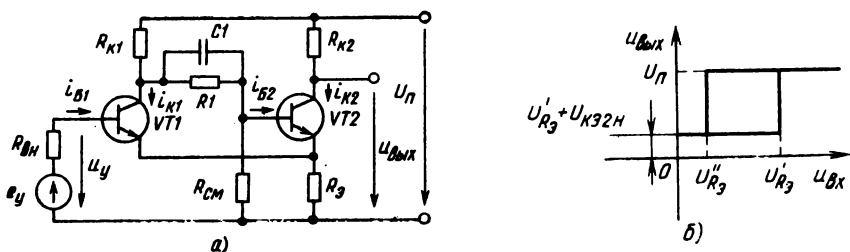


Рис. 11.2. Схема триггера с эмиттерной связью (а) и его передаточная характеристика (б)

Триггер с эмиттерной связью, схема которого приведена на рис. 11.2, отличается от симметричного триггера с коллекторно-базовыми связями несимметричностью связей между транзисторами.

Если для связи выхода транзистора $VT1$ первой схемы коммутации с входом транзистора $VT2$ (управляющим входом второй схемы коммутации), как и ранее, используется резистивно-емкостная форсирующая цепь $R1C1$, то цепь ПОС образована включением в эмиттерные цепи транзисторов общего резистора $R3$.

В исходном состоянии ($u_y = 0$) транзистор $VT2$ открыт (режим насыщения) и на его входе протекает ток I_{B2H} от источника питания $+U_n$ через последовательно соединенные резисторы R_{K1} и R_1 . На резисторе R_3 присутствует падение напряжения $U_{KЭ} = I_{Э2} R_3$, которое надежно запирает транзистор $VT1$. Конденсатор $C1$ заряжен до напряжения $U_{C1} \approx I_{B2H} R_1$.

При увеличении входного напряжения $u_y > U_{БЭ10} + I_{Э2H} R_3$, где $U_{БЭ10}$ — пороговое напряжение эмиттерного перехода транзистора $VT1$, транзистор $VT1$ начинает открываться. Напряжение заряженного конденсатора $C1$ (U_{C1}) начинает смещать эмиттерный переход транзистора $VT2$ в обратном направлении, способствуя уменьшению его тока базы i_{B2} . Покажем, что обратная связь, образованная резистором R_3 , положительна и, поэтому способствует форсированному переключению транзисторов $VT1$ и $VT2$. Допустим, что оба транзистора находятся в активном режиме работы и ток i_{B1} получил некоторое положительное приращение Δi_{B1} . Это приращение вызовет пропорциональное изменение коллекторного тока $\Delta i_{K1} = \Delta i_{B1} h_{21Э1}$.

Так как напряжение конденсатора $C1$ в силу законов коммутации не может измениться скачком, то в первом приближении можно считать, что $\Delta U_{KЭ1} = \Delta U_{БЭ2} \approx 0$. Следовательно, изменение коллекторного тока транзистора $VT1$ может произойти только за счет уменьшения базового тока транзистора $VT2$, т. е. $\Delta i_{K1} =$

$= -\Delta i_{B2}$, и не сопровождается изменением напряжений на резисторах R_{K1} и R_3 . Уменьшение базового тока транзистора VT2 на Δi_{B2} приводит к соответствующему уменьшению как его эмиттерного тока [$\Delta i_{E2} = (h_{21Э2} + 1)\Delta i_{B2}$], так и падения напряжения на резисторе обратной связи R_3 ,

$$\Delta u_{KЭ} = -\Delta i_{B1} h_{21Э1} (h_{21Э2} + 1) R_3.$$

Напряжение, приложенное к эмиттерному переходу транзистора VT1, $U_{BЭ1} = U_y - U_{R_3}$ при неизменной величине u_y получит положительное приращение $\Delta u_{BЭ} = \Delta u_{R_3}$, что повлечет дальнейшее увеличение тока базы транзистора VT1 и уменьшение тока базы транзистора VT2. Этот процесс, протекая лавинообразно, завершится насыщением транзистора VT1 и запирающим транзистора VT2.

Обычно в схеме выполняется условие $R_{K1} > R_{K2}$, поэтому после переключения напряжение $U_{R_3} = I_{Э1} R_3 < U_{R_3}'$.

Следовательно, передаточная характеристика схемы, как и характеристика компаратора с цепью ПОС, имеет гистерезис (рис. 11.2, б).

В отличие от симметричного триггера, в рассмотренной схеме нагрузка, подключаемая к коллектору транзистора VT2, практически не оказывает влияния на режим работы триггера. Поэтому данная схема характеризуется большей, чем симметричный триггер, нагрузочной способностью и может устойчиво работать при любом виде нагрузки, включая емкостную.

Рассмотренная схема, называемая триггером Шмитта, наравне с компаратором находит широкое применение в качестве порогового устройства, реагирующего на уровень входного напряжения.

В заключение следует отметить общую особенность обеих рассмотренных схем. Конденсаторы, применяемые в триггерах, служат лишь для ускорения процессов переключения транзисторов, а поэтому могут отсутствовать. Следовательно, схема триггера может быть выполнена только с использованием резисторов и полупроводниковых элементов, что важно с точки зрения применения современных методов технологии изготовления ЭУ.

11.2. ОСНОВЫ ТЕОРИИ ГЕНЕРАТОРОВ, БАЛАНС АМПЛИТУД И ФАЗ

Генератором электрических колебаний называется устройство, преобразующее энергию источника постоянного тока в энергию переменного тока требуемой формы. В зависимости от формы выходного напряжения различают: генераторы гармонических колебаний и генераторы негармонических колебаний (импульсные или релаксационные генераторы).

Не зависимо от формы выходного напряжения любой генератор может работать в одном из двух режимов: режим автоколебаний; режим запуска внешними импульсами.

Генератор, работающий в режиме автоколебаний, обычно называют *автогенератором*. Выходное переменное напряжение формируется на его выходе сразу после подключения напряжения питания и не требует для начала работы подачи внешнего управляющего воздействия.

Генераторы, работающие в режиме запуска внешними импульсами, после подключения источника питания могут сколь угодно долго находиться в устойчивом состоянии, не формируя выходное переменное напряжение. При подаче управляющего сигнала на вход такого генератора, на его выходе формируется выходной сигнал, параметры которого полностью определяются собственными характеристиками устройства. Такой режим работы часто называют *ждущим* или *заторможенным*. Большое распространение получили заторможенные мультивибраторы — *одновибраторы*.

В соответствии со сказанным, автогенераторный режим работы применяется в устройствах, используемых в основном в качестве задающих генераторов, а *ждущий* — в устройствах, преобразующих форму импульсов к требуемому виду.

Условия самовозбуждения автогенератора (баланс амплитуд и фаз). Пусть имеются два четырехполюсника:

первый — с комплексным коэффициентом усиления K_U , действующим в направлении, показанном зачерненной стрелкой (рис. 11.3), т. е.

$$K_U = U_2/U_1 = K_U(\omega) e^{j\varphi_K(\omega)},$$

где $K_U(\omega) = U_2(\omega)/U_1(\omega)$ — модуль коэффициента усиления на частоте ω ; $\varphi_K(\omega) = \psi_2(\omega) - \psi_1(\omega)$ — сдвиг фаз между выходным и входным напряжениями усилителя K_U на частоте ω ;

второй — с комплексным коэффициентом передачи B_U , т. е.

$$B_U = U_1'/U_2' = B_U(\omega) e^{j\varphi_B(\omega)},$$

где $B_U(\omega) = U_1'(\omega)/U_2'(\omega)$ — модуль коэффициента передачи на

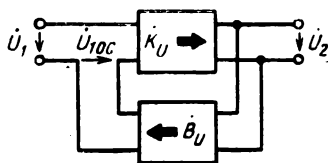


Рис. 11.3. Структурная схема автогенератора

частоте ω ; $\varphi_B(\omega) = \psi_1(\omega) - \psi_2(\omega)$ — сдвиг фаз между выходным и входным напряжениями четырехполюсника \dot{B}_U на частоте ω .

Соединив оба четырехполюсника, как это показано на рис. 11.3, получим усилительное устройство со встроенным каналом обратной связи, обеспечивающим суммирование выходного сигнала четырехполюсника с коэффициентом передачи \dot{B}_U с входным сигналом четырехполюсника K_U , т. е. реализацию ПОС.

Запишем с учетом действия цепи ПОС выражение для суммарного коэффициента передачи полученной структуры. Согласно выражению (5.19), будем иметь

$$(\dot{K}_U)_{OC} = \dot{K}_U / (1 - \dot{B}_U \dot{K}_U). \quad (11.8)$$

Предположим, что в некоторый момент t_0 на входе схемы рис. 11.3 появилось некоторое сколь угодно малое напряжение $\Delta \dot{U}_1$. Представим это напряжение в виде суммы гармоник. В общем случае

$$\Delta \dot{U}_1 = \sum_{i=0}^{\infty} U_{mi} \sin(\omega_i t + \varphi_i). \quad (11.9)$$

Тогда для выходного напряжения рассматриваемой схемы с учетом (11.8) можно записать

$$\Delta \dot{U}_2 = \Delta \dot{U}_1 \frac{K_U(\omega) \exp j\varphi_K(\omega)}{1 - K_U(\omega) \dot{B}_U(\omega) \exp j[\varphi_K(\omega) + \varphi_B(\omega)]}. \quad (11.10)$$

Если для некоторой частоты ω_1 выполняется условие

$$K_U(\omega) \dot{B}_U(\omega) \exp j[\varphi_K(\omega) + \varphi_B(\omega)] = 1, \quad (11.11)$$

то амплитуда выходного напряжения с частотой ω_1 будет стремиться к бесконечности независимо от того, насколько было мало начальное значение U_{m1} . Это означает, что в схеме рис. 11.3 возможно существование устойчивых колебаний с частотой ω_1 .

Условие (11.11) выполняется, если

$$\varphi_K(\omega_1) + \varphi_B(\omega_1) = 2\pi k, \quad (11.12)$$

где $k=0, 1, 2, \dots$ — целое число, и

$$|K_U(\omega_1) \dot{B}_U(\omega_1)| = 1. \quad (11.13)$$

Условия (11.12) и (11.13) являются условиями самовозбуждения генератора. Выражение (11.12) известно как *условие баланса фаз*, а (11.13) — как *условие баланса амплитуд*.

Если условия (11.12) и (11.13) выполняются только для одной частоты, то на выходе схемы присутствуют колебания только этой единственной частоты и устройство является автогенератором гармонических колебаний. Если указанные условия выпол-

няются для нескольких частот, то выходное напряжение имеет негармонический характер. В частном случае, когда условия выполнены для бесконечного диапазона частот $0 \leq \omega \leq \infty$, выходное напряжение генератора имеет вид перепадов напряжения или тока.

11.3. АВТОГЕНЕРАТОРЫ И ПРИНЦИПЫ ОБЕСПЕЧЕНИЯ БАЛАНСА ФАЗ В ТРАНЗИСТОРНЫХ АВТОГЕНЕРАТОРАХ ГАРМОНИЧЕСКИХ КОЛЕБАНИЙ

Автогенераторы гармонических колебаний широко используют в измерительной технике.

Различают следующие основные типы автогенераторов: низкочастотные (до 100 кГц); высокочастотные (от 100 кГц до 10 МГц); ультравысокочастотные (свыше 10 МГц).

Основными функциональными элементами автогенератора являются активный элемент, выполненный в виде усилительного устройства для обеспечения баланса амплитуд, и фазосдвигающая цепь, обеспечивающая баланс фаз. Простейший автогенератор гармонических колебаний может быть реализован на однокаскадном усилителе, снабженном цепью ПОС. Как известно, фаза выходного сигнала в транзисторном каскаде, выполненном по схеме включения с общим эмиттером, оказывается сдвинутой относительно входного на угол, равный π . В то же время баланс фаз (11.12) требует сдвига фаз $\Delta\psi = 2\pi n_r$ ($n_r = 0, 1, 2 \dots$). Поэтому автогенератор на однокаскадном усилителе можно получить, если за счет внешней фазосдвигающей цепи обеспечить дополнительный сдвиг фазы выходного сигнала на угол, равный π .

В реальных автогенераторах такой фазовый сдвиг в каналах обратной связи осуществляют двумя способами: посредством магнитной (трансформаторной) связи, реализующей так называемые *LC*-схемы, и с помощью резистивно-емкостной связи в *RC*-схемах. При трансформаторной связи внешняя цепь строится либо с использованием гальванически не связанных обмоток трансформатора (рис. 11.4, а), либо со встречным включением обмоток в по-

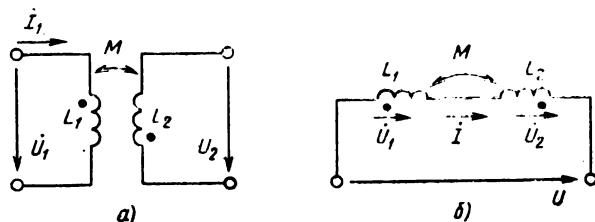


Рис. 11.4. Схема цепи трансформаторной ПОС с использованием отдельных обмоток (а) и встречным включением обмоток трансформатора (б)

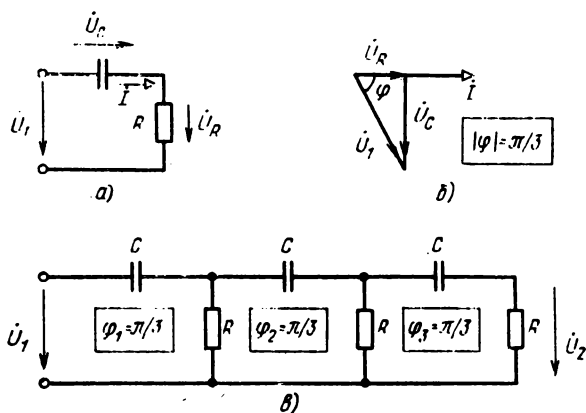


Рис. 11.5. Резистивно-емкостная цепь (а), ее векторная диаграмма (б) и схема трехзвенной цепи ПОС (в)

следовательной схеме (рис. 11.4, б). Однако в обоих случаях входное \dot{U}_1 и выходное \dot{U}_2 напряжения направлены навстречу друг другу, а потому сдвиг фаз $\psi = \psi_2 - \psi_1 = \pi$.

Для реализации резистивно-емкостной связи в цепь ПОС можно включить RC -контур (Г-образную ячейку) (рис. 11.5, а). Ранее было показано, что для такой цепи фазовый сдвиг $\Delta\varphi = \pi$ достигается только при $\omega \rightarrow \infty$. Поэтому для получения $\Delta\varphi = \pi$ на некоторой, отличной от бесконечности, частоте необходимо каскадно включать как минимум две таких цепи. Полагая, например, $\dot{U}_R = \dot{U}_2$ и выбирая значение $X_C = 1/\omega C = \sqrt{3}R$, получаем сдвиг фаз (рис. 11.5, б) $|\varphi| = \arctg X_C/R = \arctg \sqrt{3} = \pi/3$. Поэтому для обеспечения требуемого $\varphi = \pi$ используют, как показано на рис. 11.5, в, трехзвенную комбинацию Г-образных ячеек.

Для получения синусоидального выходного напряжения широко применяются генераторы, использующие в цепи ПОС параллельный колебательный контур. Рассмотрим работу таких устройств.

Роль колебательного контура. Пусть имеем реальный RLC -контур с предварительно заряженным до напряжения U_0 конденсатором C (рис. 11.6, а). Как известно, электромагнитные процессы в RLC -контуре описываются дифференциальным уравнением второго порядка. При относительно малом активном сопротивлении, что соответствует используемым в генераторах колебательным контурам высокой добротности, изменение тока i имеет почти синусоидальный характер с плавным уменьшением амплитуды коле-

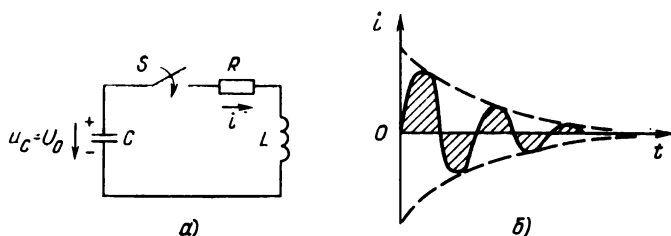


Рис. 11.6. Схема последовательного колебательного контура (а) и переходный процесс изменения тока в нем (б)

баний (рис. 11.6, б). Коэффициент затуханий этих колебаний $\alpha = R/(2L)$, а частота $f_0 = 1/2\pi\sqrt{LC}$.

Включая колебательный контур в цепь ОС транзисторного усилительного каскада и обеспечивая в системе баланс амплитуд и фаз, получаем автогенератор синусоидальных колебаний. На рис. 11.7 приведена схема простейшего автогенератора с колебательным $L_k C_k$ -контуром и взаимоиндуктивной обратной связью. В колебательном контуре, включенном в коллекторную цепь транзистора VT , под действием напряжения питания возникают затухающие синусоидальные колебания (см. рис. 11.6, б). Взаимоиндуктивная связь дросселей $L_{св}$ и L_k обеспечивает передачу сигнала обратной связи с дополнительным сдвигом фаз (входного и выходного сигналов) на угол $\varphi = \pi$, что позволяет обеспечить в схеме баланс фаз. Если параметры транзисторного каскада выбрать с учетом выражения (11.13), то в данной схеме будет выполнено и условие баланса амплитуд, что приведет к установлению устойчивых синусоидальных колебаний выходного напряжения.

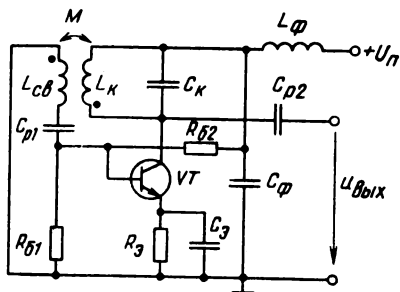


Рис. 11.7. Схема автоколебательного LC-генератора

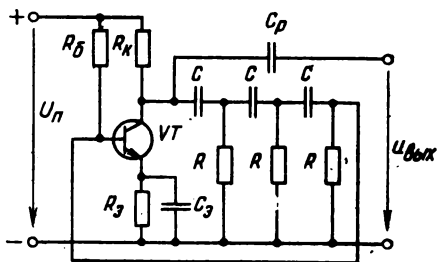


Рис. 11.8. Схема автоколебательного RC-генератора

Элементы L_f и C_f , включенные в цепь питания транзистора VT , обеспечивают протекание переменной составляющей коллекторного тока VT , минуя источник питания U_n .

Рассмотренные выше LC -генераторы оказываются малоэффективными при низких частотах из-за необходимости применения в колебательном контуре катушки индуктивности и конденсатора с большими номиналами L и C . Поэтому при низких частотах более предпочтительны автогенераторы RC -типа.

На рис. 11.8 приведена простейшая схема автогенератора RC -типа. Как было показано ранее, трехзвенная RC -цепь в контуре ОС, обеспечивает в схеме баланс фаз, способствующий генерации в выходной цепи транзистора VT гармонических колебаний. Следует отметить, что роль R_{61} в делителе напряжения на входе транзистора VT в данном случае выполняет правый (третий) резистор R в фазосдвигающей цепи схемы рис. 11.8.

11.4. МУЛЬТИВИБРАТОРЫ И ПРИНЦИПЫ ИХ ФУНКЦИОНИРОВАНИЯ

Мультивибратор (от латинских слов *multim* — много и *vibro* — колеблю) — релаксационный генератор импульсов почти прямоугольной формы, выполненный в виде усилительного устройства с цепью ПОС. Как было указано ранее, различают два вида мультивибраторов: *автоколебательные* (не обладают состоянием устойчивого равновесия) и *ждушие* (обладают одним состоянием устойчивого равновесия и поэтому часто называются *одновибраторы*).

Принцип функционирования мультивибраторов рассмотрим на примере схемы с коллекторно-базовыми связями. Схема автоколебательного мультивибратора данного типа приведена на рис. 11.9, а. Нетрудно заметить, что она фактически повторяет схему симметричного триггера. Отличие состоит лишь в том, что связи между схемами коммутации, как прямая, так и обратная, выполнены не по постоянному, а по переменному току. Это качественно меняет свойства устройства, так как в отличие от симметричного триггера у схемы нет устойчивых состояний равновесия, в которых она находится сколь угодно длительное время. Вместо этого существуют два состояния квазиустойчивого равновесия, в каждом из которых схема может находиться строго фиксированное время. Это время зависит от переходных процессов, протекающих в схеме. Поэтому в состоянии квазиустойчивого равновесия токи и напряжения элементов схемы в общем случае не остаются постоянными. Работа устройства сводится к постоянной смене этих состояний, что сопровождается формированием на выходе напряжения, близкого по форме к прямоугольному.

Работу мультивибратора рассмотрим с использованием временных диаграмм, приведенных на рис. 11.9, б. При этом транзис-

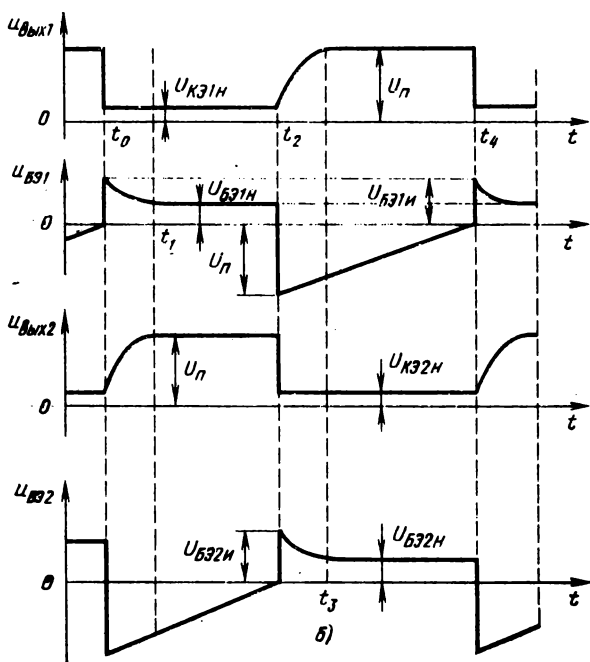
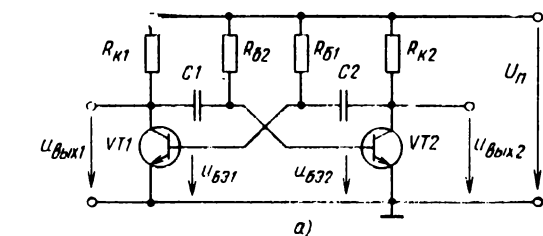


Рис. 11.9. Схема симметричного мультивибратора (а) и временные диаграммы, поясняющие его работу (б)

тор будем считать безынерционным элементом, а схему мультивибратора — симметричной ($R_{К1}=R_{К2}=R_K$; $C_1=C_2=C$; $R_{Б1}=R_{Б2}=R_Б$).

Предположим, что в момент t_0 происходит очередное переключение мультивибратора, и транзистор $VT1$ попадает в режим насыщения, а $VT2$ — в режим отсечки. С этого момента в схеме начинают протекать два самостоятельных процесса, связанные с перезарядом емкостей $C1$ и $C2$.

К моменту $t=t_0$, конденсатор C_2 полностью разряжен и после насыщения транзистора VT_1 начинается заряд этого конденсатора через резистор $R_{к2}$.

$$u_{C_2} = U_n (1 - e^{-t/R_{к2}C_2}). \quad (11.14)$$

Так как конденсатор C_2 через эмиттерный переход насыщенного транзистора VT_1 шунтирует коллектор-эмиттерные выводы транзистора VT_2 , то процесс его заряда определяет скорость изменения коллекторного напряжения транзистора VT_2 . Полагая, что процесс заряда заканчивается в момент $U_{C_2}=0,9U_n$, для длительности фронта коллекторного напряжения транзистора справедливо выражение

$$t_1 - t_0 = R_{к1}C_1 \ln 10 \approx 2,3R_{к1}C_1. \quad (11.15)$$

В момент t_0 ток базы транзистора VT_1 складывается из постоянного тока резистора $R_{б1}$ и импульсного тока заряда конденсатора C_2 . Поэтому сразу после насыщения ток базы VT_1 существенно больше необходимого для его насыщения, и напряжение эмиттерного перехода транзистора VT_1 имеет максимальное значение $-U_{БЭ1н}$. По мере заряда конденсатора C_2 , напряжение $U_{БЭ1}$ падает до величины $U_{БЭ1н}$, определяемой только током резистора $R_{б1}$.

Второй процесс в схеме связан с разрядом ранее заряженного почти до напряжения питания U_n конденсатора C_1 . Этот разряд происходит через насыщенный транзистор VT_1 , источник питания U_n и резистор $R_{б2}$. Так как VT_1 насыщен, то $U_{БЭ2} \approx U_{C_1}$ и VT_2 надежно заперт.

Процесс разряда конденсатора C_1 описывается выражением

$$u_{C_1} = U_n [2 \exp(-t/R_{б2}C_1) - 1]. \quad (11.16)$$

Этот процесс заканчивается в момент, когда $U_{C_1}=0$. Решая (11.16) относительно времени, для длительности разряда конденсатора C_1 получаем,

$$t_2 - t_0 = 0,7R_{б2}C_1. \quad (11.17)$$

В момент t_2 произойдет очередное переключение транзисторов. Транзистор VT_1 запирается, а транзистор VT_2 насыщается. Далее процесс пойдет аналогично описанному. Поэтому длительности интервалов t_3-t_2 и t_4-t_2 можно определить соответственно из выражений (11.15) и (11.17) при замене $R_{к1}C_1$ на $R_{к2}C_2$ и $R_{б2}C_1$ на $R_{б1}C_2$.

Таким образом, длительность нахождения схемы в квазиустойчивом состоянии определяется процессами разряда, а длительность фронта коллекторного напряжения — процессами заряда конденсатора связи. Сравнивая (11.15) и (11.17), можно сказать,

что поскольку $R_6/R_k = h_{21Э}/q$, где q — степень насыщения транзистора (обычно $q = 1,5 \dots 2$), то длительность фронта коллекторного напряжения, равная длительности интервала подготовки схемы к следующему переключению, всегда меньше длительности импульса выходного напряжения.

В рассматриваемом случае выходное напряжение автоколебательного мультивибратора близко к прямоугольному, причем длительности импульса t_n и паузы t_n выходного напряжения равны между собой ($t_2 - t_0 = t_4 - t_2$).

Если симметрия схемы нарушена, то на выходах формируется напряжение, для которого $t_n \neq t_n$. При проектировании таких схем необходимо заботиться о том, чтобы во всех режимах работы время подготовки схемы к следующему переключению было меньше или равно времени нахождения схемы в квазистойчивом состоянии.

Частота выходного напряжения симметричного автоколебательного мультивибратора не зависит от напряжения питания и полностью определяется параметрами его элементов

$$f_{\text{ком}} \approx 0,715/R_6 C. \quad (11.18)$$

Пример 11.1. Рассчитать автоколебательный мультивибратор со следующими параметрами: $U_n = -12$ В; $T = 10 \cdot 10^{-4}$ с; $t_n = 3 \cdot 10^{-4}$ с.

Решение. 1. Схема рассматриваемого мультивибратора аналогична приведенной на рис. 11.9, а. В ней используются транзисторы $p-n-p$ -типа, так как источник питания имеет отрицательную полярность.

2. Выбираем тип транзисторов из следующих условий:

$$U_{КЭ} > U_n = 12 \text{ В}; U_{БЭ} > U_n = 12 \text{ В}; f_{\beta} > 1/T = 1 \text{ кГц.}$$

Перечисленным условиям удовлетворяет $p-n-p$ -транзистор КТ203Б, для которого $U_{КЭ \text{ макс доп}} = 30$ В; $U_{БЭ \text{ обр}} = 15$ В;

$$f_{\beta \text{ min}} = 55 \cdot 10^3 \text{ Гц}; I_{К \text{ max}} = 10 \text{ мА}; h_{21Э} = 30 \dots 90.$$

3. Так как нагрузки мультивибратора не заданы, сопротивление резистора R_k определим из условия $I_{К \text{ max}} = 0,7 I_{К \text{ max доп}}$

$$R_k = (U_n - U_{КЭ \text{ н}}) / I_{К \text{ max}} \approx U_n / 0,7 I_{К \text{ max доп}} = 12/7 = 1,42 \text{ кОм.}$$

Принимаем $R_k = 1,5$ кОм.

4. Сопротивление R_6 найдем из условия обеспечения коэффициента насыщения $q = 1,5$

$$R_6 = R_k h_{21Э \text{ min}} / q = 1,5 \cdot 30 / 1,5 = 30 \text{ кОм.}$$

5. Емкости конденсаторов C_1 и C_2 определим из условия получения заданных длительностей импульса и паузы выходного напряжения. Согласно выражению (11.17) найдем

$$C_1 = t_n / 0,7 R_6 = 3 \cdot 10^{-4} / 0,7 \cdot 30 \cdot 10^3 = 1,43 \cdot 10^{-8} \text{ Ф};$$

$$C_2 = (T - t_n) / 0,7 R_6 = (10 \cdot 10^{-4} - 3 \cdot 10^{-4}) / 0,7 \cdot 30 \cdot 10^3 = 3,3 \cdot 10^{-8} \text{ Ф.}$$

Принимаем $C_1 = 15$ нФ; $C_2 = 33$ нФ.

6. Согласно выражению (11.15), длительности фронтов выходного напряжения соответственно равны

$$t_{\Phi 1} = 2,3 R_k C_1 = 2,3 \cdot 1,5 \cdot 10^3 \cdot 15 \cdot 10^{-9} = 51,75 \cdot 10^{-6} \text{ с};$$

$$t_{\Phi 2} = 2,3 R_k C_2 = 2,3 \cdot 1,5 \cdot 10^3 \cdot 33 \cdot 10^{-9} = 114 \cdot 10^{-6} \text{ с}.$$

7. Проверим схему с точки зрения подготовки к следующему переключению.

Для этого $\max\{t_{\Phi 1}, t_{\Phi 2}\} < \min\{t_n, t_n\}$.

$$\max(t_{\Phi 1}, t_{\Phi 2}) = 1,14 \cdot 10^{-4} \text{ с};$$

$$\min(t_n, t_n) = 3 \cdot 10^{-4} \text{ с}.$$

Следовательно условие выполняется.

Для перевода рассмотренной схемы в режим ждущего мультивибратора необходимо, чтобы одно из его квазиустойчивых состояний равновесия стало устойчивым. Этого можно добиться, если, например, хотя бы одну связь между схемами коммутации по переменному току заменить связью по постоянному току. Схема такого устройства приведена на рис. 11.10, а.

Устойчивым является состояние, при котором транзистор VT_1 насыщен током, протекающим через резистор $R_{\delta 1}$. При этом конденсатор C_2 заряжен практически до напряжения питания ($U_{C2} = U_n - I_{K02} R_{k2} - U_{БЭ1} \approx U_n$, а конденсатор C_1 разряжен. Транзистор VT_2 заперт, что обеспечивается подачей на его эмиттерный переход через резистор $R_{см}$ напряжения смещения ($-U_{см}$). Очевидно, что это состояние может сохраняться сколь угодно долго, так как при этом токи и напряжения всех элементов схемы неизменны во времени.

Запуск ждущего мультивибратора осуществляется подачей на эмиттерный переход транзистора VT_2 через резистор $R_{вх}$ импульса положительной полярности. Параметры этого импульса (амплитуда и длительность) выбираются из условия кратковременного приоткрывания транзистора VT_2 . Возникающее при этом уменьшение напряжения $u_{КЭ2} = u_{вых 2}$ приводит к появлению на базе транзистора VT_1 отрицательного смещения ($u_{БЭ1} = u_{вых 2} - u_{C2}$) и, вследствие действия механизма ПОС, его форсированному запираанию. Увеличение напряжения $u_{КЭ1} = u_{вых 1}$ переводит транзистор VT_2 в режим насыщения. При этом его базовый ток по мере заряда конденсатора C_1 падает от $I_{БЭ1} \approx U_n / R_{к1}$ до установившегося значения $I_{БЭ1} \approx U_n / (R_{к1} + R_{\delta 2})$. Новое состояние схемы является квазиустойчивым, так как оно поддерживается лишь до тех пор, пока на базе транзистора VT_1 присутствует запирающее напряжение, т. е. пока не разрядится конденсатор C_2 . Поэтому для

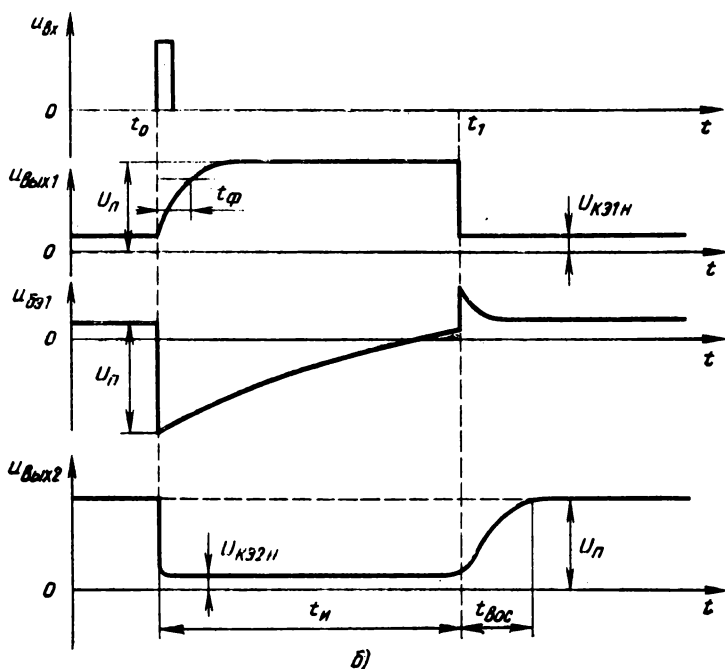
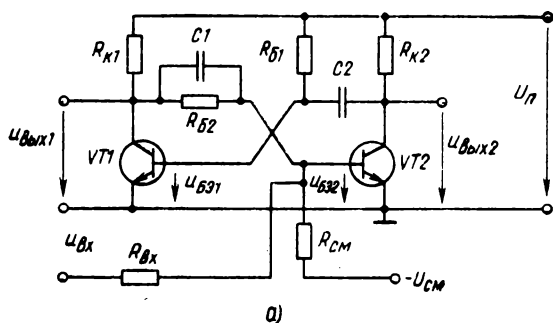


Рис. 11.10. Схема ждущего мультивибратора (а) и временные диаграммы, поясняющие его работу (б)

длительности выходного импульса по аналогии с (11.17) можно записать

$$t_n = t_1 - t_0 = 0,7R_{61}C_2. \quad (11.19)$$

Как следует из схемы мультивибратора (рис. 11.10, а), скорость изменения напряжения $U_{Вых1}$ при запираии VT1 определя-

ется процессом заряда конденсатора $C1$ (рис. 11.10, б). Поэтому

$$t_{\phi} \approx 2,3R_{\delta 2}R_{к1}C_1/(R_{\delta 2} + R_{к1}). \quad (11.20)$$

После насыщения транзистора $VT1$ и формирования среза импульса $u_{вых1}$ процессы в схеме не завершаются. Это объясняется тем, что токи и напряжения ее элементов не соответствуют устойчивому состоянию равновесия. Поэтому для возвращения схемы в исходное состояние необходимо некоторое время, называемое временем восстановления $t_{вос}$. Это время определяется процессом заряда конденсатора $C2$ до напряжения питания и определяется выражением

$$t_{вос} \approx 4R_{к2}C_2. \quad (11.21)$$

Если следующий запускающий импульс появится на входе схемы раньше, чем закончится интервал восстановления, на выходе мультивибратора будет сформирован импульс длительностью, меньшей чем $t_{и}$, определенной в соответствии с (11.19).

Проведенный анализ показывает, что в ждущем мультивибраторе конденсатор $C2$, как и в автогенераторной схеме, выполняет роль времязадающего конденсатора, определяющего длительность выходного импульса всего устройства. Конденсатор $C1$ является форсирующим. Он, как и конденсаторы в триггере, лишь ускоряет процесс переключения транзисторов схемы и, поэтому может отсутствовать.

Пример 11.2. Рассчитать одновибратор, обеспечивающий получение на выходе импульсов длительностью $t_{и}=10^{-3}$ с; $U_{п}=-12$ В; $U_{см}=-1$ В; $t_{\phi}=10^{-6}$ с.

Решение. 1. Схема одновибратора (ждущего мультивибратора) аналогична приведенной на рис. 11.10, а.

2. Так как исходные данные на проектирование близки к условиям примера 11.1, выберем в качестве транзисторов КТ203Б, $R_{к1}=R_{к2}=1,5$ кОм и $R_{\delta 1}=30$ кОм. (см. решение примера 11.1).

3. Для транзистора выбранного типа $I_{к0}=1 \cdot 10^{-6}$ А, следовательно

$$R_{см} \leq U_{см}/I_{к0} = 1/10^{-6} = 10^6 \text{ Ом}.$$

Принимаем $R_{см} = 100$ кОм.

4. Базовый резистор $R_{\delta 2}$ выбираем из условия насыщения транзистора $VT2$:

$$R_{к1} + R_{\delta 2} = R_{к2}h_{21}\varepsilon_{\min}/q = 30 \text{ кОм}.$$

Тогда $R_{\delta 2} = 30 - 1,5 = 28,5$ кОм.

Принимаем $R_{\delta 2} = 27$ кОм.

5. Емкость времязадающего конденсатора согласно выражению (11.19) равна

$$C_2 = t_{и}/0,7R_{\delta} = 10^{-3}/0,7 \cdot 30 \cdot 10^3 = 0,047 \cdot 10^{-6} \text{ Ф}.$$

Принимаем $C_2 = 47$ нФ.

6. Емкость фёрсирующего конденсатора в соответствии с выражением (11.20)

$$C_1 = \frac{t_{\text{ф}} (R_{62} + R_{k1})}{2,3 R_{62} R_{k1}} = \frac{10^{-8} (27 + 1,5) 10^3}{2,3 \cdot 27 \cdot 10^3 \cdot 1,5 \cdot 10^3} = 0,3 \cdot 10^{-9} \text{ Ф.}$$

Принимаем $C_1 = 300 \text{ пФ}$.

7. Время восстановления одновибратора, согласно выражению (11.21),

$$t_{\text{вос}} = 4 R_{k2} C_2 = 4 \cdot 1,5 \cdot 10^3 \cdot 0,047 \cdot 10^{-6} = 0,28 \cdot 10^{-3} \text{ с.}$$

Таким образом, время восстановления составляет 28 % от длительности выходного импульса устройства.

11.5. ГЕНЕРАТОР НА ОПЕРАЦИОННОМ УСИЛИТЕЛЕ

В § 11.2 было показано, что для получения генератора, работающего в режиме автоколебаний, в любом усилителе с цепью ОС необходимо и достаточно выполнить условия (11.12) и (11.13). В частности, в качестве усилителя можно использовать и операционный усилитель (ОУ). Схема генератора на ОУ приведена на рис. 11.11, а. В данном случае ОУ охвачен двумя цепями ОС: положительной с коэффициентом передачи $b_{\text{пос}} = R_{\text{пос}2} / (R_{\text{пос}1} + R_{\text{пос}2})$ и отрицательной с $b_{\text{оос}} = 1 / (R_{\text{оос}} C_{\text{оос}} p + 1)$. Рассмотрим процессы, происходящие в схеме при условии $U_{\text{вых}m} = |-U_{\text{вых}m}|$. Для этого воспользуемся передаточной характеристикой усилителя относительно его инвертирующего входа (рис. 11.11, б). Очевидно, что в это случае ОУ выполняет функции инвертирующего компаратора напряжения.

Предположим, что в момент t_0 на схему подано напряжение питания. Так как усилитель охвачен цепью безынерционной ПОС, а напряжение на его инвертирующем входе $U_{\text{вх}и} = U_{\text{оос}} = 0$, на выходе ОУ равновероятно может установиться любое из его максимально возможных напряжений.

Допустим, что $u_{\text{вых}1} := U_{\text{вых}m}$. Тогда входное напряжение ОУ примет значение $U_{\text{вх}оу} = U_{\text{вх}и} - U_{\text{вх}и} = -b_{\text{пос}} U_{\text{вых}m} < 0$, что подтвердит положительную полярность его выходного напряжения.

Согласно характеристике рис. 11.11, б, это состояние схемы можно было бы считать устойчивым состоянием равновесия. Однако после появления на выходе ОУ напряжения положительной полярности $U_{\text{вых}m}$ начинается процесс заряда конденсатора $C_{\text{оос}}$. Напряжение на инвертирующем входе усилителя начнет повышаться. Этот процесс идет с постоянной времени заряда $\tau_3 = R_{\text{оос}} C_{\text{оос}}$ и сопровождается увеличением входного напряжения ОУ. Следовательно, состояние схемы будет квазиустойчивым.

В момент, когда напряжение на инвертирующем входе ОУ достигнет значения $U_{\text{вх}и} = b_{\text{пос}} U_{\text{вых}m}$ (при этом $U_{\text{вх}оу} = 0$), выходное напряжение усилителя изменит свою полярность, уменьшив-

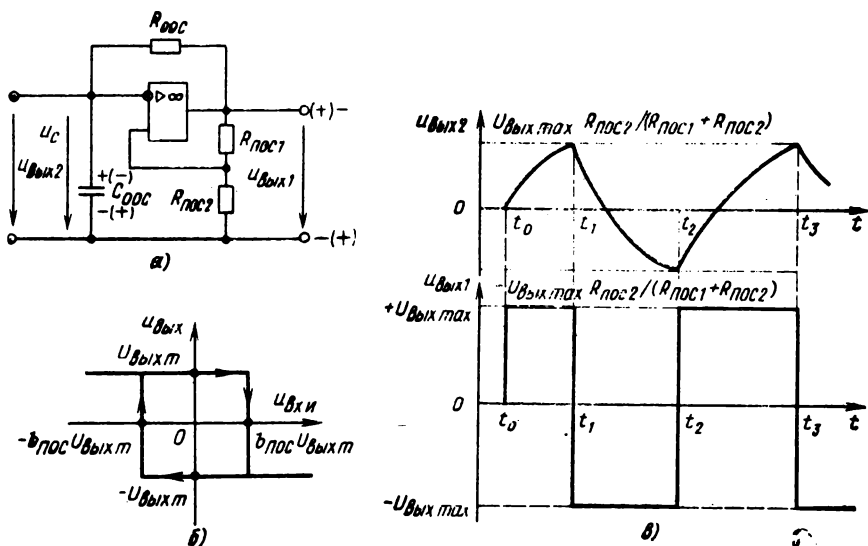


Рис. 11.11. Схема генератора на ОУ (а), передаточная характеристика инвертирующего компаратора (б) и временные диаграммы выходных напряжений схемы (в)

шись до $U_{вых1} = -U_{вых т}$. Напряжение на неинвертирующем входе уменьшится до $U_{вх и} = -b_{пос} U_{вых т}$, а входное напряжение усилителя увеличится до $U_{вх оу} = 2b_{пос} U_{вых т} > 0$.

Новое состояние схемы также будет квазиустойчивым. Изменение полярности выходного напряжения ОУ вызовет перезаряд конденсатора $C_{оос}$. В результате этого с течением времени входное напряжение усилителя $U_{вх оу}$ будет уменьшаться, и в момент, когда $U_{вх оу} = 0$ ($U_{вх и} = -b_{пос} U_{вых т}$), произойдет очередное переключение схемы и процесс повторится.

Таким образом, на выходе ОУ будет формироваться переменное напряжение $u_{вых1}$ прямоугольной формы (рис. 11.11, в). Форма напряжения на конденсаторе $u_{вых2}$, составленная из начальных участков экспоненциальных процессов его перезаряда, будет приближаться к треугольной.

Из сказанного можно сделать два вывода:

относительно выходного напряжения ОУ ($u_{вых1}$) схему можно рассматривать как мультивибратор, работающий в режиме автоколебаний;

относительно напряжения на конденсаторе $C_{оос}$ ($u_{вых2}$) схема является генератором пилообразного напряжения.

Для определения зависимости частоты выходного напряжения рассмотренной схемы от параметров ее элементов запишем выражение для перезаряда конденсатора $C_{ООС}$.

$$u_c = u_{c св} + u_{c вын} = U_{C0} \exp(-t/\tau_3) + U_{вых м} [1 - \exp(-t/\tau_3)], \quad (11.22)$$

где $u_{c св}$ и $u_{c вын}$ — свободная и вынужденная составляющие процесса перезаряда конденсатора $C_{ООС}$; U_{C0} — напряжение на конденсаторе в начальный момент времени ($t=0$).

Согласно приведенным временным диаграммам имеем: для момента t_1 $U_{C0} = b_{пос} U_{вых м}$, для момента t_2 $U_c(T/2) = -b_{пос} U_{вых м}$. Подставляя данные значения напряжений в выражение (11.22) и решая его относительно частоты выходного напряжения, находим

$$f_{ком} = \frac{1}{2(t_2 - t_1)} = \frac{1}{2R_{ООС} C_{ООС} \ln(1 + 2R_{пос2} R_{пос1})}. \quad (11.23)$$

Из выражения (11.23) следует, что для увеличения частоты выходного напряжения необходимо уменьшить как постоянную времени цепи ООС (τ_3), так и коэффициент передачи цепи ПОС ($b_{пос}$). Последнее автоматически приводит к уменьшению амплитуды выходного напряжения $U_{вых 2}$.

Выражение (11.23) было получено в предположении, что для ОУ $U_{вых м} = |-U_{вых м}|$ и значения $b_{пос}$ и τ_3 не зависят от полярности его выходного напряжения. Обычно в реальных ОУ условие $U_{вых м} = |-U_{вых м}|$ не выполняется. К тому же в ряде случаев необходимо иметь либо прямоугольное напряжение, для которого длительность импульса не равна длительности паузы, либо треугольное напряжение с разными по абсолютной величине значениями производной на различных интервалах. Получить требуемые результаты можно, изменяя соответствующим образом значения τ_3 и $b_{пос}$. В качестве примера на рис. 11.12, а, б приведены схемы генераторов на ОУ с различными для положительных и отрицательных значений выходного напряжения ОУ τ_3 и $b_{пос}$.

Пример 11.3. Рассчитать генератор треугольного напряжения со следующими параметрами: $f_r = 10$ кГц; $U_m^+ = 2$ В; $U_m^- = 1$ В.

Решение. 1. Так как амплитуды выходного напряжения зависят от его полярности, выполним генератор по схеме рис. 11.12, б.

2. Для построения схемы необходим ОУ, у которого

$$U_{вых м} \geq \max\{U_m^+, U_m^-\}.$$

Выберем ОУ типа К574Д1, для которого $U_{вых max} = \pm 10$ В; $R_{н max} = 2$ кОм.

3. Элементы цепи ПОС выберем из заданных амплитуд выходного напряжения и максимальной для ОУ нагрузки

$$R'_{пос1} + R_{пос2} = R_{н max};$$

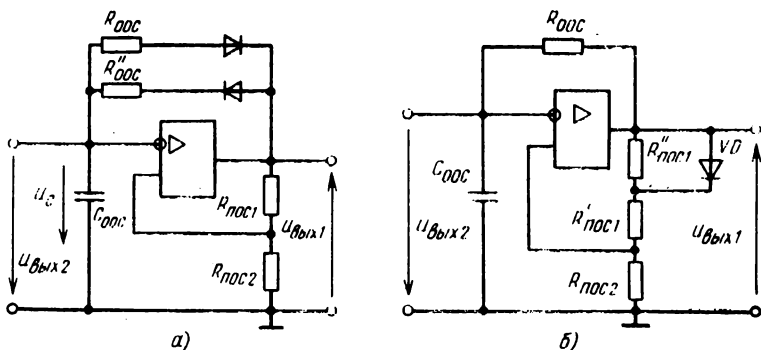


Рис. 11.12. Схемы генераторов на ОУ с переменными коэффициентами передачи цепи ООС (а) и ПОС (б)

$$\frac{U_{\text{вых max}} - U_{\text{д}}}{R'_{\text{ПОС1}} + R_{\text{ПОС2}}} R_{\text{ПОС2}} = U_m^+;$$

$$\frac{U_{\text{вых max}}}{R'_{\text{ПОС1}} + R'_{\text{ПОС1}} + R_{\text{ПОС2}}} R_{\text{ПОС2}} = U_m^-.$$

Откуда

$$R_{\text{ПОС2}} = \frac{U_m^+ (R'_{\text{ПОС1}} + R_{\text{ПОС2}})}{U_{\text{вых max}} - U_{\text{д}}} = \frac{2 \cdot 2 \cdot 10^3}{10 - 0,8} = 0,435 \text{ кОм}.$$

Принимаем $R_{\text{ПОС2}} = 430 \text{ Ом}$.

В качестве диода используем диод Д220А, для которого $U_{\text{д}} = 0,8 \text{ В}$

$$R'_{\text{ПОС1}} = R_{\text{н max}} - R_{\text{ПОС2}} = 2 - 0,43 = 1,57 \text{ кОм}.$$

Принимаем $R'_{\text{ПОС1}} = 1,6 \text{ кОм}$.

Уточненное значение U_m^+ равно

$$U_m^+ = \frac{10 - 0,8}{0,43 + 1,6} \cdot 0,43 = 1,95 \text{ В};$$

$$R'_{\text{ПОС1}} = \frac{U_{\text{вых max}} R_{\text{ПОС2}}}{U_m^-} - R'_{\text{ПОС1}} - R_{\text{ПОС2}} = \frac{10 \cdot 0,43}{1} - 1,6 - 0,43 = 2,3 \text{ кОм}.$$

Принимаем $R''_{\text{ПОС1}} = 2,4 \text{ кОм}$.

Уточненное значение U_m^- равно

$$U_m^- = \frac{10 \cdot 0,43}{1,6 + 0,43 + 2,4} = 0,97 \text{ В}.$$

4. Так как коэффициент передачи цепи ПОС для различных полярностей выходного напряжения неодинаков, то для периода выходного напряжения генератора из решения (11.22) можно записать

$$T = R_{ООС} C_{ООС} \left[\ln \left(1 + \frac{R_{ПОС2}}{R'_{ПОС1}} \right) + \ln \left(1 + \frac{R_{ПОС2}}{R'_{ПОС1} + R''_{ПОС1}} \right) \right].$$

Тогда постоянная времени цепи ООС

$$R_{ООС} C_{ООС} = \frac{T}{\ln(1 + R_{ПОС2} R'_{ПОС1}) + \ln[1 + R_{ПОС2} (R'_{ПОС1} + R''_{ПОС1})]} =$$

$$= \frac{10^{-4}}{\ln(1 + 0,43/1,6) + \ln[1 + 0,43(1,6 + 2,4)]} = 2,94 \cdot 10^{-4} \text{ с.}$$

Допустим $C_{ООС} = 0,1 \text{ мкФ}$. Тогда

$$R_{ООС} = 2,94 \cdot 10^{-4} / 0,1 \cdot 10^{-6} = 2,94 \text{ кОм.}$$

Принимаем $R_{ООС} = 3 \text{ кОм}$.

Контрольные вопросы

1. Поясните, при каких условиях состояние равновесия называется устойчивым, а при каких квазиустойчивым.
2. Какие условия необходимо выполнить для построения схемы триггера?
3. Какие существуют основные схемы построения триггеров?
4. Какую роль выполняют емкости цепей связи в схемах триггеров?
5. Какими параметрами определяется максимальная частота переключения триггера?
6. Докажите, почему в схеме триггера с эмиттерной связью введение в эмиттерные цепи транзисторов общего резистора обеспечивает формирование цепи ПОС.
7. Сравните характеристики симметричного триггера и триггера с эмиттерной связью.
8. Какие режимы работы генераторов Вы знаете?
9. Какие существуют типы генераторов?
10. Сформулируйте необходимые и достаточные условия существования автоколебательного режима работы в генераторах гармонических и негармонических колебаний.
11. Каким образом выполняются условия самовозбуждения в гармонических колебаниях с трансформаторной и RC -цепями ПОС?
12. Какое устройство называется мультивибратором?
13. Какую роль в схемах мультивибраторов выполняют конденсаторы связи?
14. Какие существуют принципиальные отличия между схемами автоколебательных и ждущих мультивибраторов?
15. Какими процессами определяются длительности фронта и среза выходных импульсов различных мультивибраторов?

16. Из каких условий при заданной частоте переключения можно определить минимальную длительность импульсов автоколебательных мультивибраторов?

17. Какие условия необходимо выполнить для того, чтобы в схемах триггера и ждущего мультивибратора отказаться от дополнительного источника смещения?

18. Нарисуйте временную диаграмму изменения напряжения на конденсаторах симметричного мультивибратора.

19. Как определить амплитуды прямоугольного и треугольного выходных напряжений генератора на ОУ?

20. Как изменится частота выходного напряжения генератора на ОУ при уменьшении постоянной времени цепи ООС?

21. Какие изменения необходимо внести в схему генератора на ОУ для получения на выходе переменного прямоугольного напряжения с различной амплитудой положительного и отрицательного напряжений?

ГЛАВА 12.

ИМПУЛЬСНЫЕ УСИЛИТЕЛИ МОЩНОСТИ

Практическое использование рассмотренных в гл. 10 СК можно реализовать по двум принципиально отличным направлениям. Первое из них использует информационный аспект коммутации, т. е. информацию о том, включен или выключен ключ в данный момент времени. Это направление легло в основу построения импульсных информационных устройств (см. гл. 11), а также рассматриваемых далее в части 3 учебника цифровых устройств. Во всех этих схемах, как правило, не интересуются ни мощностью, рассеиваемой в нагрузке, ни усилением входного управляющего сигнала. Основным является лишь констатация самого факта включенного или выключенного состояний транзисторного ключа.

Второе направление использует энергетический аспект коммутации. Очевидно, что во всех рассмотренных СК включенному и выключенному состояниям ключа соответствуют различные уровни мощности, отбираемой от источника питания и рассеиваемой в нагрузке. Поэтому, изменяя времена включенного и выключенного состояний ключа, можно изменять суммарную мощность, выделяющуюся в нагрузке, т. е. усиливать входной управляющий сигнал. Это свойство СК положено в основу разработки класса устройств, называемых импульсными усилителями мощности.

Рассмотрим более подробно вопросы, возникающие при разработке данного класса устройств. Для этого обратимся к последовательной СК, показанной на рис. 12.1, а. По своей сути эта схема

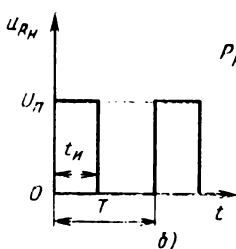
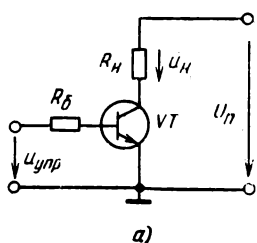


Рис. 12.1. Последовательная схема коммутации на биполярном транзисторе (а) и временная диаграмма изменения напряжения нагрузки (б)

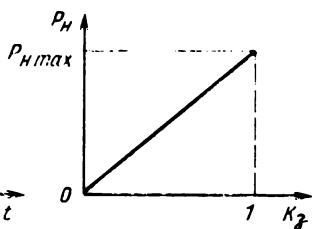


Рис. 12.2. Зависимость мощности, выделяющейся в нагрузку, от относительной длительности включенного состояния транзистора

повторяет схему аналогового усилителя электрического сигнала, рассмотренную в гл. 6. Отличие состоит лишь в способе управления регулирующим транзистором.

Для простоты будем полагать, что нагрузка имеет чисто активный характер. Тогда мощность, выделяющаяся в ней,

$$P_n = U^2 / R_n, \quad (12.1)$$

где U — действующее напряжение u_n .

Предположим, что на входе транзистора действует последовательность управляющих импульсов длительностью t_n и периодом следования T , обеспечивающая его работу в ключевом режиме. Тогда на нагрузке будет формироваться последовательность прямоугольных однополярных импульсов, показанная на рис. 12.1, б, и действующее напряжение

$$U = \sqrt{\frac{1}{T} \int_0^T u_n^2 dt} = U \sqrt{\frac{t_n}{T}} = U_n \sqrt{K_3}, \quad (12.2)$$

где U_n — напряжение источника питания, включенного в цепь нагрузки; K_3 — коэффициент заполнения или относительная длительность включенного состояния транзисторного ключа.

Тогда зависимость $P_n = F(K_3)$ будет иметь вид

$$P_n = (U_n \sqrt{K_3})^2 / R_n = P_{\max} K_3. \quad (12.3)$$

Графически эта зависимость имеет вид, показанный на рис. 12.2.

Таким образом, изменяя относительную длительность включенного состояния транзисторного ключа (K_3), можно регулировать мощность, выделяющуюся в нагрузку.

В соответствии со сказанным, первое направление относится к использованию транзисторного ключа в устройствах обработки и передачи информации, а второе — к использованию в устройствах распределения и преобразования электрической энергии.

Примерами второго направления применения являются управление режимом работы электродвигателя, термической печи, мощного электромагнита и т. д., т. е. управление различными исполнительными устройствами систем управления. Схемы, реализующие эти функции будем в дальнейшем называть импульсными усилителями мощности (ИУМ).

12.1. ОСНОВНЫЕ ТРЕБОВАНИЯ К ИМПУЛЬСНЫМ УСИЛИТЕЛЯМ МОЩНОСТИ

Причиной широкого использования ИУМ в различных устройствах автоматики в случаях, связанных с регулированием электрической мощности, является возможность построения устройств, теоретически обладающих КПД равным 1. Эта возможность вытекает из ранее полученного выражения (12.3), согласно которому процесс импульсного регулирования не связан с потерями мощности.

Действительно, если предположить, что используемый в схеме ИУМ, приведенной на рис. 12.1, транзисторный ключ является идеальным, т. е. выполняются условия:

$$R_{\text{кт вкл}} = 0; \quad R_{\text{кт выкл}} = \infty; \quad t_{\text{пер}} = 0; \quad P_{\text{упр}} = 0, \quad (12.4)$$

то мощность, отбираемая от источника питания, полностью выделяется в нагрузку, а это и означает, что КПД такого устройства равен 1.

Для реальных устройств такой КПД естественно не достижим, что объясняется невыполнением в реальных транзисторных ключах, используемых в ИУМ, условий идеальности (12.4). Однако реальный КПД ИУМ существенно выше, чем у усилителей, использующих активный режим работы транзистора.

Основные требования, предъявляемые к ИУМ, обычно направлены на более полную реализацию их потенциальных преимуществ, а именно на повышение КПД. К ним можно отнести: уменьшение мощности, рассеиваемой в цепях управления при включенном и выключенном состояниях транзисторного ключа; уменьшение мощности в силовых цепях транзисторных ключей при их включенном и выключенном состояниях; уменьшение мощности, связанной с конечным значением времени перехода транзисторного ключа из включенного состояния в выключенное и наоборот.

Следует отметить, что повышение КПД ИУМ не является самоцелью, а неразрывно связано с основной тенденцией развития

современной электроники, а именно с комплексной миниатюризацией радиоэлектронного оборудования.

Очевидно, что размеры любого ЭУ даже при использовании самых совершенных технологических приемов в заданных условиях эксплуатации в конечном счете определяются выделяющейся в нем мощностью. Таким образом повышение КПД является неприемлемым условием, при котором применение гибридной и полупроводниковой технологий позволяет существенно снизить массу и объем, а следовательно, расширить функциональные возможности радиоэлектронной аппаратуры.

В зависимости от предъявляемых требований и круга решаемых задач, ИУМ могут строиться по различным структурным схемам, которые базируются на рассмотренных в гл. 10 СК. Однако в любом случае основой ИУМ является схема транзисторного ключа, выполненного на основе биполярного или полевого транзистора (рис. 12.3, а, б), включенного соответственно по схемам с общим эмиттером или истоком. Использование этих схем включения объясняется возможностью получения максимального коэффициента усиления по мощности.

12.2. СТАТИЧЕСКИЕ ПОТЕРИ В ТРАНЗИСТОРНОМ КЛЮЧЕ

Статические потери это потери в установившемся включенном (замкнутом) и выключенном разомкнутом состояниях транзисторного ключа:

$$P_{\text{ст}} = P_{\text{зам}} + P_{\text{раз}}. \quad (12.5)$$

Потери во включенном состоянии. В общем случае потери во включенном состоянии складываются из потерь в цепях управления и потерь в силовой цепи транзистора:

$$P_{\text{зам}} = P_{\text{упр}} + P_{\text{сил}} = E_{\text{упр}} I_{\text{упр}} + U_{\text{кл. ост}} I_{\text{н}}. \quad (12.6)$$

В ключе, выполненном на биполярном транзисторе, присутствуют обе составляющие потерь. В ключе на полевом транзисторе основную долю потерь составляют потери в силовой цепи транзистора. Это объясняется тем, что процесс протекания тока между стоком и истоком теоретически не связан с протеканием тока в цепи управления.

Для транзисторного ключа ток $I_{\text{н}}$ обычно задан. Поэтому потери в силовой цепи включенного транзистора зависят от конкретного остаточного напряжения $U_{\text{кл. ост}}$. Если рассмотреть выходные характеристики как биполярного, так и полевого транзисторов, можно сделать вывод, что уменьшение остаточного напряжения достигается для полевого транзистора увеличением напряжений $E_{\text{упр}} = U_{\text{зи}}$, а для биполярного — увеличением $I_{\text{упр}} = I_{\text{б}}$.

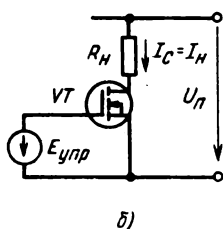
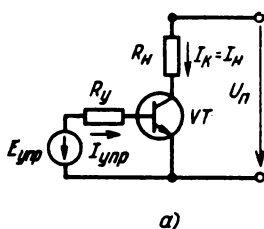


Рис. 12.3. Транзисторные ключи на биполярном (а) и полевом (б) транзисторах

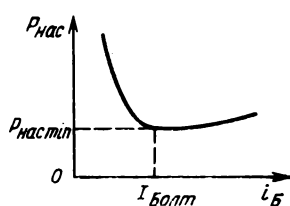


Рис. 12.4. Зависимость мощности, рассеиваемой биполярным транзистором в режиме насыщения, от степени его насыщения

В ключе на полевом транзисторе, так как $I_{упр}=0$, увеличение $E_{упр}$ ведет к монотонному падению $U_{кл\text{ ост}}$ и, следовательно, $P_{зам}$. В ключе на биполярном транзисторе увеличение I_B вместе с уменьшением $U_{кл\text{ ост}}$ и соответственно потерь в силовой цепи увеличивает потери в цепях управления. Поэтому зависимость $P_{зам} = F(I_B)$ имеет экстремум (рис. 12.4).

Очевидно, что существует такой оптимальный ток $I_B = I_{B\text{ опт}}$, для которого при заданном токе нагрузки потери в насыщенном (включенном) биполярном транзисторе будут минимальны. Ток $I_{B\text{ опт}}$ удобнее характеризовать оптимальной степенью насыщения, которая для современных биполярных транзисторов лежит в диапазоне

$$q_{\text{опт}} = I_B h_{21Э} / I_{КН} = 1,5 \dots 2. \quad (12.7)$$

Следует отметить, что в районе экстремума $P_{зам}$ меняется незначительно. Поэтому на практике для минимизации потерь в насыщенном биполярном транзисторе вполне допустимо использовать условие (12.7).

Очевидно, что для уменьшения потерь на управление в насыщенном состоянии в биполярном транзисторе можно также снижать напряжение $E_{упр}$. Однако на практике $E_{упр}$ не снижают ниже 4...6 В. Это обусловлено тем, что, если транзисторный ключ работает в широком диапазоне изменения температур окружающей среды, при меньших значениях $E_{упр}$ изменение $U_{БЭ} = F(T, ^\circ\text{C})$ приведет к значительным отклонениям q от $q_{\text{опт}}$, и как следствие — к значительному увеличению потерь.

Как было отмечено ранее, процесс усиления мощности в ИУМ связан с изменением относительной длительности импульсов. Поэтому транзисторный ключ находится во включенном состоянии

только часть периода и суммарные потери в биполярном транзисторе определяются выражением

$$P_{\text{зам}} = (E_{\text{упр}} I_{\text{упр}} + U_{\text{кл нас}} I_{\text{н}}) K_{\text{з}}. \quad (12.8)$$

Для ключа на полевом транзисторе, как было сказано выше, потери во включенном состоянии определяются только потерями в силовой цепи

$$P_{\text{зам}} = U_{\text{кл нас}} I_{\text{н}} K_{\text{з}}. \quad (12.9)$$

Потери в выключенном состоянии. Напомним, что в общем случае транзисторный ключ считается выключенным (запертым), если ток, протекающий в его силовой цепи, удовлетворяет неравенству

$$I_{\text{кл зап}} < 0,1 I_{\text{н}}.$$

Потери в выключенном (разомкнутом) состоянии также складываются из двух составляющих:

$$P_{\text{раз}} = P_{\text{упр}} + P_{\text{сил}} = E_{\text{упр}} I_{\text{зап}} + U_{\text{кл зап}} I_{\text{кл зап}}, \quad (12.10)$$

где $U_{\text{кл зап}}$ — напряжение на выключенном транзисторе; $I_{\text{зап}}$ — запирающий ток в цепи управления.

Из этого выражения следует, что минимальные потери в запертом состоянии для ключа, выполненного на биполярном транзисторе, будут соответствовать режиму глубокой отсечки

$$P_{\text{раз min}} = I_{\text{к0}} (E_{\text{упр}} + U_{\text{н}}). \quad (12.11)$$

Для ключа на полевом транзисторе потери в разомкнутом состоянии так же, как и в замкнутом состоянии, определяются в основном потерями в силовой цепи

$$P_{\text{раз}} \approx I_{\text{кл зап}} U_{\text{н}}. \quad (12.12)$$

Так как процесс работы ИУМ связан с коммутацией нагрузки, общие потери в разомкнутом состоянии также зависят от коэффициента заполнения

$$P_{\text{раз}} = (E_{\text{упр}} I_{\text{зап}} + E_{\text{к}} I_{\text{кл зап}}) (1 - K_{\text{з}}). \quad (12.13)$$

Это выражение справедливо для биполярного транзистора. Для полевого транзистора по аналогии с замкнутым состоянием составляющая $E_{\text{упр}} I_{\text{зап}}$ равна нулю.

Пример 12.1. Определить статические потери в ключе последовательной СК при использовании биполярного транзистора КТ874Б и полевого транзистора К1704А; напряжение питания $U_{\text{н}} = 27$ В, сопротивление нагрузки $R_{\text{н}} = 2,5$ Ом, управляющее напряжение $U_{\text{упр}} = \pm 4$ В.

Решение. 1. Согласно справочным данным, транзистор КТ874Б имеет следующие параметры: $h_{21\text{Э}} = 10$; $U_{\text{КЭ нас}} = 1$ В ($I_{\text{К}} = 30$ А, $I_{\text{Б}} = 5$ А); $I_{\text{К0}} = 3$ мА.

2. Эквивалентное сопротивление насыщенного транзистора

$$R_{КЭ\text{ нас}} = U_{КЭ\text{ нас}}/I_K = 1/30 = 0,03 \text{ Ом.}$$

3. Максимальный ток нагрузки

$$I_{н\text{ max}} = U_n / (R_n + R_{КЭ\text{ нас}}) = 27 / (2,5 + 0,03(3)) = 10,66 \text{ А.}$$

4. Максимальный базовый ток транзистора

$$I_{Б\text{ max}} = (I_{н\text{ max}} / h_{21Э}) q = 10,66 \cdot 1,75 / 10 = 1,87 \text{ А.}$$

5. Падение напряжения на насыщенном транзисторе

$$U_{КЭ\text{ нас}} = I_{н\text{ max}} R_{КЭ\text{ нас}} = 10,66 \cdot 0,03(3) = 0,36 \text{ В.}$$

6. Статические потери во включенном транзисторе

$$P_{зам} = (U_{упр} I_{Б\text{ max}} + I_{н\text{ max}} U_{КЭ\text{ нас}}) K_3 = (4 \cdot 1,87 + 10,66 \cdot 0,36) \cdot K_3 = 11,27 \text{ Кз.}$$

7. Статические потери в запертом транзисторе для режима глубокой отсечки

$$P_{раз} = (U_{упр} + U_n) I_{К0} (1 - K_3) = 0,093 (1 - K_3).$$

8. Общие статические потери в биполярном транзисторе

$$P_{ст} = P_{зам} + P_{раз} = 0,093 + 11,18 \text{ Кз;}$$

$$P_{ст\text{ min}} = 0,093 \text{ Вт } (K_3 = 0);$$

$$P_{ст\text{ max}} = 11,27 \text{ Вт } (K_3 = 1).$$

9. Согласно справочнику, полевой транзистор КП704А имеет следующие параметры:

$$I_{с\text{ нач}}(U_{3И} = 0) = 0,8 \text{ мА; } R_{СИ\text{ отк}}(U_{3И} = 15 \text{ В}) = 0,35 \text{ Ом.}$$

10. Максимальный ток нагрузки

$$I_{н\text{ max}} = U_n / (R_n + R_{СИ\text{ отк}}) = 27 / (2,5 + 0,35) = 9,47 \text{ А.}$$

11. Падение напряжения на включенном транзисторе

$$U_{СИ\text{ вкл}} = I_{н\text{ max}} R_{СИ\text{ отк}} = 9,47 \cdot 0,35 = 3,32 \text{ В.}$$

12. Статические потери во включенном транзисторе

$$P_{зам} = I_{н\text{ max}} U_{СИ\text{ вкл}} K_3 = 9,47 \cdot 3,32 \text{ Кз} = 31,45 \text{ Кз.}$$

13. Статические потери в выключенном транзисторе

$$P_{раз} = I_{с\text{ нач}} U_n (1 - K_3) = 0,8 \cdot 10^{-3} \cdot 27 = 21,6 \cdot 10^{-3} \cdot (1 - K_3).$$

14. Общие статические потери в полевом транзисторе

$$P_{ст} = P_{зам} + P_{раз} = 21,6 \cdot 10^{-3} + 31,45 \text{ Кз;}$$

$$P_{ст\text{ min}} = 21,6 \cdot 10^{-3} \text{ Вт } (K_3 = 0);$$

$$P_{ст\text{ max}} = 31,45 \text{ Вт } (K_3 = 1).$$

Сравнивая полученные в примере результаты, можно сказать, что несмотря на отсутствие потерь на управление, статические потери в полевом транзисторе превышают потери в биполярном

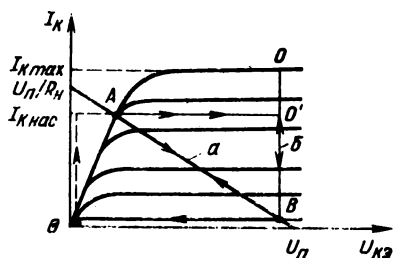


Рис. 12.5. Траектории переключения транзистора при различных типах нагрузки:
а — активная нагрузка; б — индуктивная нагрузка

транзисторе. Это объясняется большим эквивалентным сопротивлением включенного прибора $R_{си\text{ отк}}$. Во мере совершенствования технологии величина этого сопротивления уменьшается, что ведет к снижению статических потерь в полевом транзисторе.

12.3. ДИНАМИЧЕСКИЕ ПОТЕРИ В ТРАНЗИСТОРНОМ КЛЮЧЕ

Динамические потери в транзисторном ключе определяются в основном потерями в его силовой цепи и поэтому не зависят от типа используемого транзистора (биполярный или полевой). Основными определяющими факторами являются длительности фронта и среза импульса коллекторного (стокового) тока транзистора и тип нагрузки. Рассмотрим процессы коммутации активной и активно-индуктивной нагрузок как наиболее часто встречающиеся на практике. Для этого воспользуемся выходными характеристиками биполярного транзистора, на которых дополнительно изобразим нагрузочную прямую, соответствующую заданному R_H (рис. 12.5).

Потери при коммутации активной нагрузки. Ранее уже отмечалось, что при коммутации активной (резистивной) нагрузки рабочая точка транзистора движется по нагрузочной прямой между точками А и В, соответствующими включенному и выключенному состояниям транзистора. Предположим, что скорости изменения токов и напряжений в транзисторе постоянны. Тогда временные диаграммы изменения тока коллектора и напряжения коллектор—эмиттер при включении транзистора будут иметь вид, показанный на рис. 12.6.

Энергия, выделяющаяся при этом в транзисторе за одно переключение, будет равна

$$W_{\text{вкл}} = \int_{t_0}^{t_1} u_{\text{КЭ}} i_K dt = I_{\text{К нас}} U_{\text{П}} t_{\text{вкл}} / 6, \quad (12.14)$$

где $u_{\text{КЭ}} = U_{\text{П}} [1 - (t - t_0) / t_{\text{вкл}}]$ — закон изменения напряжения коллектор—эмиттер; $i_K = I_{\text{К нас}} (t - t_0) / t_{\text{вкл}}$ — закон изменения коллекторного тока; $t_{\text{вкл}} = t_1 - t_0$ — время включения.

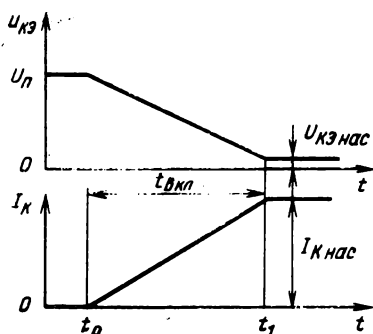


Рис. 12.6. Временные диаграммы включения транзистора при активном характере нагрузки

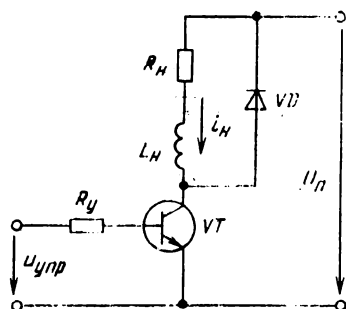


Рис. 12.7. Схема импульсного усилителя мощности с замыкающим диодом

С учетом того, что коммутация транзистора осуществляется с некоторой частотой $f_{\text{ком}}$, для потерь на включение окончательно получим

$$P_{\text{вкл}} = I_{\text{К нас}} U_{\text{П}} t_{\text{вкл}} f_{\text{ком}} / 6. \quad (12.15)$$

Аналогичное выражение можно получить, рассматривая процесс выключения транзистора. Тогда суммарные потери при коммутации активной нагрузки, равные сумме потерь на включение и выключение, будут равны

$$P_{\text{дин}} = I_{\text{К нас}} U_{\text{П}} (t_{\text{вкл}} + t_{\text{выкл}}) f_{\text{ком}} / 6. \quad (12.16)$$

Длительности $t_{\text{вкл}}$ и $t_{\text{выкл}}$, равные соответственно длительностям фронта $t_{\text{ф}}$ и среза $t_{\text{ср}}$ импульса коллекторного тока, могут быть определены по известным частотным свойствам транзистора и параметрам управляющего сигнала (см. § 10.3).

Потери при коммутации активно-индуктивной нагрузки. При активно-индуктивном характере нагрузки схема транзисторного ключа, показанная на рис. 12.3, не может быть использована. Вызвано это тем, что к концу импульса ток в индуктивности L_{H} достигает некоторого значения $I_{L_{\text{H}}} = I_{\text{К}}(t_{\text{H}})$ и попытка разорвать этот ток при помощи транзисторного ключа приведет к появлению противоЭДС $u_{L_{\text{H}}} = L_{\text{H}} di_{\text{К}}/dt$, которая будет стремиться к поддержанию тока $i_{L_{\text{H}}}$ на достигнутом уровне. Эта противоЭДС, складываясь с напряжением $U_{\text{П}}$, прикладывается между выводами эмиттера и коллектора закрывающегося транзистора, что может вызвать его пробой. Для устранения этой опасности RL -нагрузку обычно шунтируют дополнительным диодом (рис. 12.7).

Этот диод образует цепь протекания тока дросселя на интервале, когда транзистор закрыт и поэтому называется замыкающим. Включение диода качественно меняет процесс коммутации транзистора.

Следует отметить, что включение замыкающего диода фактически преобразует последовательную СК в последовательно-параллельную, позволяющую реализовать так называемый безразрывный режим коммутации нагрузки. В этом режиме не зависимо от состояния транзисторного ключа существует цепь для протекания тока нагрузки, что принципиально необходимо для нормального функционирования нагрузок, содержащих индуктивность.

Рассмотрим процессы изменения тока и напряжения транзистора при коммутации RL -нагрузки. При этом будем полагать, что постоянная времени нагрузки $\tau_n = L_n/R_n$ существенно больше периода коммутации транзистора VT .

Предположим, что транзистор VT заперт и в некоторый момент времени t_0 на его управляющий переход подан положительный перепад напряжения, достаточный для его включения. При этом до момента $t = t_0$ в индуктивности L_n через замыкающий диод VD протекал некоторый ток $I_{вкл}$ (рис. 12.8), и к силовым выводам транзисторного ключа было приложено напряжение $U_n + U_d$.

Под действием управляющего напряжения транзистор начинает открываться. При этом, так как $\tau_n \gg T$, можно считать, что $i_n =$

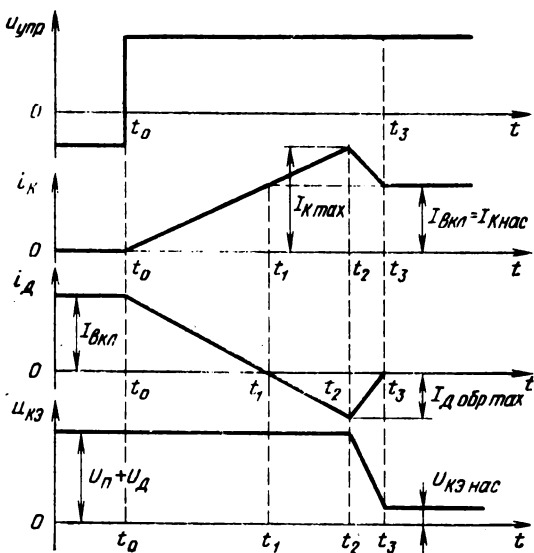


Рис. 12.8. Временные диаграммы включения транзистора на RL -нагрузку

$=I_{\text{вкл}}=\text{const}$, а ток замыкающего диода по мере увеличения i_K уменьшается по линейному закону $i_D=I_{\text{вкл}}-i_K$. Так как замыкающий диод, через который протекает разность токов $I_{\text{вкл}}-i_K$, по-прежнему открыт, увеличение коллекторного тока происходит при напряжении между выводами эмиттера и коллектора, равном $U_{\text{п}}+U_{\text{д}}$. В момент t_1 ток коллектора достигает значения $I_{\text{вкл}}$, но из-за инерционности замыкающего диода последний еще некоторое время, определяемое временем восстановления его обратного сопротивления, будет открыт и напряжение на транзисторе будет по-прежнему равно $U_{\text{п}}+U_{\text{д}}$, а ток коллектора будет продолжать расти.

В момент t_2 диод начнет закрываться и напряжение на транзисторе будет плавно падать до $U_{\text{кэ нас}}$, а ток коллектора уменьшится до $I_{\text{вкл}}$.

В соответствии со сказанным, энергия, выделяющаяся в рассматриваемой схеме при одном включении транзистора,

$$W_{\text{вкл}} \approx \int_{t_0}^{t_2} U_{\text{п}} i_K dt = I_{\text{К макс}} U_{\text{п}} t_{\text{вкл}}/2. \quad (12.17)$$

В выражении (12.17) время $t_{\text{вкл}}$ равно сумме времен фронта коллекторного тока при его изменении от 0 до $I_{\text{К нас}}$ и времени рассасывания неосновных носителей области базы замыкающего диода. Следует отметить, что полученное выражение не учитывает энергию, выделяющуюся в транзисторе на интервале t_2-t_3 . Такое допущение справедливо, так как обычно $t_2-t_0 \gg t_3-t_2$.

Рассмотрим процессы, протекающие в схеме при выключении транзисторного ключа (рис. 12.9). Предположим, что в момент t_0 ток индуктивности нагрузки $I_{L_{\text{н}}}=I_{\text{К нас}}$ и на управляющий переход транзистора подано запирающее напряжение. В течение интервала рассасывания неосновных носителей в области базы, как мы уже говорили ранее, относительно нагрузки транзисторный ключ остается включенным и ток коллектора поддерживается на уровне $I_{\text{К нас}}$ (интервал t_0-t_1). После момента t_1 ток коллектора начинает уменьшаться. Будем как и ранее считать, что это изменение происходит по линейному закону. Как только нарушается равенство $i_K=I_{\text{К нас}}$, т. е. i_K становится меньше тока $I_{\text{К нас}}$, по закону электромагнитной индукции напряжение на индуктивности $L_{\text{н}}$ меняет знак, стремясь поддержать ток цепи на неизменном уровне. При этом к замыкающему диоду прикладывается напряжение, полярность которого для него является отпирающей. Замыкающий диод открывается и напряжение на транзисторе скачком увеличивается до $U_{\text{п}}+U_{\text{д}}$, т. е. как и при включении, изменение коллекторного тока происходит при напряжении на транзисторе, равном фактически напряжению питания. Энергию, вы-

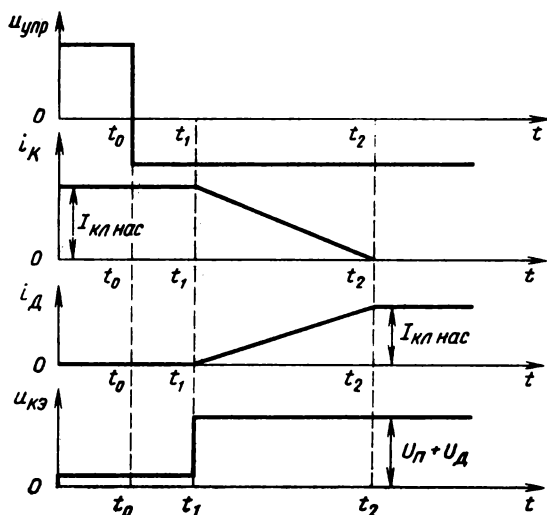


Рис. 12.9. Временные диаграммы выключения транзистора на RL -нагрузку

деляющуюся в транзисторе при его одном выключении, аналогично проделанному ранее можно определить из выражения

$$W_{\text{выкл}} \approx \int_{t_1}^{t_2} U_{\text{п}} i_K dt = I_{\text{К нас}} U_{\text{п}} t_{\text{выкл}} / 2. \quad (12.18)$$

Суммарные динамические потери в транзисторе равны сумме потерь на включение и выключение. С учетом заданной частоты коммутации для них можно записать следующее выражение:

$$P_{\text{дин}} = U_{\text{п}} f_{\text{ком}} (I_{\text{К макс}} t_{\text{вкл}} + I_{\text{К нас}} t_{\text{выкл}}) / 2. \quad (12.19)$$

Подытоживая сказанное, можно выделить две основные особенности процесса переключения транзисторного ключа при работе на RL -нагрузку:

изменение коллекторного (стокового) тока транзисторного ключа при включении — выключении происходит при напряжении на коллекторе (стоке), равном напряжению питания;

максимальный ток коллектора (стока) транзисторного ключа при включении больше тока нагрузки.

Из сказанного очевидно, что даже при использовании безынерционного замыкающего диода динамические потери в транзисторном ключе при коммутации RL -нагрузки превышают аналогичные потери при коммутации активной нагрузки. Это увеличение потерь объясняется необходимостью обеспечения безразрывности

тока нагрузки, что потребовало замены последовательной СК на последовательно-параллельную.

Возвращаясь к рис. 12.5, можно сказать, что движение рабочей точки транзистора при коммутации RL -нагрузки будет происходить не по нагрузочной прямой, а по ломаным BOA или AOB , т. е. при включении транзистор попадает в точку O , для которой $i_K = I_{K \max}$, а при выключении — в точку O' , для которой $i_K = I_{K \text{ нас}}$, причем в обоих случаях $U_{КЭ} = U_n$, что сопряжено с выделением в транзисторе очень большой мгновенной мощности. По этой причине при разработке транзисторных ключей, работающих на RL -нагрузку, необходимо, чтобы точки « O » и « O' » лежали в области безопасной работы транзистора, оговариваемой в ТУ на его применение. Иначе разрабатываемое устройство может оказаться не работоспособным.

Пример 12.2. Определить динамические потери в транзисторе типа КТ874Б при коммутации RL -нагрузки с параметрами $R_n = 2,5 \text{ Ом}$; $L_n = 10^{-2} \text{ Гн}$; $U_n = 27 \text{ В}$; $f_{\text{ком}} = 20 \text{ кГц}$. Считать, что время рассасывания днюда в два раза меньше длительности фронта коллекторного тока транзистора.

Решение. 1. Постоянная времени нагрузки

$$\tau_n = L_n / R_n = 10^{-2} / 2,5 = 4 \cdot 10^{-3} \text{ с.}$$

2. Так как $\tau_n \gg T_{\text{ком}} = 50 \cdot 10^{-6} \text{ с}$, то можно считать, что при неизменном коэффициенте заполнения ток нагрузки практически постоянен и равен своему среднему значению:

$$I_{n \text{ ср}} = U_n K_3 / R_n = 27 K_3 / 2,5 = 10,8 K_3.$$

3. Согласно справочным данным на транзистор КТ874Б, при $I_K / I_B = 6$ и $U_n = 30 \text{ В}$ для $I_K = 5 \text{ А}$ время фронта коллекторного тока при включении $t_f = 10^{-6} \text{ с}$, для $I_K = 10 \text{ А}$ время $t_f = 0,77 \cdot 10^{-6} \text{ с}$, причем зависимость $t_f = \varphi(I_K)$ близка к линейной.

При изменении I_K от 5 до 10 А время среза коллекторного тока при выключении уменьшается примерно линейно от $0,18 \cdot 10^{-6}$ до $0,15 \cdot 10^{-6} \text{ с}$.

Аппроксимируя данные зависимости прямыми линиями, получаем

$$t_f = 10^{-6} (1,23 - 4,6 \cdot 10^{-2} I_K), \quad t_{ср} = 10^{-6} (0,21 - 6 \cdot 10^{-3} I_K).$$

4. Считая, что ток транзистора при включении увеличивается по линейному закону при условии $t_{\text{вкл}} = 1,5 t_f$, максимальный ток коллектора равен

$$I_{K \max} = 1,5 I_{n \text{ ср}}.$$

5. Суммарные динамические потери в транзисторе согласно выражению (12.19) равны

$$P_{\text{дин}} = 27 \cdot 20 \cdot 10^3 / 2 \cdot [1,5 \cdot 10,8 K_3 \cdot 10^{-6} (1,23 - 4,6 \cdot 10^{-2} \cdot 10,8 K_3) + 10,8 K_3 \cdot 10^{-6} (0,21 - 6 \cdot 10^{-3} \cdot 10,8 K_3)] = K_3 (5,99 - 2,36 K_3).$$

При $K_3 \rightarrow 1$ $P_{\text{дин}} = 3,63 \text{ Вт}$. При $K_3 = 0,5$ $P_{\text{дин}} = 2,4 \text{ Вт}$.

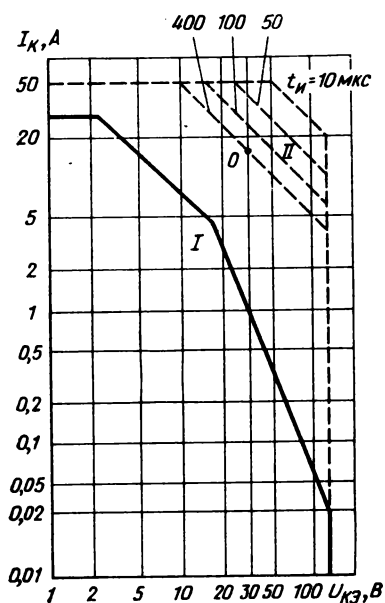


Рис. 12.10. Область безопасной работы биполярного транзистора КТ874Б

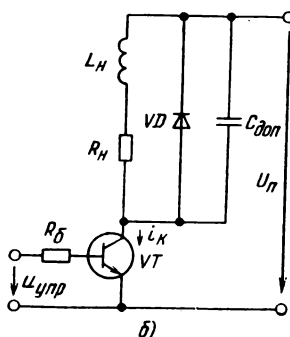
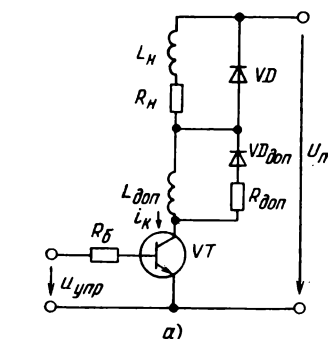


Рис. 12.11. Транзисторный ключ с цепями уменьшения потерь на включение (а) и выключение (б)

6. Определим, не выходит ли траектория переключения транзистора из области его безопасной работы. Максимальный ток коллектора при включении соответствует режиму $K_3 \rightarrow 1$ и равен $I_{K \max} = 1,5 \cdot 10,8 = 16,2$ А.

На рис. 12.10 приведена заимствованная из справочника область безопасной работы транзистора КТ874Б, на которую нанесена точка «О» с координатами $I_K = 16,2$ А, $U_{КЭ} = 27$ В. Очевидно, что эта точка выходит из области I, соответствующей статическому режиму работы, но лежит внутри области II для динамического режима работы при $t_n = 50 \cdot 10^{-6}$ с. Следовательно, во всех режимах работы параметры транзистора не превышают предельно допустимые значения.

Методы снижения динамических потерь. Как было показано ранее, мощность, рассеиваемая в транзисторном ключе в режиме переключения, определяется произведением мгновенных значений тока и напряжения на интервалах фронта и среза импульса тока транзистора. Поэтому радикальным методом уменьшения динамических потерь является разнесение во времени интервалов из-

менения его тока и напряжения. Это предполагает, что на интервале изменения тока транзисторного ключа напряжение на нем должно быть близко к нулевому или, наоборот, при изменении напряжения на транзисторном ключе ток, протекающий через него, должен быть близок к нулю. Такого режима работы можно добиться двумя принципиально различными способами. Первый используется когда существует возможность в некотором диапазоне произвольно варьировать параметры нагрузки. Тогда параметры нагрузки транзисторного ключа выбираются таким образом, чтобы к моменту коммутации автоматически выполнялось условие $U_{кл}=0$ или $I_{кл}=0$. Такой режим возможен, если нагрузка по своим эквивалентным параметрам представляет резонансный контур, а период коммутации кратен резонансной частоте этого контура.

Второй способ используется, если параметры нагрузки строго заданы, и состоит во введении в схему дополнительных цепей, искусственно разносящих во времени перепады тока и напряжения на переключающемся ключе. Рассмотрим примеры таких технических решений.

На рис. 12.11, а приведена схема транзисторного ключа, в которой обеспечивается уменьшение или полное устранение потерь на включение транзистора. Идея ее построения достаточно проста. Для того чтобы на интервале изменения коллекторного тока напряжение на транзисторе было близко к нулю, в силовую цепь необходимо ввести элемент, реальная скорость изменения тока в котором меньше скорости изменения коллекторного тока транзистора при его включении. Такое ограничение скорости увеличения тока в силовой цепи может быть достигнуто, например, включением последовательно с RL -нагрузкой дополнительной индуктивности $L_{доп}$. Она рассчитывается из вышеуказанного условия, а именно

$$di_K/dt > di_{L_{доп}}/dt \quad \text{или} \quad L_{доп} > U_{пвкл}/I_{К \max}. \quad (12.20)$$

При выполнении этого условия, так как скорость реального изменения коллекторного тока ограничена дополнительной индуктивностью, напряжение на включающемся транзисторе вплоть до момента окончания фронта коллекторного тока практически равно нулю. В момент, когда ток дополнительного дросселя достигнет $I_{К \max}$, силовой транзистор будет уже насыщен и напряжение питания полностью прикладывается к RL -нагрузке.

При выключении транзистора, если не применять специальные меры, поведение дополнительной индуктивности будет аналогично поведению индуктивности нагрузки. Возникающая на $L_{доп}$ противоЭДС, складываясь с напряжением питания, ухудшает условия выключения транзистора. В пределе наличие противоЭДС может

привести к пробое транзистора. Чтобы ограничить увеличение напряжения на выключающемся транзисторе, дополнительную индуктивность $L_{\text{доп}}$ обычно шунтируют цепочкой из последовательно соединенных диода и резистора. При выключении транзистора противоЭДС $L_{\text{доп}}$ открывает диод $VD_{\text{доп}}$ и энергия, накопленная в индуктивности, рассеивается в резисторе $R_{\text{доп}}$. Сопротивление резистора $R_{\text{доп}}$ определяется компромиссом между двумя условиями: увеличение $R_{\text{доп}}$ приводит к увеличению напряжения на запирающемся транзисторе, т. е. увеличивает потери на выключение, а его уменьшение увеличивает длительность минимально необходимой паузы между двумя включениями транзистора. Последнее объясняется тем, что к моменту следующего включения ток $i_{L_{\text{доп}}}$ должен уменьшиться до нуля и диод $VD_{\text{доп}}$ закрыться. Если это условие не будет выполнено, то при очередном включении ток коллектора силового транзистора будет замыкаться через диод $VD_{\text{доп}}$, что приведет к появлению потерь на включение.

Как вытекает из рассмотренного принципа работы, данная цепь не снижает потери на выключение транзисторного ключа. Добиться снятия этой составляющей динамических потерь можно, используя схему, показанную на рис. 12.11, б. В этой схеме для снятия потерь на выключение RL -нагрузка зашунтирована дополнительным конденсатором. Принцип работы этой схемы состоит в следующем. На интервале включенного состояния транзистора конденсатор $C_{\text{доп}}$ заряжается практически до напряжения питания. Поэтому в момент выключения транзистора, когда его ток коллектора становится меньше тока I_n , замыкающий диод VD , смещенный в обратном направлении напряжением заряженного конденсатора $C_{\text{доп}}$, мгновенно открыться не может. Возникающая разность токов $I_{L_n} - i_k$ замыкается через конденсатор $C_{\text{доп}}$, вызывая его перезаряд. Таким образом, к запирающемуся транзистору прикладывается разность напряжений $U_n - u_{C_{\text{доп}}}$. Если емкость конденсатора $C_{\text{доп}}$ достаточно велика, то за время, равное времени выключения транзистора, его коллекторное напряжение изменяется незначительно, что эквивалентно выключению транзистора при напряжениях $U_{кз}$, существенно меньших напряжения питания. Это позволяет снизить потери на выключение транзистора.

Обычно, так как $C_{\text{доп}}$ увеличивает потери во включающемся транзисторе, обе рассмотренные схемы используют совместно. Такое решение позволяет снизить динамические потери в транзисторном ключе практически до нуля.

Принцип снижения потерь в переключающемся транзисторе наглядно можно пояснить с использованием выходных характеристик транзистора. Для этого еще раз обратимся к рис. 12.5.

Из полученных ранее выражений (12.16) и (12.19) следует, что мощность, рассеиваемая в транзисторе при переключении, пропорциональна площади, расположенной под траекторией перемещения рабочей точки транзистора на его выходных характеристиках. Если изменение тока происходит при напряжении близком к нулю или изменение напряжения происходит при токе близком к нулевому, то рабочая точка транзистора перемещается практически по осям характеристики и площадь, расположенная под траекторией ее движения, равна нулю. Поэтому равна нулю и мощность, выделяющаяся в транзисторе.

Цепи, рассмотренные выше, при правильном их расчете позволяют практически до нуля уменьшить динамические потери в транзисторе. Это значительно повышает надежность его работы, однако не увеличивает КПД ИУМ. Для повышения КПД ИУМ необходимо использовать дополнительные схемотехнические решения, направленные на полезное использование энергии, накопленной в дополнительных реактивностях схемы.

12.4. РЕЖИМЫ ИМПУЛЬСНОГО РЕГУЛИРОВАНИЯ МОЩНОСТИ

Как наиболее типичный для работы ИУМ, рассмотрим случай импульсного регулирования мощности в RL -нагрузке. Для простоты будем полагать, что постоянная времени RL -нагрузки $\tau_n = L_n/R_n$ существенно больше периода коммутации транзистора, т. е.

$$\tau_n \gg T. \quad (12.21)$$

Это позволяет считать изменения тока индуктивности i_{L_n} практически линейными, а сами эти изменения существенно меньшими среднего значения ее тока. На практике эти условия практически всегда выполняются. Коммутация R -нагрузки является частным случаем коммутации RL -нагрузки.

При питании импульсного усилителя мощности от источника постоянного тока и безразрывной коммутации цепи нагрузки, напряжение на последней имеет прямоугольную форму. При этом возможны три режима регулирования электрической мощности, называемые соответственно первый, второй и третий импульсные режимы. Общим для всех этих случаев, как отмечалось ранее, является регулирование мощности нагрузки изменением относительной длительности выходных импульсов, т. е. изменением коэффициента заполнения K_z .

Первый импульсный режим. В первом импульсном режиме (ИПР) питание нагрузки осуществляется последовательностью однополярных прямоугольных импульсов неизменной амплитуды (рис. 12.12).

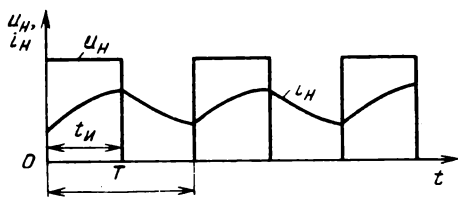


Рис. 12.12. Временные диаграммы напряжения и тока нагрузки в первом импульсном режиме

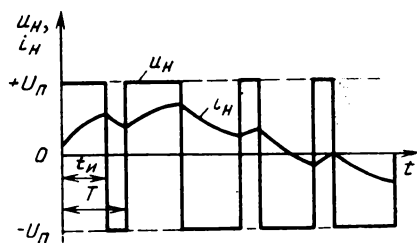


Рис. 12.13. Временные диаграммы напряжения и тока нагрузки во втором импульсном режиме

Этот режим используется, как правило, для регулирования мощности в нереверсивных RL -нагрузках (т. е. в нагрузках, для которых по условию работы направление протекания тока не должно изменяться). При этом нагрузка может содержать источник противоЭДС.

Средний ток нагрузки в этом режиме определяется выражением

$$I_0 = I_{\max} (K_3 - U_0/U_n), \quad (12.22)$$

где U_0 — противоЭДС в цепи нагрузки; $I_{\max} = U_n/R_n$ — максимальный установившийся ток нагрузки. Действующий ток нагрузки

$$I_n = I_{\max} K_3 \sqrt{1 + (T/\tau_n)^2 (1 - K_3)^2 / 12}. \quad (12.23)$$

Очевидно, что чем жестче выполняется условие (12.21), тем меньше пульсации тока в индуктивности нагрузки и I_n стремится к I_0 .

Второй импульсный режим. Во втором импульсном режиме (2ИР) питание нагрузки осуществляется прямоугольным переменным напряжением, причем импульсы чередующейся полярности следуют непрерывно друг за другом (рис. 12.13).

Данный режим, как правило, применяется для регулирования мощности постоянного тока в реверсируемой RL -нагрузке, как без, так и с противоЭДС.

Для данного режима постоянная составляющая тока нагрузки определяется выражением

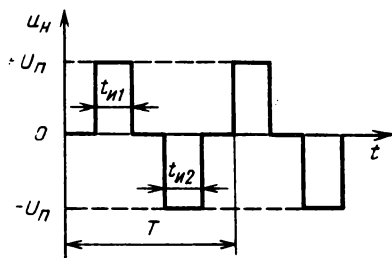
$$I_0 = I_{\max} [(2K_3 - 1) - U_0/U_n], \quad (12.24)$$

а действующий ток нагрузки

$$I_n = I_{\max} \sqrt{(2K_3 - 1)^2 + T^2 K_3^2 (1 - K_3)^2 / 3\tau_n^2}. \quad (12.25)$$

Очевидно, что при одинаковых параметрах нагрузки пульсации тока в индуктивности нагрузки для 2ИР больше, чем для 1ИР.

Рис. 12.14. Временные диаграммы напряжения нагрузки в третьем импульсном режиме



В этом случае также чем жестче выполняется неравенство (12.21), тем ток I_H ближе к I_0 .

Следует еще раз подчеркнуть, что в 2ИР, изменяя коэффициент заполнения, можно изменять не только уровень, но и направление протекания тока нагрузки.

Третий импульсный режим. В третьем импульсном режиме (ЗИР) питание нагрузки, как и в режиме 2ИР, осуществляется прямоугольным переменным напряжением. Однако в этом случае существуют интервалы, на которых напряжение нагрузки равно нулю (рис. 12.14).

Данный режим имеет практическое значение при $t_{H1} = t_{H2}$ и $U_{H1} = |U_{H2}|$, т. е. для случая, когда постоянная составляющая напряжения нагрузки равна нулю. При этом осуществляется регулирование мощности первой гармоники переменного напряжения.

Разложив в ряд напряжение, форма которого показана на рис. 12.14, получим выражение для первой гармоники выходного напряжения

$$U_{m1} = [4U \sin(\pi K_3/2)]/\pi, \quad (12.26)$$

где $K_3 = 2t_H/T$.

В ЗИР частота первой гармоники напряжения и тока в нагрузке равна частоте следования импульсов питающего напряжения. Следует заметить, что регулирование переменного напряжения в RL -нагрузке может быть достигнуто и при использовании 1ИР или 2ИР. Однако в этом случае необходимо, чтобы $1/f_{ком} \ll \tau_H$, т. е. регулирование переменной составляющей достигается соответствующим изменением K_3 .

12.5. СХЕМЫ ТРАНЗИСТОРНЫХ ИМПУЛЬСНЫХ УСИЛИТЕЛЕЙ МОЩНОСТИ

Реализация различных импульсных режимов регулирования мощности требует вполне определенной структуры выходного каскада ИУМ. Причем эта структура не зависит ни от типа используемых управляемых полупроводниковых приборов, ни от способа управления этими приборами. Практическое значение имеют три

основные схемы выходных каскадов импульсных усилителей мощности. В своей основе они являются реализацией рассмотренной в гл. 10 последовательно-параллельной СК.

Схема с замыкающим диодом. Фактически с данной схемой мы уже познакомились при рассмотрении процессов коммутации RL -нагрузки. Это — простейшая нереверсивная схема, осуществляющая на интервале включенного состояния транзисторного ключа подключение нагрузки к источнику питания U_n и шунтирование ее диодом на интервале его выключенного состояния (см. рис. 12.7). В схеме может быть реализована только ИИР регулирования мощности.

Схема с включающим и замыкающим транзисторами. Данная схема содержит два последовательно включенных между выводами источника питания силовых ключа — транзисторы $VT1$ и $VT2$. Каждый из транзисторов шунтирован обратным диодом $VD1$ и $VD2$ (рис. 12.15). Такое включение транзисторов обычно называют «стойкой». К средней точке транзисторов подключен один вывод нагрузки. В зависимости от того, куда подключен второй вывод нагрузки (точка «А») и закона управления силовыми транзисторами, в данной схеме может быть реализован любой из рассмотренных ранее режимов импульсного усиления мощности. Если точка A подключена к одному из выводов источника питания ($+U_n$ или 0), в схеме реализуется ИИР при положительной или отрицательной амплитуде выходных импульсов. Если в качестве источника питания использован источник со средней точкой и вывод A подсоединить к средней точке этого источника, то в схеме в зависимости от используемого закона управления силовыми транзисторами может быть реализован любой из описанных выше импульсных режимов усиления мощности.

Так, если один из транзисторов будет постоянно заперт, то в схеме будет реализован ИИР, причем полярность выходных импульсов будет определяться тем, какой из транзисторов будет заперт.

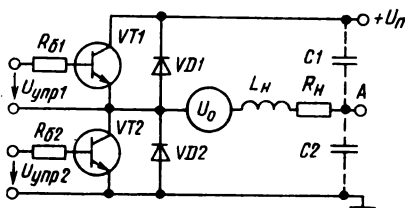


Рис. 12.15. Схема ИИМ с включающим и замыкающим транзисторами

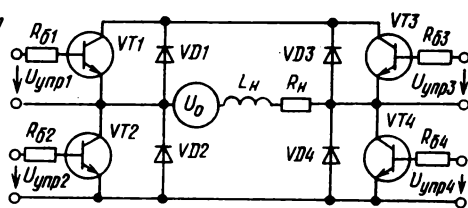


Рис. 12.16. Мостовая схема ИИМ

Если транзисторы управляются синхронно в противофазе, то схема позволяет реализовать 2ИР. При этом, изменяя длительность включенного и выключенного состояний транзисторов VT_1 и VT_2 , можно регулировать постоянную составляющую выходного напряжения.

Если закон изменений $U_{упр1}$ и $U_{упр2}$ таков, что существует интервал, когда оба силовых транзистора заперты, схема реализует 3ИР. Данную схему при использовании источника питания со средней точкой называют полумостовой схемой регулятора.

В ряде случаев, для создания средней точки применяют делитель на резистивных или емкостных элементах. В качестве примера на рис. 12.15 изображен подобный делитель на емкостных элементах C_1 и C_2 , включение которых в полумостовую схему регулятора показано штриховой линией.

Мостовая схема. Мостовая схема позволяет устранить основной недостаток схемы с замыкающим транзистором, заключающийся в необходимости использования для реализации 2ИР и 3ИР источника со средней точкой. По существу она содержит две «стойки» (полумостовые схемы), в диагональ между которыми включена нагрузка (рис. 12.16). Очевидно, что в этой схеме можно реализовать все три режима регулирования мощности. К достоинствам этой схемы следует отнести также и тот факт, что при одинаковом напряжении питания амплитуда выходных импульсов в ней в 2 раза выше амплитуды импульсов в схеме с включающим и замыкающим транзисторами. Однако ее реализация требует удвоенного числа силовых транзисторных ключей и более сложной схемы блока управления. Поэтому мостовая схема усилителя, как правило, находит применение при управлении мощной нагрузкой.

Контрольные вопросы

1. В чем основное отличие использования СК в информационных и усилительных устройствах?
2. Почему изменение относительной длительности включенного состояния транзисторного ключа приводит к изменению мощности, выделяющейся в нагрузке?
3. Объясните, почему КПД ИУМ превышает КПД аналоговых усилителей?
4. Какие требования предъявляются к ИУМ?
5. Что такое оптимальная степень насыщения биполярного транзистора?
6. Как для транзисторов различного типа статические потери в ключе связаны с параметрами управляющего напряжения?
7. Что называется динамическими потерями в транзисторном ключе?

8. Объясните, как динамические потери в транзисторном ключе связаны с типом нагрузки (R или RL).

9. Почему при включении транзистора на RL -нагрузку его максимальный ток превышает ток нагрузки?

10. Почему необходимо уменьшать динамические потери в транзисторном ключе?

11. Какие методы уменьшения динамических потерь Вы знаете?

12. Объясните, чем отличаются различные режимы импульсного регулирования мощности.

13. Нарисуйте временную диаграмму изменения напряжения на нагрузке для регулятора, работающего в 2ИР и предназначенного для формирования на нагрузке синусоидального напряжения с частотой $f_1 \ll f_{\text{ком}}$?

14. Нарисуйте временные диаграммы изменения управляющих напряжений, напряжений и токов транзисторов мостовой схемы ИУМ для реализации 3ИР.

ГЛАВА 13.

ИСТОЧНИКИ ВТОРИЧНОГО ЭЛЕКТРОПИТАНИЯ

13.1. КЛАССИФИКАЦИЯ, СОСТАВ И ОСНОВНЫЕ ПАРАМЕТРЫ

Источники вторичного электропитания (ИВП) — электронные устройства, предназначенные для преобразования энергии первичного источника электропитания в электрическую энергию значения частоты, уровня и стабильности которой согласованы с требованиями, предъявляемыми к этим параметрам конкретными ЭУ и системами.

В качестве первичных источников электропитания для ЭУ и систем обычно используют либо промышленную сеть переменного тока, либо автономные источники переменного (генераторы) или постоянного (аккумуляторы, химические батареи и т. д.) тока.

Практика показывает, что возможности непосредственного использования этих источников для питания различных ЭУ и систем весьма ограничены. Причина этого в том, что современные ЭУ выполняются с использованием интегральных схем (ИС), требующих для своего питания постоянного напряжения низкого уровня (как правило, $\pm 5 \dots \pm 15$ В). При этом отклонения этого напряжения от заданного значения не должны превышать $\pm (5 \dots 10) \%$. В ряде случаев, например при питании прецизионных аналоговых устройств или аналогово-цифровых и цифро-ана-

логовых преобразователей, стабильность напряжения питания должна быть существенно выше (0,1 ... 0,01 %).

Реальные параметры применяемых на практике первичных источников, как правило, этим требованиям не отвечают. Это обусловлено:

несовпадением частот напряжения промышленной сети и потребителя, ибо промышленная сеть формирует переменное напряжение с частотой 50 Гц, в то время как ЭУ в основном используют для питания напряжение постоянного тока, т. е. напряжение с частотой, равной нулю;

несовпадением уровней напряжения, так как, например, действующее значение напряжения промышленной сети равно 220 или 380 В, напряжение аккумуляторной батареи 12 В, что не соответствует диапазону напряжения питания, необходимому для надежного функционирования ИС;

несовпадением стабильностей напряжений, ибо промышленная сеть допускает статические (долговременные) отклонения напряжения в диапазоне +15% ... —20%, а напряжение аккумуляторной батареи может изменяться от 7,5 до 15 В, что также не соответствует требованиям, предъявляемым к напряжению питания для устройств, выполненных на основе ИС.

Дополнительно следует отметить, что, в общем случае, колебания напряжения питания должны рассматриваться в качестве внешнего возмущения, воздействующего на работу ЭУ и системы в целом. Как было показано ранее на примере усилительных устройств, изменение этого напряжения сильно влияет на их технические характеристики. Так, в усилителях постоянного тока следствием изменения напряжения питания является дрейф нуля выходного напряжения, а в усилителях переменного тока значение напряжения питания определяет уровень вносимых искажений. Во всех случаях от напряжения питания зависит суммарная мощность, рассеиваемая в ЭУ, а следовательно, его масса и объем. Помимо этого максимальное значение напряжения питания ограничено предельно допустимыми параметрами используемой элементной базы.

Все это обуславливает необходимость применения специального ЭУ, согласующего частоты, уровни и стабильности напряжений, необходимых для питания отдельных узлов ЭС. Роль этого ЭУ и выполняют ИБП, преобразующий электрическую энергию в электрическую, т. е. выполняющий вторичное преобразование электрической энергии.

В общем случае ИВП состоит из нескольких функционально законченных блоков, все схемотехническое многообразие которых, как правило, может быть разбито на три основные группы: уст-

ройства согласования частоты, уровня и стабильности напряжения.

Устройства согласования частоты в зависимости от вида преобразуемой энергии подразделяются на два основных класса: *выпрямители* — преобразователи напряжения переменного тока в напряжение, содержащее постоянную составляющую (пульсирующее напряжение) и *инверторы* — преобразователи постоянного напряжения в переменное с заданной формой и частотой.

Устройства согласования уровня напряжения предназначаются для преобразования как постоянного, так и переменного напряжения одного уровня в напряжение другого уровня.

Устройства согласования стабильности напряжения могут быть разбиты на два основных класса: *сглаживающие фильтры* — устройства, предназначенные для стабилизации мгновенного значения пульсирующего напряжения (тока), и *стабилизаторы* — устройства, стабилизирующие среднее значение выходного напряжения, тока или мощности.

В соответствии со сказанным, обобщенную структурную схему ИВП, как это показано на рис. 13.1, а, можно представить в виде последовательного соединения трех блоков. Следует отметить, что,

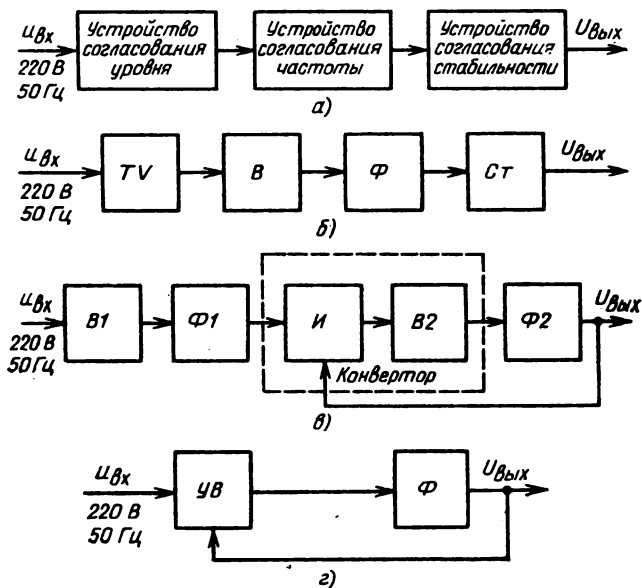


Рис. 13.1. Структурные схемы ИВП:

а — обобщенная схема; б — схема с входным низкочастотным трансформатором; в — схема с высокочастотным преобразователем; г — схема с управляемым выпрямителем

с точки зрения конечного результата — согласования параметров напряжения, последовательность включения указанных блоков может быть произвольной и определяется дополнительными требованиями к ИВП, а также используемыми схмотехническими решениями отдельных блоков.

В качестве примера на рис. 13.1,б—г приведено несколько наиболее типичных структурных схем построения ИВП, которые предназначены для преобразования напряжения промышленной сети в постоянное напряжение. Первая (рис. 13.1,б) содержит каскадно соединенные трансформатор (TV), выпрямитель (B), сглаживающий фильтр (Φ) и стабилизатор ($Ст$). Функциональное назначение отдельных блоков соответствует структурной схеме рис. 13.1,а, т. е. сначала согласовываются уровни, затем частоты и окончательно стабильности входного и выходного напряжений.

Вторая структурная схема (рис. 13.1,в) предполагает первоначальное преобразование входного переменного напряжения в постоянное (выпрямитель $B1$ и фильтр $\Phi1$). Далее выполняется согласование уровней напряжения. Для этого служит конвертор, выполненный на каскадно включенных инверторе $И$ с трансформаторным выходом и выпрямителе $B2$. Для окончательной стабилизации мгновенных значений выходного напряжения в схеме используется выходной сглаживающий фильтр $\Phi2$. Особенностью данной структуры является совмещение в конверторе двух функций. Это согласование уровней напряжения и стабилизация его среднего значения. Для выполнения последней функции выходное напряжение ИВП используется в инверторе $И$ в качестве управляющего (цепь обратной связи). Обычно в рассмотренной структуре промежуточное преобразование постоянного напряжения в переменное выполняется с использованием высокочастотного инвертора, что позволяет существенно уменьшить массу и объем всего устройства.

Структурная схема рис. 13.1,г содержит только два блока. Это управляемый выпрямитель ($УВ$), в функции которого входит согласование уровня, частоты и стабильности среднего значения выходного напряжения, а также выходной сглаживающий фильтр (Φ), стабилизирующий мгновенное значение выходного напряжения.

Сравнение приведенных структур свидетельствует о том, что представление ИВП в виде каскадного соединения трех функционально законченных блоков является до некоторой степени условным. В конкретной структуре часто невозможно выделить законченные функциональные блоки, выполняющие только один из указанных выше типов преобразования (согласования) напряжений. Однако такое представление позволяет четко сформулировать требования, предъявляемые к ИВП, определить его место в составе ЭС и основные характеристики.

Не зависимо от структурной схемы и конкретных схмотехнических решений, ИВП характеризуется рядом электрических параметров. К основным из них относятся следующие.

1. Номинальные уровни входного $U_{\text{вх ном}}$ и выходного $U_{\text{вых ном}}$ напряжений. В зависимости от формы эти напряжения являются либо действующими ($U_{\text{ном}} = U$), либо постоянными ($U_{\text{ном}} = U_{\text{ср}}$).

2. Предельные отклонения входного и выходного напряжений от номинальных значений. Иногда их называют относительными изменениями или коэффициентом нестабильности напряжения

$$\delta U' = \frac{(U_{\text{max}} - U_{\text{ном}})}{U_{\text{ном}}} 100; \quad (13.1)$$

$$\delta U'' = \frac{(U_{\text{min}} - U_{\text{ном}})}{U_{\text{ном}}} 100.$$

Часто при определении выходного напряжения отдельно задают величину нестабильности от изменения тока нагрузки и напряжения питания

$$\delta U_{\text{вых}}(I_{\text{н}}) = \frac{\Delta U_{\text{вых}}(I_{\text{н}})}{U_{\text{вых ном}}} 100;$$

$$\delta U_{\text{вых}}(U_{\text{вх}}) = \frac{\Delta U_{\text{вых}}(U_{\text{вх}})}{U_{\text{вых ном}}} 100, \quad (13.2)$$

где $\Delta U_{\text{вых}}(I_{\text{н}})$ и $\Delta U_{\text{вых}}(U_{\text{вх}})$ — соответственно абсолютные изменения выходного напряжения при заданном изменении тока нагрузки и входного напряжения.

Иногда величину $\delta U_{\text{вых}}(U_{\text{вх}})$ задают коэффициентом стабилизации по напряжению

$$K_{\text{уст}} = \frac{\Delta U_{\text{вх}}/U_{\text{вх ном}}}{\Delta U_{\text{вых}} U_{\text{вх}}/U_{\text{вых ном}}} . \quad (13.3)$$

Если ИВП предназначен для получения на выходе стабильного тока или мощности, то перечисленные параметры определяются относительно этих величин.

3. Диапазон изменения выходной мощности $P_{\text{н max}} - P_{\text{н min}}$. Иногда этот диапазон задается значениями максимального $I_{\text{вых max}}$ и минимального $I_{\text{вых min}}$ токов нагрузки.

4. Предельный уровень амплитуды переменной составляющей входного $U_{\text{т вх}}$ и выходного $U_{\text{т вых}}$ напряжений. Иногда эта величина задается в виде коэффициента пульсаций

$$\varepsilon = U_{\text{mi}}/U_{\text{ном}}, \quad (13.4)$$

где U_{mi} — амплитуда переменной составляющей пульсирующего напряжения, представляющая собой амплитуду низшей (основной) его гармоники.

Способность ИВП пропускать переменную составляющую входного напряжения задается в виде коэффициента сглаживания

$$q = \varepsilon_{\text{вх}}/\varepsilon_{\text{вых}}. \quad (13.5)$$

Кроме перечисленных, к ИВП могут предъявляться дополнительные требования, определяющие как его электрические, так и конструктивно-технологические параметры.

Рассмотрим типовые функциональные блоки ИВП.

13.2. ПРЕОБРАЗОВАТЕЛИ ПЕРЕМЕННОГО НАПЯЖЕНИЯ В ПУЛЬСИРУЮЩЕЕ НАПЯЖЕНИЕ (ВЫПРЯМИТЕЛИ)

Основными параметрами выпрямителей являются:

1. Среднее значение выходного напряжения

$$U_{\text{ср}} = \frac{1}{T} \int_0^T u_{\text{в.вых}} dt. \quad (13.6)$$

2. Среднее значение выходного тока

$$I_{\text{ср}} = \frac{1}{T} \int_0^T i_{\text{в.вых}} dt. \quad (13.7)$$

3. Коэффициент пульсации выходного напряжения (тока) [см. (13.4)].

Однофазный однополупериодный выпрямитель. Простейшим выпрямителем является схема однофазного однополупериодного выпрямителя (рис. 13.2, а).

Рассмотрим ее работу в предположении, что входное напряжение изменяется по закону $u_{\text{вх}} = U_m \sin \omega t$. На интервале $0 < t < T/2$ (рис. 13.2, б) полупроводниковый диод VD смещен в прямом

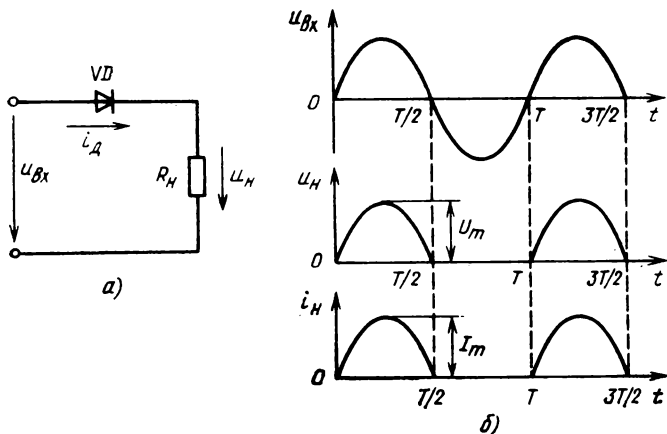


Рис. 13.2. Схема однофазного однополупериодного выпрямителя (а) и временные диаграммы, поясняющие его работу (б)

направлении и напряжение, а следовательно, и ток в нагрузочном резисторе повторяют форму входного сигнала.

На интервале $T/2 < t < T$ диод VD смещен в обратном направлении и напряжение (ток) в нагрузке равно нулю.

При заданном входном напряжении $u_{вх} = U_m \sin \omega t$ для нечетных его полупериодов, т. е. $2k\pi \leq \omega t \leq 2k\pi + \pi$, выпрямленный ток в нагрузочном резисторе i_n будет создавать на нем падение напряжения, среднее значение которого, согласно выражению (13.6), равно

$$U_{н ср} = \frac{1}{T} \int_0^T u_n dt = \frac{1}{T} \int_0^{T/2} U_m \sin \omega t dt = -\frac{U_m}{T\omega} \cos \omega t \Big|_0^{T/2} = U_m/\pi, \quad (13.8)$$

где U_m — амплитуда входного напряжения, или используя известное соотношение, связывающее амплитудное и действующее значения напряжения переменного тока $U = U_m/\sqrt{2}$,

$$U_{н ср} = \sqrt{2} U/\pi,$$

где U — действующее значение входного напряжения.

По аналогии, предполагая, что амплитуда выпрямленного тока $I_m = U_m/R_n$, для среднего тока в нагрузочном резисторе можно записать

$$I_{н ср} = \frac{1}{2\pi} \int_0^\pi I_m \sin \omega t dt \approx I_m/\pi = 0,318 I_m, \quad (13.9)$$

где I_m — амплитуда выпрямленного тока.

Действующий ток в нагрузочном резисторе, равный току диода, определяется выражением

$$i_d = I_n \sqrt{\frac{I_m^2}{2\pi} \int_0^\pi \sin^2 \omega t dt} = I_m/2 = 0,5 I_m. \quad (13.10)$$

Максимальное обратное напряжение на диоде $U_{д обр} = U_m$.

Спектральный состав выпрямленного напряжения, полученный в результате разложения однополупериодных импульсов выпрямленного напряжения (рис. 13.2, б) в ряд Фурье, имеет вид

$$u_n = \frac{1}{\pi} U_m + \frac{1}{2} U_m \sin \omega t - \frac{2}{3\pi} \cos 2\omega t - \frac{2}{3.5\pi} I_m \cos \omega t - \dots,$$

где $U_0 = (1/\pi) U_m$ — постоянная составляющая выпрямленного напряжения; $u_1 = (1/2) U_m \sin \omega t$ — первая (основная) гармоника входного напряжения; $u_2 = (2/3\pi) U_m \cos 2\omega t$ — вторая гармоника входного напряжения и т. д.

Коэффициент пульсации, равный отношению амплитуды нижней (основной) гармоники к среднему значению выпрямленного напряжения, для рассматриваемой схемы

$$\varepsilon = U_{m1}/U_{\text{н ср}} = \pi/2 = 1,57. \quad (13.11)$$

Как видно из выражения (13.11), однополупериодное выпрямление имеет низкую эффективность из-за высокой пульсации выпрямленного напряжения, а потому находит ограниченное применение.

Однофазный двухполупериодный выпрямитель. Анализируя временные диаграммы, приведенные на рис. 13.2, б, можно сделать вывод, что параметры выходного напряжения выпрямителя можно существенно улучшить, если ток нагрузки будет протекать в оба полупериода действия входного напряжения. Этого наиболее просто добиться, используя две схемы однополупериодного выпрямления, работающие синхронно и противофазно на единую нагрузку. Реализация данной идеи потребует использования двух источников первичного напряжения $u'_{\text{вх}} = U_m \sin \omega t$ и $u''_{\text{вх}} = U_m \sin(\omega t + \pi)$, имеющих общую точку. Полученная таким образом схема называется *однофазной двухполупериодной схемой выпрямителя со средней точкой* (рис. 13.3, а).

Рассмотрим ее работу. Для этого воспользуемся временными диаграммами, приведенными на рис. 13.3, б. На интервале $0 < t < T/2$ под действием напряжения $u'_{\text{вх}}$ диод VD1 смещен в прямом

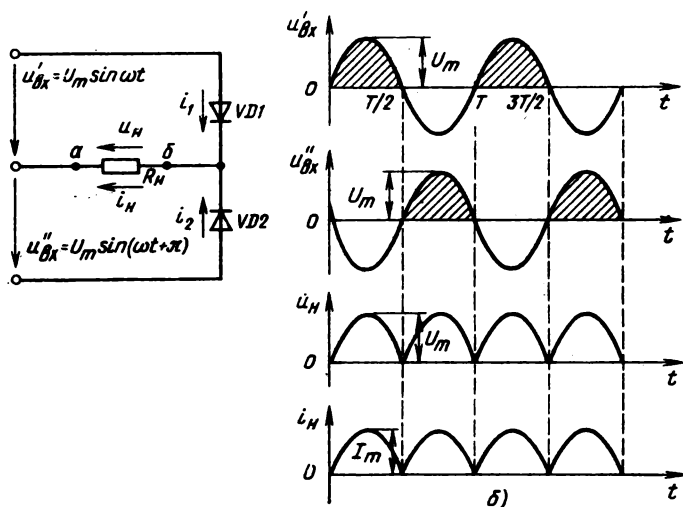


Рис. 13.3. Схема однофазного двухполупериодного выпрямителя со средней точкой (а) и временные диаграммы, поясняющие его работу (б)

направлении и поэтому ток нагрузки определяется напряжением $u'_{\text{вх}}$. На этом же интервале диод $VD2$ смещен в обратном направлении и к нему прикладывается сумма напряжений $u_n + u'_{\text{вх}}$. В результате этого максимальное обратное напряжение запертого диода $U_{\text{д max}} = 2U_m$.

На интервале $T/2 < t < T$ диод $VD1$ смещен в обратном направлении, а ток нагрузки под действием напряжения $u'_{\text{вх}}$ протекает через прямосмещенный диод $VD2$.

Нетрудно заметить, что в данном случае средние значения напряжения нагрузки будут в два раза превышать напряжение однофазной однополупериодной схемы

$$U_{\text{н ср}} = 2U_m/\pi = 2\sqrt{2} U/\pi; \quad (13.12)$$

$$I_{\text{н ср}} = 2I_m/\pi = 2\sqrt{2} I/\pi. \quad (13.13)$$

где U_m и I_m — амплитудные значения входного напряжения и тока, а U и I — их действующие значения.

К аналогичным результатам можно прийти, основываясь и на следующих общих рассуждениях. В рассматриваемой схеме каждый диод проводит ток в течение половины периода. Тогда $U_{\text{н ср}} = 2U_{\text{н ср}}(T/2)$, т. е. среднее напряжение равно удвоенному значению среднего за период напряжения от интервала проводимости одного диода. Перенесем начало отсчета ($t=0$) в точку, для которой $u_n = U_m$. Тогда значение $U_{\text{н ср}}(T/2)$ согласно рис. 13.3, б может быть найдено из соотношения

$$U_{\text{н ср}}(T/2) = \frac{2}{T} \int_{-T/4}^{T/4} U_m \cos \omega t dt.$$

При этом, как видно из рис. 13.3, б, частота первой (основной) гармоники пульсирующего выходного напряжения u_n будет в 2 раза выше частоты входного напряжения $u_{\text{вх}}$. Нетрудно показать, что если в общем случае за период T будут последовательно проводить n диодов, то

$$U_{\text{н ср}} = \frac{n}{T} \int_{-T/2\pi}^{T/2\pi} U_m \cos \omega t dt, \quad (13.14)$$

а первой из присутствующих на выходе гармоник переменного напряжения будет гармоника с номером $i=n$, т. е. на выходе выпрямителя получится пульсирующее напряжение, частота которого в n раз выше частоты изменения входного напряжения ($u_{\text{вх}}$).

Разлагая в ряд Фурье выходное напряжение, соответствующее случаю проводимости n диодов, для любой из присутствующих на

выходе гармоник переменного напряжения можно написать

$$U_{mi} = \frac{n}{T} \int_{-T/2n}^{T/2n} U_m \cos(in\omega t) dt, \quad (13.15)$$

где i — порядковый номер соответствующей гармоники ($i=1, 2, \dots$); U_m и U_{mi} — амплитуды соответственно входного напряжения и i -й гармоники пульсирующего выходного напряжения.

Используя выражения (13.14) и (13.15), можно получить обобщенные выражения для среднего значения выходного напряжения, амплитуды первой из присутствующих гармоник и коэффициента пульсаций выходного напряжения выпрямителя произвольного вида.

Единственным условием достоверности полученных выражений является условие безразрывного протекания тока в нагрузке. Из сказанного следует, что полученные выражения не справедливы для однополупериодной схемы выпрямителя.

Интегрируя выражения (13.14) и (13.15) для первой (основной) гармоники, получаем

$$U_{н\text{ ср}} = (n/\pi) U_m \sin(\pi/n); \quad (13.16)$$

$$U_{m1} = 2U_{н\text{ ср}}/(n^2 - 1). \quad (13.17)$$

Подставляя $U_{н\text{ ср}}$ и U_{m1} из (13.16) и (13.17) в выражение (13.4), находим коэффициент пульсации

$$\varepsilon = U_{m1}/U_{н\text{ ср}} = 2/(n^2 - 1). \quad (13.18)$$

Очевидно, что при $n=2$ выражение (13.16) дает результат, аналогичный (13.12). Используя (13.18) для коэффициента пульсаций выходного напряжения однофазной двухполупериодной схемы, получаем

$$\varepsilon = 2/(2^2 - 1) = 2/3 = 0,67. \quad (13.19)$$

Так как в рассматриваемой схеме, как и в однополупериодной; ток через каждый диод протекает в течение только половины периода, то его действующее значение будет по-прежнему определяться выражением (13.10).

Полученные выражения показывают, что эффективность однофазного двухполупериодного выпрямителя значительно выше однополупериодной схемы, что предопределило ее широкое использование в схемах ИВП.

К основным недостаткам рассмотренной схемы следует отнести:

необходимость двух источников входного напряжения; высокое значение напряжения, прикладываемого к полупроводниковым диодам при их обратном смещении ($U_{д\text{ обр}} = 2U_m$);

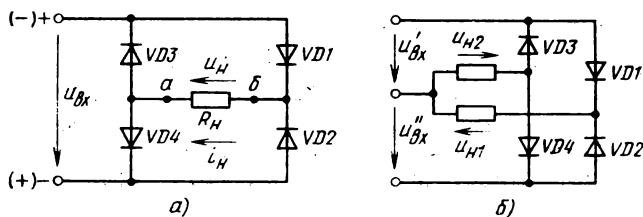


Рис. 13.4. Схема мостового двухполупериодного выпрямителя с одним (а) и двумя (б) выходными напряжениями

малое значение напряжения U_{cp} , определяемого амплитудой U_m , в то время как суммарная амплитуда входного напряжения схемы равна $2U_m$.

Для уяснения причин появления перечисленных недостатков проанализируем еще раз работу схемы рис. 13.3, а. Вывод «а» сопротивления нагрузки R_H постоянно подключен к средней точке источников первичного напряжения u'_{bx} и u''_{bx} . В то же время вывод «б» диодами $VD1$ и $VD2$ периодически переключается от вывода источника u'_{bx} к выводу источника u''_{bx} . В этом случае естественно предположить, что, если вывод «а» нагрузки при помощи второй аналогичной диодной схемы будет синхронно и противофазно подключаться к неиспользуемым на соответствующем интервале выводам источников u'_{bx} и u''_{bx} , необходимость в средней точке входного источника отпадет и U_{Hcp} и I_{Hcp} увеличатся в 2 раза. Схемотехническая реализация такого решения приведена на рис. 13.4, а.

На интервале $0 < t < T/2$ сумма напряжений $u'_{bx} + u''_{bx} = u_{bx}$ смещает в прямом направлении включенные последовательно с нагрузкой диоды $VD1$ и $VD4$. При этом диоды $VD2$ и $VD3$ смещены в обратном направлении, приложенным к нагрузке ($U_{добр} = U_H$). На интервале $T/2 < t < T$ суммарное напряжение $u'_{bx} + u''_{bx} = u_{bx}$ смещает диоды $VD2$ и $VD3$ в прямом, а диоды $VD1$ и $VD4$ в обратном направлении. Из сказанного следует, что, как и в однофазной двухполупериодной схеме, напряжение прикладывается к нагрузке в течение всего периода изменения напряжения u_{bx} . При этом его значение при $u_{bx} = u'_{bx} + u''_{bx}$ в 2 раза превышает выходное напряжение схемы рис. 13.3, а.

Поэтому при одном и том же напряжении нагрузки в схеме рис. 13.4, а к обратносмещенному диоду прикладывается напряжение в два раза меньшее, чем в схеме рис. 13.3, а.

Схема рис. 13.4, а носит название *однофазного мостового выпрямителя*. Ее основные параметры, как и для двухполупериод-

ной схемы со средней точкой, при условии $u_{вх} = u'_{вх} = u''_{вх}$ определяются выражениями (13.12), (13.13) и (13.19).

Особенностью рассмотренных однофазных двухполупериодных схем является то, что в схеме со средней точкой последовательно с нагрузкой постоянно включен только один диод, в то время как в мостовой схеме таких диодов два. Поэтому при низких выходных напряжениях (до 4...5 В) из-за большего значения КПД чаще применяют схему рис. 13.3, а. При повышении выходного напряжения разница в КПД схем уменьшается. Определяющим фактором становится меньшее обратное напряжение, прикладываемое к запертым диодам схемы рис. 13.4, а. Поэтому при больших уровнях выходного напряжения обычно используют выпрямитель, выполненный по мостовой схеме.

Следует отметить, что если мостовую схему выпрямителя использовать совместно с источником, снабженным средней точкой и средний выход каждой пары диодов соединить со средней точкой входного источника через собственную нагрузку, на выходе выпрямителя получим два равных, но обратных по знаку напряжения (рис. 13.4, б). Такая схема выпрямителя часто используется для питания устройств, построенных с применением операционных усилителей.

Трехфазный однополупериодный выпрямитель. Используя рассмотренные выше принципы, можно построить схемы выпрямителей, работающих от трехфазной сети переменного тока. Для получения схемы трехфазного однополупериодного выпрямителя необходимо использовать входной источник со схемой соединения «звезда» и три однополупериодных выпрямителя. Схема такого устройства и временные диаграммы, поясняющие его работу, приведены на рис. 13.5, а, б. Анализ временных диаграмм, приведенных на рис. 13.5, б, показывает, что в этом случае в течение одного периода изменения входного напряжения последовательно проводят три диода (по $T/3$ каждый). Следовательно, к данной схеме выпрямителя применимы полученные ранее выражения (13.16) — (13.18). В соответствии с этим

$$U_{н ср} = \frac{3}{\pi} U_{мф} \sin \frac{\pi}{3} = \frac{3\sqrt{3}}{2\pi} U_{мф} \approx 0,827 U_{мф}, \quad (13.20)$$

где $U_{мф}$ — амплитуда фазного напряжения.

Спектральный состав выпрямленного напряжения

$$u_n = \frac{3\sqrt{3}}{2\pi} U_{мф} + \frac{3\sqrt{3}}{2 \cdot 4\pi} U_{мф} \cos 3\omega t - \frac{3\sqrt{3}}{2 \cdot 7\pi} U_{мф} \cos 6\omega t + \dots$$

Из приведенного выражения видно, что выпрямленное напряжение содержит помимо постоянной составляющей лишь гармо-

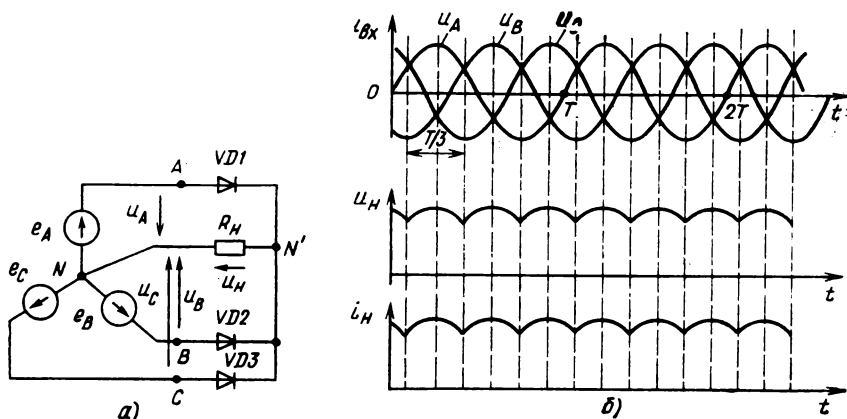


Рис. 13.5. Схема трехфазного однополупериодного выпрямителя (а) и временные диаграммы, поясняющие его работу (б)

ники, кратные трем: третью, шестую и т. д., т. е. первой из присутствующих в пульсирующем выходном напряжении гармоник является третья гармоника, которая и будет основной гармоникой выходного напряжения. Поэтому частота выходного напряжения в 3 раза превышает частоту входного напряжения и в этом случае коэффициент пульсации

$$\varepsilon = U_{m3} / U_{Hcp} = 2/(3^2 - 1) = 0,25. \quad (13.21)$$

Максимальное обратное напряжение на каждом диоде равно амплитуде линейного напряжения, т. е. $U_{добр} = U_{mл} = \sqrt{3} U_{\phi}$.

Трехфазный двухполупериодный выпрямитель (схема Ларионова) инвариантен к схеме соединения трехфазного источника входного напряжения («звезда» или «треугольник») и требует для построения шести полупроводниковых диодов. Схема такого выпрямителя и временные диаграммы, поясняющие его работу, приведены на рис. 13.6, а, б.

В схеме Ларионова имеется возможность использовать обе полуволны питающего трехфазного напряжения для обеспечения тока в нагрузке. Поэтому выпрямленное напряжение u_H (рис. 13.6, б) отличается более высоким качеством, а продолжительность проводящих интервалов для последовательно соединенных диодных пар ($VD1$ и $VD5$; $VD2$ и $VD6$; $VD3$ и $VD4$ и др.) составляет $T/6$. Очевидно, что и в этом случае применимы выражения (13.16) — (13.18), в соответствии с которыми

$$U_{Hcp} = \frac{6}{\pi} U_{mл} \sin \frac{\pi}{6} = \frac{3U_{mл}}{\pi} = \frac{3\sqrt{3}}{\pi} U_{m\phi} \approx 0,955 U_{m\phi}. \quad (13.22)$$

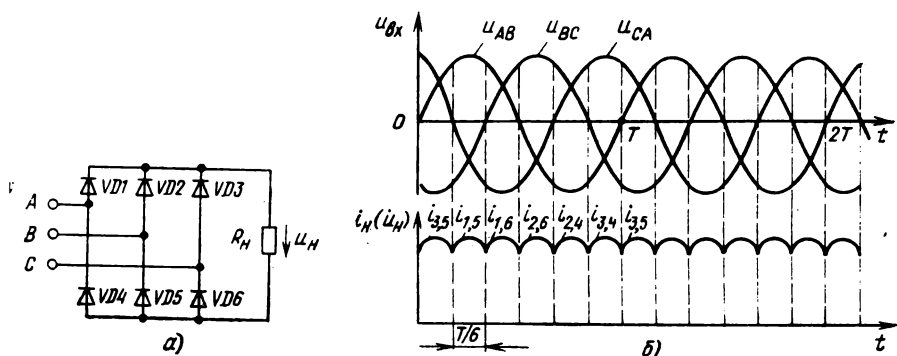


Рис. 13.6. Схема трехфазного двухполупериодного выпрямителя (а) и временные диаграммы, поясняющие его работу (б)

где $U_{мл}$ и $U_{мф}$ — амплитуды линейного и фазного входных напряжений.

Максимальное обратное напряжение на диоде (рис. 13.6, а)
 $U_{д\text{обр}} = U_{мл}$.

Спектральный состав выпрямленного напряжения

$$u_n = \frac{3}{\pi} U_{мл} + \frac{3 \cdot 2}{5 \cdot 7 \pi} U_{мл} \cos 6\omega t - \frac{3 \cdot 2}{11 \cdot 13 \pi} U_{мл} \cos 12\omega t + \dots$$

Из приведенного выражения видно, что первой и, следовательно, основной из всех гармоник, присутствующих на выходе выпрямителя, будет напряжение с частотой, в 6 раз превышающей частоту входного напряжения. Поэтому коэффициент пульсации (по шестой гармонике) выходного напряжения

$$\epsilon = U_{м6} / U_{н\text{ср}} = 2/35 \approx 0,057. \quad (13.23)$$

Таким образом, амплитуда первой из присутствующих на выходе выпрямителя гармоник напряжения составляет только 5,7% от среднего значения напряжения. Это свидетельствует о высокой эффективности схемы Ларионова.

Анализируя полученные выражения для $U_{н\text{ср}}$ и ϵ , можно сказать, что при увеличении числа n , соответствующего номеру первой (основной) из всех присутствующих на выходе выпрямителя гармоник, $U_{н\text{ср}}$ стремится к амплитудному значению U_m входного напряжения выпрямителя, а коэффициент пульсации входного напряжения $\epsilon \rightarrow 0$. К аналогичному выводу можно прийти, непосредственно анализируя выражения (13.16) и (13.18):

$$\lim_{n \rightarrow \infty} U_{н\text{ср}} = \lim_{n \rightarrow \infty} \frac{U_m \sin(\pi/n)}{\pi/n} = U_m; \quad \lim_{n \rightarrow \infty} \epsilon = \lim_{n \rightarrow \infty} \frac{2}{(n^2 - 1)} = 0.$$

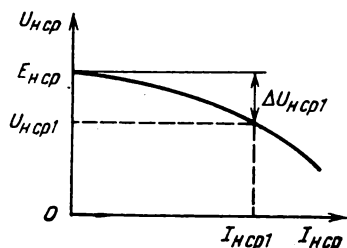


Рис. 13.7. Внешняя характеристика выпрямителя

Внешняя характеристика выпрямителя $U_{н ср} = f(I_{н ср})$ — графически выраженная зависимость среднего значения выходного напряжения на нагрузке от среднего значения выходного тока (тока нагрузки) является важнейшим показателем выпрямительного устройства, определяющим его эксплуатационные возможности.

На рис. 13.7 приведена внешняя характеристика неуправляемого выпрямителя по постоянному току, для которой выходное напряжение

$$U_{н ср} = E_{н ср} - \Delta U_{н ср}, \quad (13.24)$$

где $E_{н ср}$ — ЭДС на выходе выпрямителя (напряжение при токе нагрузки, равном нулю); $\Delta U_{н ср} = I_{н ср}(R_n + r_{д пр \Sigma})$ — падение напряжения от протекания тока нагрузки по активным сопротивлениям соответственно входного источника питания (R_n) и прямосмещенных диодов ($r_{д пр \Sigma}$).

13.3. ПРЕОБРАЗОВАТЕЛИ ПОСТОЯННОГО НАПЯЖЕНИЯ В ПЕРЕМЕННОЕ НАПЯЖЕНИЕ

Электронное устройство, преобразующее напряжение постоянного тока в напряжение переменного тока, называется *инвертором*. Суть построения подобных устройств состоит в том, что для преобразования напряжения постоянного тока в переменное необходим некоторый коммутатор, который бы периодически подключал к нагрузке источник постоянного тока, причем полярность такого подключения должна постоянно изменяться. Структурные схемы инверторов могут быть получены из рассмотренных в § 13.2 схем выпрямителей при условии, что вход и выход схемы меняются местами, а диоды заменяются управляемыми ключами. Проиллюстрируем сказанное на примере мостовой схемы инвертора, приведенной на рис. 13.8, а.

Предположим, что ключевые транзисторы рассматриваемой схемы переключаются попарно и противофазно с некоторым периодом T . Причем в интервале от 0 до $T/2$ включены транзисто-

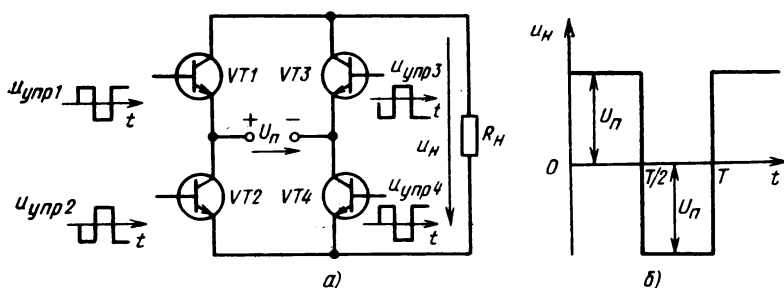


Рис. 13.8. Схема мостового преобразователя постоянного напряжения в переменное (а) и его выходное напряжение (б)

ры $VT1$ и $VT4$. При этом к нагрузке R_n прикладывается напряжение U_n положительной полярности. На интервале от $T/2$ до T включаются транзисторы $VT3$ и $VT2$ и к нагрузке прикладывается то же напряжение U_n , но в обратной (отрицательной) полярности. В результате на нагрузке действует переменное прямоугольное напряжение (рис. 13.8, б), не содержащее постоянной составляющей.

Нетрудно заметить, что приведенная на рис. 13.8, а схема является мостовой схемой усилителя мощности, рассмотренной в гл. 12 (см. рис. 12.16).

Обычно в качестве непосредственной нагрузки коммутатора инвертора используют обмотку трансформатора, который функционально связан с коммутатором, и поэтому оба этих устройства составляют единое целое. Проиллюстрируем сказанное на примере преобразователя постоянного напряжения в переменное, построенного на основе схемы двухполупериодного выпрямителя со средней точкой (рис. 13.9, а). В этом устройстве вторичные полуобмотки трансформатора ω_{k1} и ω_{k2} являются нагрузкой коммутатора, выполненного на транзисторах $VT1$ и $VT2$, заменивших диоды исходной схемы выпрямителя. По существу полученная схема является схемой импульсного усилителя мощности с включающим и замыкающим транзистором (см. рис. 12.15), в которой аналогично проделанному выше поменяли местами точки подключения нагрузки и источника питания.

Поясним принцип работы этой схемы в предположении, что петля гистерезиса материала сердечника трансформатора TV близка к прямоугольной (рис. 13.9, б). Предположим, что в некоторый момент времени транзистор $VT1$ насыщен (рис. 13.9, в). Тогда к обмотке ω_{k1} приложено напряжение питания U_n , которое вызывает перемагничивание сердечника трансформатора. На всех обмотках трансформатора до момента насыщения его сердечника

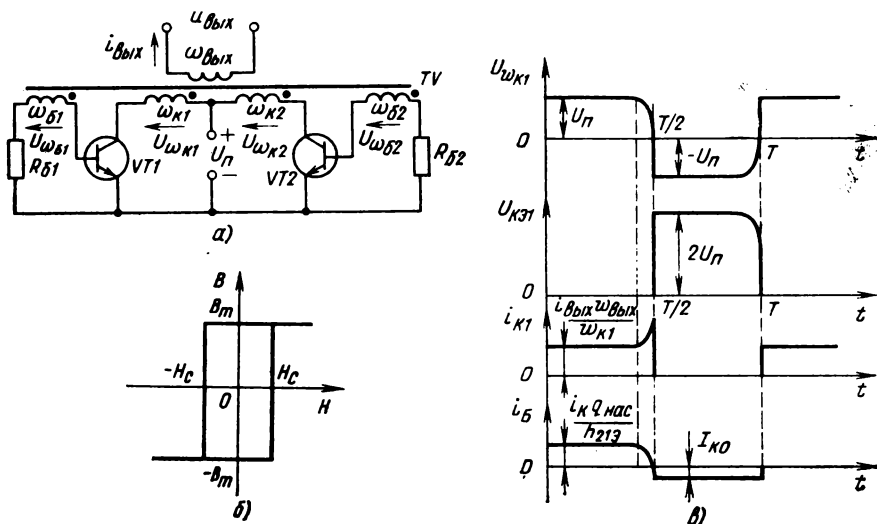


Рис. 13.9. Трансформаторная схема двухтактного преобразователя (а), форма петли гистерезиса материала сердечника его трансформатора (б) и временные диаграммы, поясняющие его работу (в)

при этом наводятся напряжения, пропорциональные числу их витков $U_{\omega_i} = U_n \omega_i / \omega_{\kappa}$. Обмотки трансформатора $\omega_{\delta 1}$ и $\omega_{\delta 2}$ включены таким образом, что полярности наводимых на них напряжений подтверждают исходное состояние транзисторов ($VT1$ — насыщен, $VT2$ — заперт). После насыщения сердечника трансформатора напряжения на всех его обмотках уменьшаются до нуля и транзистор $VT1$ начинает запирается. При этом по закону электромагнитной индукции в обмотках трансформатора наводится противо-ЭДС, что приводит к форсированному запираению транзистора $VT1$ и отпираанию транзистора $VT2$. Теперь напряжение питания прикладывается к обмотке $\omega_{\kappa 2}$, что вызывает обратное перемещение сердечника трансформатора. В результате на обмотках трансформатора присутствует переменное напряжение прямоугольной формы (рис. 13.9, в), частота которого определяется параметрами трансформатора TV , т. е. схема по существу является мультивибратором с магнитными связями.

13.4. УСТРОЙСТВА СОГЛАСОВАНИЯ УРОВНЯ НАПЯЖЕНИЯ

В соответствии с функциональными задачами, помимо согласования частоты питающего напряжения в ИВП необходимо преобразование также его уровня.

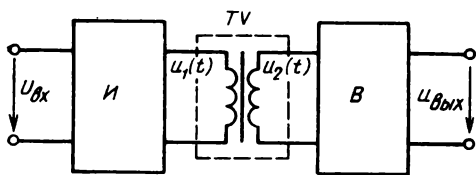


Рис. 13.10. Схема конвертора

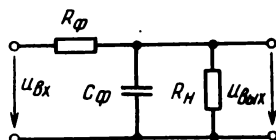


Рис. 13.11. Схема сглаживающего RC-фильтра

Наиболее простым и энергетически эффективным является преобразование уровней переменного напряжения, осуществляемое при использовании трансформатора, подробно рассмотренного в курсе «Общая электротехника» [1].

Более сложную задачу представляет преобразование постоянного напряжения одного уровня в другое. В этом случае приходится вначале преобразовывать исходное постоянное напряжение в переменное. Это может быть выполнено либо с использованием схем инверторов, либо различных реактивных, как правило, индуктивных накопителей с соответствующими схемами коммутации. Затем изменять уровень полученного переменного напряжения до требуемого, применяя для этой цели трансформатор ТВ. И только после этого с помощью выпрямителя В получать требуемый уровень постоянного напряжения питания.

Устройство, предназначенное для преобразования постоянного напряжения одного уровня в постоянное напряжение другого уровня путем промежуточного его преобразования в напряжение переменного тока, называется *конвертором*. Возможная структура такого устройства приведена на рис. 13.10. Реже для преобразования уровня напряжения применяются емкостные накопители (см. § 13.7).

13.5. УСТРОЙСТВА СТАБИЛИЗАЦИИ НАПЯЖЕНИЯ ПИТАНИЯ

Преобразованное по уровню и частоте напряжение (с помощью рассмотренных выше устройств преобразования) в ряде случаев не может быть непосредственно применено для питания ЭУ, так как коэффициент пульсаций и изменение среднего значения выпрямленного напряжения, как правило, превышают предельно допустимые значения для современной элементной базы ЭС. Поэтому необходимы дополнительные устройства, которые бы обеспечивали получение заданной стабильности выходного напряжения ИВП. При этом, как отмечалось ранее, вопрос обеспечения стабильности выходного напряжения может быть разбит на две отдельные задачи, решение которых, в общем случае, осу-

ществляется самостоятельными техническими средствами. Это задача стабилизации мгновенных значений выходного напряжения (уменьшения переменной составляющей напряжения — пульсаций напряжения) и задача стабилизации среднего значения выходного напряжения на заданном уровне.

Стабилизация мгновенного значения выходного напряжения осуществляется введением в цепь передачи напряжения дополнительного звена (Φ на рис. 13.1), коэффициент передачи которого для переменной составляющей напряжения существенно меньше, чем для его постоянной составляющей. В результате постоянная составляющая напряжения проходит в нагрузку практически без изменений, а его переменная составляющая ослабляется делителем, образованным введенным звеном и нагрузкой ИВП.

Проиллюстрируем сказанное на примере простейшего RC -фильтра, состоящего из баластного резистора R_Φ и конденсатора C_Φ (рис. 13.11), подключенного между выходом выпрямителя (для рассматриваемого звена это будет $u_{вх}$) и нагрузкой R_n .

Передаточная функция этого фильтра имеет вид

$$W(p) = K_0 / (\tau p + 1), \quad (13.25)$$

где $K_0 = R_n / (R_n + R_\Phi)$ — коэффициент передачи звена для постоянной составляющей напряжения; $\tau = R_n R_\Phi C_\Phi / (R_n + R_\Phi)$ — постоянная времени звена.

Для определения зависимости коэффициента передачи фильтра на рис. 13.11 от частоты перейдем от передаточной функции (13.25) в частотную область ($p = j\omega$) и найдем модуль полученной амплитудно-фазовой характеристики

$$\begin{aligned} W(j\omega) &= \frac{K_0}{1 + j\omega\tau} = \frac{K_0(1 - j\omega\tau)}{(1 + j\omega\tau)(1 - j\omega\tau)} = \frac{K_0}{1 + (\omega\tau)^2} - j \frac{K_0\omega\tau}{1 + (\omega\tau)^2} = \\ &= P(\omega) + jQ(\omega). \end{aligned}$$

Тогда

$$K(\omega) = |W(j\omega)| = \sqrt{P^2(\omega) + Q^2(\omega)} = K_0 / \sqrt{1 + (\omega\tau)^2}. \quad (13.26)$$

Если предположить, что $\omega\tau \gg 1$, то из (13.26), пренебрегая единицей, получаем

$$K(\omega) = K_0 / (\omega\tau). \quad (13.27)$$

Из выражения (13.27) становится очевидным, что с увеличением частоты входного сигнала коэффициент передачи звена падает, а следовательно, амплитуды высокочастотных составляющих, передаваемых звеном в нагрузку, будут уменьшаться. В то же время, если выполняется условие $R_n \gg R_\Phi$, то $K_0 \approx 1$ и постоянная составляющая выпрямленного напряжения передается в нагрузку R_n практически неизменной.

Звено, коэффициент передачи которого для переменной составляющей электрического сигнала существенно меньше, чем для его постоянной составляющей, называется *сглаживающим фильтром*. Очевидно, что сглаживающий фильтр является частным случаем рассмотренного в § 8.17.1 фильтра нижних частот. Их отличие состоит в том, что, поскольку сглаживающий фильтр используется в силовых цепях, для него обязательным является выполнение условия $K_0 \approx 1$.

Эффективность сглаживающих фильтров оценивается коэффициентом сглаживания q (13.5). Найдем q для рассматриваемого RC -фильтра:

$$\varepsilon_{\text{вх}} = U_{mi} U_{\text{н ср}}, \quad \varepsilon_{\text{вых}} = U_{mi} K(\omega_i) / U_{\text{н ср}} K_0,$$

где U_{mi} — амплитуда i -й гармоники на входе фильтра; ω_i — частота i -й гармоники.

Тогда в соответствии с (13.5)

$$q = \frac{\varepsilon_{\text{вх}}}{\varepsilon_{\text{вых}}} = \frac{K_0}{K_0 \omega_i(\tau)} = \omega_i \tau = \frac{\omega_i C_{\Phi} R_{\Phi} R_{\text{н}}}{R_{\text{н}} + R_{\Phi}}. \quad (13.28)$$

Зная коэффициенты сглаживания q и входных пульсаций $\varepsilon_{\text{вх}}$, можно легко найти переменную составляющую выходного напряжения фильтра

$$U_{mi \text{ вых}} = U_{\text{н ср}} \varepsilon_{\text{вх}} / q. \quad (13.29)$$

Выражение (13.29) позволяет решить и обратную задачу. По заданному коэффициенту пульсаций выходного напряжения определить требуемые параметры сглаживающего фильтра.

Пример 13.1. Рассчитать параметры RC -фильтра, работающего на выходе трехфазного однополупериодного выпрямителя напряжения при условии, что переменная составляющая выходного напряжения не должна превышать 20 мВ; $R_{\text{н}} = 500 \text{ Ом}$; $U_{\text{н}} = 22 \text{ В}$; $\omega = 100 \pi$; $U_{\text{ср вых}} = 15 \text{ В}$.

Решение. 1. Среднее значение выходного напряжения выпрямителя в соответствии с (13.20)

$$U_{\text{н ср}} = 3\sqrt{3}U_{\text{н}}/2\pi = 3\sqrt{3} \cdot 22/2\pi = 18,194 \text{ В}.$$

2. Согласно (13.29) требуемый коэффициент сглаживания фильтра

$$q = U_{\text{ср вых}} \varepsilon_{\text{вх}} / U_{mi \text{ вых}} = 15 \cdot 0,25/0,02 = 187,5.$$

3. Коэффициент передачи фильтра по постоянной составляющей

$$K_0 = U_{\text{ср вых}} / U_{\text{н ср}} = 15/18,194 = 0,82.$$

4. Сопротивление резистора R_{Φ} определяем по требуемому коэффициенту K_0 :

$$K_{\Phi} = R_{\text{н}}(1 - K_0)/K_0 = 500(1 - 0,82)/0,82 = 109,76 \text{ Ом}.$$

Принимаем $R_{\Phi} = 110 \text{ Ом}$.

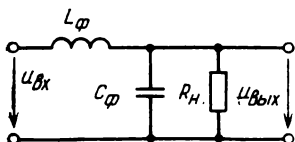


Рис. 13.12. Схема сглаживающего LC -фильтра

5. Емкость C_ϕ согласно выражению (13.28) равна

$$C_\phi = q(R_n + N_\phi) / 3\omega R_n R_\phi = 187,5(500 + 110) / 3 \cdot 100\pi \cdot 500 \cdot 110 = 2,206 \cdot 10^{-3} \text{ Ф.}$$

Принимаем $C_\phi = 2200 \text{ мкФ}$.

Приведенную методику можно использовать для определения коэффициента сглаживания фильтра произвольной сложности. Однако при этом следует помнить, что для ее применения необходимо, чтобы подключение фильтра не влияло на закон проводимости (коммутации) диодов выпрямителя (см. § 13.2). Данное условие, как правило, выполняется, если RC -фильтр является выходной частью более сложного фильтра.

Индуктивно-емкостной (Г-образный) сглаживающий фильтр (рис. 13.12) выгодно отличается от RC -фильтра большими значениями K_0 и q . Это объясняется тем, что с увеличением частоты входного сигнала не только уменьшается сопротивление конденсатора $Z_C = 1/(\omega C_\phi)$, но и растет сопротивление индуктивности $Z_L = \omega L_\phi$. Поэтому активное сопротивление индуктивности практически не влияет на коэффициент сглаживания фильтра, и при проектировании стремятся обеспечить $R_{L\phi} = 0$, что предполагает получение $K_0 = 1$.

Передаточная функция LC -фильтра имеет вид

$$W(p) = \frac{K_0}{(\tau p)^2 + 2\xi\tau p + 1},$$

где $\tau = \sqrt{L_\phi C_\phi}$ — постоянная времени фильтра; $\xi = R_{L\phi} / 2L_\phi$ — коэффициент затухания; $K_0 = R_{L\phi} / (R_n + R_{L\phi})$ — коэффициент передачи фильтра по постоянному току.

Полагая $R_{L\phi} = 0$ аналогично вышеизложенному, для коэффициента сглаживания LC -фильтра можно получить

$$q = \omega^2 L_\phi C_\phi. \quad (13.30)$$

Подключение LC -фильтра на выход выпрямителя не нарушает алгоритм работы его диодов (см. § 13.2) (кроме однофазного однополупериодного), поэтому при его расчете можно пользоваться приведенной методикой.

Емкостной сглаживающий фильтр является наиболее простым из всех рассмотренных. Он состоит из конденсатора C_ϕ , включаемого параллельно сопротивлению нагрузки (рис. 13.13, а). Вре-

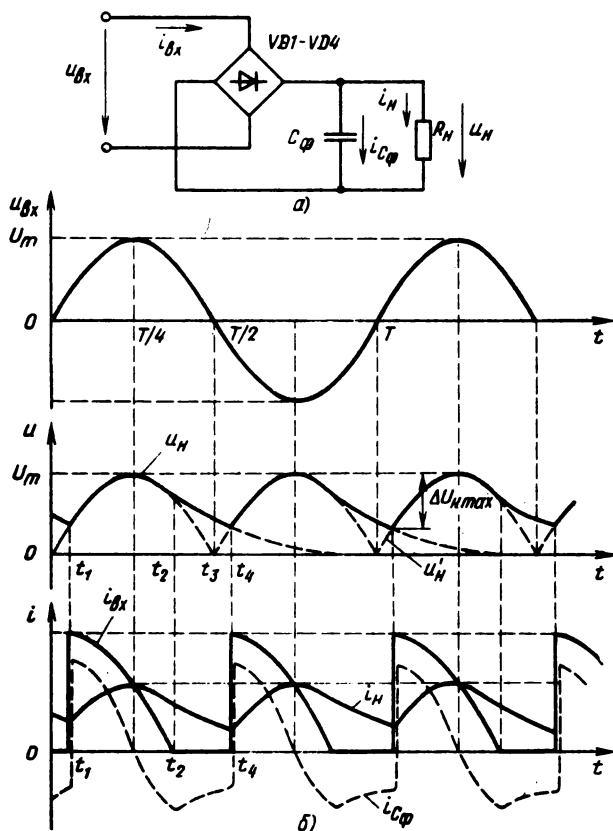


Рис. 13.13. Схема двухполупериодного выпрямителя с емкостным фильтром (а) и временные диаграммы, поясняющие его работу (б)

менные диаграммы, поясняющие его работу на выходе однофазного двухполупериодного выпрямителя, приведены на рис. 13.13, б. Анализ работы данного фильтра проведем в предположении, что в качестве диодов схемы выпрямителя применяются унисторы (идеальные диоды, для которых $U_{до}=0$, $r_d=0$), а внутреннее сопротивление источника входного напряжения равно $R_{вн}=0$.

Допустим, что в момент времени $t=t_1$ напряжение на конденсаторе C_Φ равно мгновенному значению входного напряжения, т. е. выполняется условие $u_C(t_1)=u_{вх}(t_1)$. Дальнейшее увеличение входного напряжения приведет к смещению в прямом направлении соответствующей пары диодов выпрямителя. При этом через

эти диоды будет протекать ток, равный сумме тока нагрузки и зарядного тока конденсатора

$$i_{\text{вх}} = U_m \sin \omega t / R_n + C_\phi \omega U_m \cos \omega t,$$

где U_m — амплитудное значение входного напряжения; ω — частота входного напряжения.

Так как мы предположили, что $r_d + R_{\text{вн}} = 0$, то до момента t_2 мгновенные значения напряжений $u_c = u_n$ и $u_{\text{вх}}$ будут равны. После момента t_2 напряжение $u_{\text{вх}}$ становится меньше u_c . Это вызовет запираание ранее открытых диодов ($u_c > u_{\text{вх}}$) и отключение нагрузки от входного напряжения. Далее до момента t_4 напряжение на нагрузке будет поддерживаться исключительно за счет заряда, накопленного в конденсаторе C_ϕ на интервале проводимости диодов ($t_1 - t_2$). Следует обратить внимание, что всегда $t_2 > T/4$, т. е. выключение диодов происходит в момент, когда $u_{\text{вх}} < U_m$. Точное значение t_2 можно найти из решения уравнения для входного тока при условии $i_{\text{вх}} = 0$. В момент $t = T/4$ ток $i_{\text{вх}} = i_{R_n} = U_m / R_n$.

Из описанного принципа работы вытекает, что подключение на выход выпрямителя емкостного фильтра качественно изменяет режим его работы. При этом энергия от входного источника отбирается только на интервале $t_1 - t_2$, в течение которого $u_{\text{вх}} \geq u_c$. Чем больше емкость C_ϕ , тем меньше реальная пульсация выходного напряжения, тем короче интервал $\Delta t_1 = t_2 - t_1$ и тем ближе значение напряжения нагрузки к амплитудному значению входного напряжения.

Из сказанного следует, что для определения коэффициента сглаживания нельзя пользоваться описанной методикой, так как реальные значения $U_{\text{н ср}}$, U_m и ε для данного фильтра не соответствуют аналогичным значениям, приведенным в § 13.2.

Для получения расчетных соотношений предположим, что амплитуда переменного напряжения на выходе фильтра существенно меньше среднего значения выходного напряжения. Тогда с достаточной точностью можно полагать, что на интервале $t_2 - t_4$ ток разряда конденсатора фильтра C_ϕ постоянен и равен $I_p = U_n / R_n$ и $t_2 = T/4$. В этом случае можно считать, что уменьшение выходного напряжения на интервале $\Delta t_2 = t_4 - t_2$ происходит по линейному закону и длительность интервала Δt_2 можно определить из решения следующей системы уравнений:

$$\begin{aligned} U_m - (I_p C_\phi) [T/4 + (t_4 - t_3)] &= U_m \sin \omega (t_4 - t_3), \\ \Delta t_2 = t_4 - t_2 &= T/4 + (t_4 - t_3). \end{aligned} \quad (13.31)$$

При заданном значении пульсаций выходного напряжения $\Delta U_{\text{н max}}$ и по найденному значению Δt_2 легко найти необходимую емкость конденсатора фильтра

$$C_\phi = I_p \Delta t_2 / \Delta U_{\text{н max}}. \quad (13.32)$$

Из полученного выражения следует, что емкость конденсатора C_ϕ прямо пропорциональна току нагрузки и обратно пропорциональна величине выходных пульсаций. Поэтому применение емкостных фильтров наиболее рационально при небольших токах нагрузки. По мере совершенствования технологии и разработки малогабаритных конденсаторов большой емкости рассматриваемый тип фильтра вследствие своей простоты и эффективности находит все более широкое применение.

Пример 13.2. Рассчитать емкостной фильтр, работающий на выходе однофазного двухполупериодного выпрямителя со средней точкой, при следующих параметрах: $u_{\text{вх}} = 6,5 \sin \omega t$; $\omega = 100\pi$; $R_n = 50 \text{ Ом}$; $U_{\text{Д0}} = 0,65 \text{ В}$, $r_d = 6 \text{ Ом}$, $\Delta U_n = 200 \text{ мВ}$.

Решение. 1. Определим максимальное напряжение на конденсаторе C_ϕ :

$$U_{C_\phi \text{ max}} = U_m - U_{\text{Д0}} - \frac{U_{C_\phi \text{ max}}}{R_n} r_d.$$

Откуда

$$U_{C_\phi \text{ max}} = \frac{R_n (U_m - U_{\text{Д0}})}{R_n + r_d} = \frac{50 (6,5 - 0,65)}{50 + 6} = 5,318 \text{ В}.$$

2. По заданной величине выходных пульсаций найдем длительность интервала $t_4 - t_3$:

$$U_{C_\phi \text{ max}} - \Delta U_n = U_{C_\phi \text{ max}} \sin \omega (t_4 - t_3)$$

или

$$t_4 - t_3 = \frac{1}{\omega} \arcsin \frac{U_{C_\phi \text{ max}} - \Delta U_n}{U_{C_\phi \text{ max}}} = \frac{1}{100\pi} \arcsin \frac{5,318 - 0,2}{5,318} = 4,118 \cdot 10^{-3} \text{ с}.$$

3. Время разряда конденсатора

$$t_{\text{раз}} = T/4 + (t_4 - t_3) = 5 \cdot 10^{-3} + 4,118 \cdot 10^{-3} = 9,118 \cdot 10^{-3} \text{ с}.$$

4. Найдем требуемую емкость конденсатора фильтра

$$C_\phi = 5,318 \cdot 9,118 \cdot 10^{-3} / 50 \cdot 0,2 = 4,849 \cdot 10^{-3} \text{ Ф}.$$

Принимаем $C_\phi = 5000 \text{ мкФ}$.

Результаты расчетов показывают, что с достаточной (с инженерной точки зрения) точностью емкость C_ϕ можно рассчитать в предположении, что $t_{\text{раз}} = T/2$. В этом случае $C_\phi = 5,318 \cdot 10^{-2} / 50 \cdot 0,2 = 5,318 \cdot 10^{-3} \text{ Ф}$.

Очевидно, что при этом емкость C_ϕ будет рассчитана с некоторым запасом, что вполне допустимо на практике. Если переменная составляющая напряжения емкостного фильтра соизмерима со средним значением, при расчетах следует учитывать экспоненциальный характер разряда конденсатора.

Комбинированные фильтры. При необходимости получения больших коэффициентов сглаживания на выходе выпрямителя, как правило, используют последовательное включение нескольких

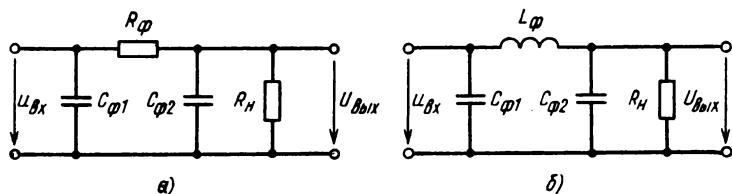


Рис. 13.14. Схемы сглаживающих CRC (а) и CLC (б) фильтров

фильтров. При этом могут использоваться как однотипные, так и разнотипные фильтры. В качестве примера на рис. 13.14, а, б приведены схемы комбинированных CRC - и CLC -П-образных фильтров. Расчет таких структур производится следующим образом. Сначала по величине допустимой для выбранного типа конденсатора пульсации напряжения определяют емкость конденсатора $C_{\phi 1}$, а затем, используя полученные выше выражения для коэффициентов сглаживания RC - и LC -фильтров, определяют параметры их элементов. Данный подход обеспечивает приемлемую точность результатов при условии, что переменная составляющая напряжения на конденсаторе $C_{\phi 1}$ меньше его постоянной составляющей.

При каскадном включении LC -фильтров можно считать, что для суммарного коэффициента сглаживания справедливо выражение

$$q_{\Sigma} = q_1 q_2 \dots, \quad (13.33)$$

где q_1, q_2 — соответственно коэффициенты сглаживания первого, второго и т. д. звеньев фильтра.

Используя выражение (13.33), можно показать, что при заданном q_{Σ} существует такое оптимальное число последовательно включенных однотипных LC -фильтров ($n_{\text{опт}}$), при котором произведение $L_{\Sigma} C_{\Sigma}$ всего фильтра будет минимальным. Значение $n_{\text{опт}}$ определяется выражением

$$n_{\text{опт}} = \lceil \ln(1/q_{\Sigma})/2 \rceil. \quad (13.34)$$

Стабилизация среднего значения выходной электрической величины ИВП осуществляется с помощью дополнительного звена, коэффициент передачи которого по постоянной составляющей изменяется таким образом, чтобы уменьшить или полностью исключить отклонение выходной электрической величины от заданного значения. Звено, выполняющее данную функцию, называется *стабилизатором*. Существующие стабилизаторы могут быть разделены на два класса: параметрические и компенсационные.

Параметрический стабилизатор обеспечивает поддержание выходного напряжения за счет собственной нелинейности используе-

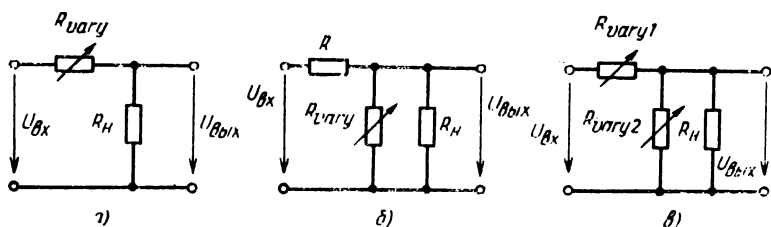


Рис. 13.15. Последовательная (а), параллельная (б) и последовательно-параллельная (в) схемы построения стабилизаторов

мого полупроводникового элемента. Примером такого стабилизатора является устройство, выполненное на основе стабилитрона.

Компенсационный стабилизатор является замкнутой системой автоматического регулирования, в которой коэффициент передачи звена, включенного в цепь передачи электрической величины, зависит от разности входного и некоторого эталонного сигнала. Это типичный пример устройства, содержащего цепь ООС.

В зависимости от стабилизируемой электрической величины различают стабилизаторы напряжения, тока или мощности.

Изменение коэффициента передачи стабилизатора в зависимости от изменения электрической величины в нагрузке ИВП происходит за счет включения в него одного или нескольких элементов с регулируемым коэффициентом передачи.

В зависимости от места включения такого элемента все стабилизаторы подразделяются на *последовательные*, *параллельные* и *последовательно-параллельные* (рис. 13.15).

Нетрудно заметить, что по существу эти схемы повторяют основные схемы коммутации, рассмотренные в гл. 10.

По способу управления стабилизаторы делятся на *непрерывные* и *ключевые* (импульсные или релейные). Стабилизаторы непрерывного типа используют активный режим работы биполярного или полевого транзистора, в то время как стабилизаторы импульсного или релейного типов — ключевой режим работы полупроводниковых приборов.

Основным параметром стабилизатора, характеризующим стабильность среднего значения его выходной электрической величины, как отмечалось ранее, является коэффициент стабилизации [см. выражение (13.3)]. В зависимости от стабилизируемой электрической величины различают коэффициенты стабилизации по напряжению $K_{U_{ст}}$, току $K_{I_{ст}}$ или мощности $K_{P_{ст}}$. Ниже рассмотрим наиболее типичные схемы стабилизаторов.

Параметрический стабилизатор напряжения. Типовая схема параметрического стабилизатора напряжения, выполненного на стабилитроне, приведена на рис. 13.16, а. Это параллельная схе-

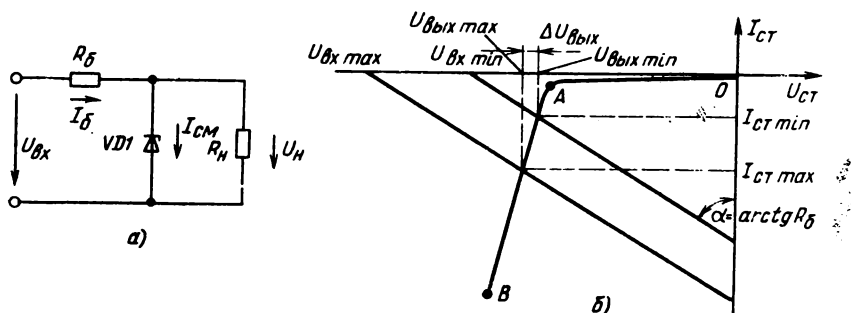


Рис. 13.16. Схема параметрического стабилизатора на стабилизтроне (а) и графическая интерпретация ее работы (б)

ма стабилизаций. В данной схеме для поддержания выходного напряжения на требуемом уровне используется участок обратного электрического пробоя стабилизтрона $VD1$. Поясним принцип работы схемы рис. 13.16, а с использованием ВАХ стабилизтрона (рис. 13.16, б).

Предположим, что заданы выходное напряжение $U_{вых}$, сопротивление нагрузки R_n и диапазон изменения входного напряжения $U_{вх max}$ и $U_{вх min}$. Отложим на оси напряжений значения минимального и максимального напряжений и через эти точки проведем прямые, угол наклона которых определяется сопротивлением балластного резистора R_6 . Точки пересечения характеристики стабилизтрона с проведенными прямыми дадут значения соответствующих выходных напряжений устройства. При этом будем полагать, что $R_n \gg R_6$ и $I_6 = I_{ст}$. Очевидно, вследствие нелинейности ВАХ стабилизтрона изменению $\Delta U_{вх} = U_{вх max} - U_{вх min}$ будет соответствовать изменение выходного напряжения $\Delta U_{вых} = U_{вых max} - U_{вых min}$, причем $\Delta U_{вх} \gg \Delta U_{вых}$.

Коэффициент стабилизации устройства (рис. 13.16, а) ориентировочно можно определить в предположении, что

$$\Delta U_{вх} \gg \Delta U_{вых} = 0 \text{ и } R_n = \text{const.}$$

Тогда

$$\Delta I_{вх} = \Delta U_{вх} / R_6 \text{ и } \Delta U_{вых} = \Delta I_{вх} r_d,$$

где r_d — дифференциальное сопротивление стабилизтрона. Откуда

$$\Delta U_{вых} / \Delta U_{вх} = \Delta I_{вх} r_d / \Delta I_{вх} R_6;$$

$$(K_U)_{ст} = (\Delta U_{вх} / U_{вх}) / (\Delta U_{вых} / U_{вх}) = U_{вх} R_6' (U_{вх} r_d), \quad (13.35)$$

где $U_{вх} = (U_{вх max} + U_{вх min}) / 2$.

Расчет параметрического стабилизатора может быть выполнен из условия $I_{\text{ст min}} \leq I_{\text{ст}} \leq I_{\text{ст max}}$ с использованием выражений

$$\begin{aligned}(U_{\text{вх min}} - U_{\text{вх}}) / R_0 &= U_{\text{вх}} / R_{\text{н min}} + I_{\text{ст min}}; \\ (U_{\text{вх max}} - U_{\text{вх}}) / R_0 &= U_{\text{вх}} / R_{\text{н max}} + I_{\text{ст max}}.\end{aligned}\quad (13.36)$$

Пример 13.3. Рассчитать параметрический стабилизатор напряжения при следующих условиях: выходное напряжение $U_{\text{вых}} = 5,6$ В; изменение тока нагрузки $5 \dots 15$ мА; изменение входного напряжения $+15 \dots -20$ %.

Решение 1. По заданному напряжению выберем требуемый тип стабилизатора. Заданное напряжение обеспечивает стабилизатор КС456А, имеющий следующие параметры: $U_{\text{ст min}} = 5,04$ В; ($I_{\text{ст}} = 10$ мА); $U_{\text{ст max}} = 6,16$ В ($I_{\text{ст}} = 10$ мА); $I_{\text{ст min}} = 3$ мА; $I_{\text{ст max}} = 167$ мА; $r_{\text{ст}} = 7$ Ом.

2. Зададим минимальный рабочий ток стабилизатора $I_{\text{ст min p}} = 5$ мА и найдем соответствующее ему максимально возможное напряжение стабилизатора

$$U_{\text{ст max}} = U_{\text{ст max}} - \Delta U'_{\text{ст}} r_{\text{ст}} = 6,16 - (10 - 5) \cdot 10^{-3} \cdot 7 = 6,125 \text{ В}.$$

3. Зададим максимальный рабочий ток стабилизатора $I_{\text{ст max p}} = 50$ мА и найдем соответствующее ему минимально возможное напряжение стабилизатора

$$U'_{\text{ст min}} = U_{\text{ст min}} + \Delta U''_{\text{ст}} r_{\text{ст}} = 5,04 + (50 - 10) \cdot 10^{-3} \cdot 7 = 5,32 \text{ В}.$$

4. Значение номинального входного напряжения $U_{\text{вх ном}}$ и R_0 найдем из выражения (13.36):

$$\begin{aligned}\frac{0,8 U_{\text{вх ном}} - U'_{\text{ст max}}}{R_0} &= \frac{U'_{\text{ст max}}}{R_{\text{н min}}} + I_{\text{ст min}}; \\ \frac{1,15 U_{\text{вх ном}} - U'_{\text{ст min}}}{R_0} &= \frac{U'_{\text{ст min}}}{R_{\text{н max}}} + I_{\text{ст max}}.\end{aligned}$$

Откуда $R_0 = 145$ Ом; $U_{\text{вх ном}} = 11,5$ В. Принимаем $R_0 = 150$ Ом.

5. Минимальное и максимальное входные напряжения соответственно равны

$$U_{\text{вх max}} = 1,15 U_{\text{вх ном}} = 13,2 \text{ В};$$

$$U_{\text{вх min}} = 0,8 U_{\text{вх ном}} = 9,2 \text{ В}.$$

6. Для выбранных $U_{\text{вх}}$ и R_0 определим токи $I_{\text{ст min}}$ и $I_{\text{ст max}}$:

$$\begin{aligned}I_{\text{ст min}} &= \frac{U_{\text{вх min}} - U'_{\text{ст max}}}{R_0} - \frac{U'_{\text{ст max}}}{R_{\text{н min}}} = \frac{9,2 - 6,125}{150} - \frac{6,125}{5,6} \cdot 15 \cdot 10^{-3} = 4,1 \text{ мА}; \\ I_{\text{ст max}} &= \frac{U_{\text{вх max}} - U'_{\text{ст min}}}{R_0} - \frac{U'_{\text{ст min}}}{R_{\text{н max}}} = \frac{13,2 - 5,32}{150} - \frac{5,32}{5,5} \cdot 15 \cdot 10^{-3} = 47,8 \text{ мА}.\end{aligned}$$

Полученные значения лежат в рабочем диапазоне токов выбранного стабилизатора.

7. Найдем коэффициент стабилизации. Согласно выражению (13.35),

$$(K_U)_{\text{ст}} = \frac{5,6 \cdot 150 \cdot 2}{(13,2 + 9,2) \cdot 7} = 9,95.$$

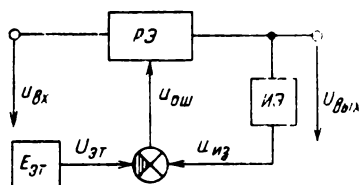


Рис. 13.17. К пояснению принципа работы компенсационных стабилизаторов

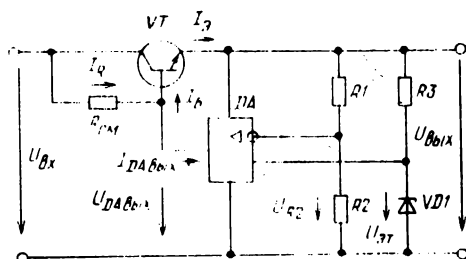


Рис. 13.18. Схема непрерывного компенсационного стабилизатора постоянного напряжения

Типовая величина коэффициента стабилизации параметрического стабилизатора $K_{уст} = 10 \dots 30$. Для получения стабилизации напряжения с коэффициентом до 1000 и более применяют компенсационные стабилизаторы.

Принцип работы компенсационного стабилизатора основан на использовании цепи ООС. Для реализации указанного принципа устройство кроме регулирующего (исполнительного) элемента (РЭ) должно содержать измерительный элемент (ИЭ), элемент сравнения и источник эталонного напряжения $U_{ЭТ}$ (рис. 13.17). Выходное напряжение измерительного элемента, пропорциональное стабилизируемому параметру, сравнивается в элементе сравнения с эталонным напряжением, и полученный сигнал ошибки $u_{ош} = U_{ЭТ} - u_{из}$ — управляет коэффициентом передачи РЭ. Увеличение $u_{ош}$, вызванное уменьшением выходного параметра, увеличив коэффициент передачи РЭ, что ведет к восстановлению исходного значения выходного напряжения. И наоборот, увеличение выходного напряжения, уменьшая сигнал ошибки, уменьшает коэффициент передачи РЭ.

В зависимости от вида выполнения РЭ различают непрерывные и ключевые компенсационные стабилизаторы напряжения. В непрерывных компенсационных стабилизаторах в качестве РЭ используют биполярный или полевой транзистор, работающий в активном режиме работы (режим генератора тока). В ключевых компенсационных стабилизаторах роль РЭ выполняют рассмотренные в гл. 10 импульсные усилители мощности.

Если выходное напряжение ИЭ пропорционально выходному напряжению устройства, в схеме рис. 13.17 реализуется режим стабилизации напряжения (соответственно при измерении тока или выходной мощности можно получить стабилизаторы тока и мощности).

Непрерывный компенсационный стабилизатор напряжения. Типовая схема такого устройства приведена на рис. 13.18. Рассмотрим ее работу. Выходное напряжение стабилизатора равно разности его входного напряжения и падения напряжения между выводами эмиттера и коллектора регулирующего транзистора VT : $U_{\text{вых}} = U_{\text{вх}} - U_{\text{кэ}}$. В свою очередь, для $U_{\text{кэ}}$ справедливо выражение $U_{\text{кэ}} = U_{\text{кб}} + U_{\text{бэ}} \approx U_{\text{кб}} + \text{const}$. Напряжение $U_{\text{кб}}$ определяется падением напряжения на резисторе смещения $R_{\text{см}}$ ($U_{\text{кб}} = I_{\text{R}} R_{\text{см}} = U_{\text{вх}} - U_{\text{д1 вых}}$). Операционный усилитель DA включен по схеме усилителя с дифференциальным входом и поэтому его выходное напряжение согласно выражению (8.22) равно

$$U_{DA \text{ вых}} = K_{U_0} (U_{\text{эт}} - U_{\text{кэ}}).$$

Так как цепь ООС в усилителе отсутствует, то из-за большого K_{U_0} можно считать, что во всех режимах работы $U_{\text{эт}} - U_{\text{кэ}} = 0$, и, следовательно, выходное напряжение стабилизатора $U_{\text{вых}} = U_{\text{эт}} (R_1 + R_2) / R_2$. Возникновение любых отклонений выходного напряжения от указанного уровня приводит к нарушению условия $U_{\text{эт}} - U_{\text{кэ}} = 0$. Это изменяет выходное напряжение операционного усилителя, а следовательно, и напряжение $U_{\text{кб}}$ транзистора VT , компенсируя возникшие отклонения.

Допустим, выходное напряжение стабилизатора увеличилось. Тогда $U_{\text{кэ}} > U_{\text{оп}}$, что приводит к уменьшению напряжения $U_{\text{д1 вых}}$ и соответствующему увеличению $U_{\text{Rсм}}$ и $U_{\text{кэ}}$ транзистора VT , что компенсирует возникшие отклонения. При уменьшении $U_{\text{вых}}$ увеличивается $U_{\text{д1 вых}}$, уменьшается $U_{\text{Rсм}}$ и $U_{\text{кэ}}$ и выходное напряжение восстанавливается.

Таким образом, если коэффициент усиления операционного усилителя $K_{U_0} \rightarrow \infty$, то выходное напряжение стабилизатора полностью определяется значением эталонного напряжения $U_{\text{эт}}$ и коэффициентом передачи делителя на резисторах R_1 и R_2 .

Коэффициент стабилизации напряжения данного устройства может быть определен из следующих соображений.

Коэффициент передачи входного возмущения ($K_{\text{сг0}}$), т. е. изменение напряжения на выходе стабилизатора при отсутствии цепи ООС ($I_{\text{б}} = \text{const}$), определяется соотношением выходного сопротивления транзистора ($r_{\text{д вых}}$) и сопротивления нагрузки ($R_{\text{н}}$):

$$K_{\text{сг0}} = R_{\text{н}} / (r_{\text{д вых}} + R_{\text{н}}).$$

Обычно, $r_{\text{д вых}} > R_{\text{н}}$ и $K_{\text{сг0}} < 1$. Тогда, учитывая, что $\Delta U_{\text{вых}} = K_{\text{сг0}} \Delta U_{\text{вх}}$ для коэффициента стабилизации схемы получаем

$$K_{U_{\text{сг0}}} = (\Delta U_{\text{вх}} / U_{\text{вх}}) / (\Delta U_{\text{вых}} / U_{\text{вых}}) = (U_{\text{вых}} / U_{\text{вх}}) K_{\text{сг0}} = \\ = (U_{\text{вх}} / U_{\text{вх}}) (r_{\text{д вых}} + R_{\text{н}}) / R_{\text{н}} > 1,$$

где $r_{д\text{ вых}} = 1/h_{22}$ — выходное дифференциальное сопротивление транзистора.

Введение ООС изменяет коэффициент передачи стабилизатора. Ранее было показано, что $K_{ООС} = K_0 / (1 + b_{ООС} K_0)$.

В нашем случае коэффициент передачи цепи обратной связи

$$b_{ООС} = K_{У_0} K_{дел}, \quad \text{где } K_{дел} = R_2 / (R_1 + R_2).$$

Тогда коэффициент передачи стабилизатора

$$K_{ст\text{ ООС}} = K_{ст0} / (1 + K_{ст0} K_{У_0} K_{дел}). \quad (13.37)$$

Подставляя (13.37) в (13.3), получаем

$$(K_U)_{ст\text{ ООС}} = U_{вых} / U_{вх} K_{ст\text{ ООС}} = U_{вых} (1 + K_{ст0} K_{У_0} K_{дел}) / U_{вх} K_{ст0} = \\ = (K_U)_{ст0} + U_{вх} K_{У_0} K_{дел} / U_{вх} \approx (U_{вых} / U_{вх}) K_{У_0} K_{дел} \gg 1. \quad (13.38)$$

Таким образом, введение в цепь обратной связи операционного усилителя позволяет существенно повысить качество выходного напряжения стабилизатора. Учитывая также, что цепь ООС в непрерывном компенсационном стабилизаторе напряжения является связью по напряжению, выходное сопротивление стабилизатора с усилителем в цепи ООС уменьшается примерно в $K_{ст0} K_{У_0} K_{дел}$ раз, что значительно снижает коэффициент неустойчивости выходного напряжения по току нагрузки.

Пример 13.4. Рассчитать непрерывный компенсационный стабилизатор напряжения, предназначенный для питания нагрузки, при $U_n = 5$ В, $I_n = 1$ А. Диапазон изменения входного напряжения 9,2...13,2 В. Коэффициент стабилизации по напряжению $K_{уст} > 1000$.

Решение. 1. Выберем силовой транзистор из следующих условий:

$$I_{к\text{ макс доп}} \geq I_K / K_{зап} = 1,45 \text{ А};$$

$$U_{кЭ\text{ макс доп}} \geq U_{вх\text{ макс}} / K_{зап} = 19 \text{ В};$$

$$P_K \geq I_{к\text{ макс}} (U_{вх\text{ макс}} - U_{вых}) = 8,2 \text{ Вт},$$

где $K_{зап}$ — коэффициент запаса, равный 0,7...0,8.

Этим требованиям удовлетворяет транзистор КТ817А: $U_{кЭ\text{ макс доп}} = 40$ В ($R_{БЭ} \leq 1$ кОм); $I_{к\text{ макс доп}} = 5$ А; $P_K = 25$ Вт; $h_{21Э} = 25$.

2. Максимальный ток базы транзистора

$$I_B = I_n / (h_{21Э} + 1) = 1/26 = 38,46 \text{ мА}.$$

Согласно схеме рис. 13.18 в случае холостого хода ($R_n = \infty$) этот ток должен протекать в выходной цепи операционного усилителя. Однако этот ток превышает выходной ток типовых операционных усилителей, выполненных в виде ИС. Поэтому для согласования базового тока транзистора с выходным током операционного усилителя необходимо либо выбрать другой транзистор с большим значением $h_{21Э}$, либо в качестве регулирующего элемента использовать схему составного транзистора.

В рассматриваемом случае воспользуемся схемой составного транзистора, дополнив транзистор КТ817А транзистором КТ315А. В этом случае максимальный управляющий ток регулирующего элемента

$$I_{\text{упр}} = \left(\frac{I_n}{h_{21Э1} + 1} + \frac{U_{БЭ1}}{R_{6Э1}} \right) \frac{1}{h_{21Э2} + 1} + \frac{U_{БЭ2}}{R_{6Э2}},$$

где $R_{6Э1}$ — резистор, шунтирующий эмиттерный переход транзистора. Его сопротивление оговаривается в справочных данных на транзистор.

Для транзистора КТ315А имеем: $h_{21Э\min} = 30$; $R_{6Э} = 10$ кОм. Тогда, полагая $U_{БЭ1} = U_{БЭ2} = 1$, получаем

$$I_{\text{упр}} = \left(\frac{1}{25 + 1} + \frac{1}{1 \cdot 10^3} \right) \frac{1}{30 + 1} + \frac{1}{10 \cdot 10^3} = 1,373 \cdot 10^{-3} \text{ А.}$$

3. Сопротивление резистора $R_{см}$ выбираем из условия обеспечения протекания тока $I_{\text{упр}}$ при наименьшем входном напряжении

$$R_{см} = (U_{вх\min} - U_{вых}) / I_{\text{упр}} = (9,2 - 5) / 1,373 \cdot 10^{-3} = 3,059 \text{ кОм.}$$

С запасом выбираем $R_{см} = 2,7$ кОм.

В этом случае максимальный выходной ток операционного усилителя

$$I_{DA\text{ вых макс}} = (U_{вх\max} - U_{вых}) / R_{см} = 3,03 \text{ мА.}$$

4. В качестве источника эталонного напряжения используем параметрический стабилизатор напряжения на стабилитроне. Стабилитрон выбираем из условия $U_{ст0} < U_{вых}$. Используем стабилитрон типа КС133А ($U_{ст0\min} = 2,97$ В; $U_{ст0\max} = 3,63$ В при $I_{ст} = 10$ мА; $r_{ст} = 65$ Ом). Сопротивление балластного резистора R_3 выберем в предположении, что $I_{вх}$ операционного усилителя равно нулю и $I_{ст\min} = 10$ мА:

$$R_3 = \frac{U_{вых} - U_{ст0\max}}{I_{ст\min}} - r_{ст} = \frac{5 - 3,63}{10 \cdot 10^{-3}} - 65 = 72 \text{ Ом.}$$

При выбранном R_3 максимально возможный ток стабилитрона

$$I_{ст\max} = (U_{вых} - U_{ст0\min}) / (R_3 + r_{ст}) = (5 - 2,97) / (72 + 65) = 14,8 \text{ мА,}$$

что меньше максимально допустимого тока стабилитрона.

5. Считая $U_{ст0} = 3,3$, найдем требуемый коэффициент передачи делителя на резисторах R_2 , R_3 :

$$K_{дел} = U_{ст0} / U_{вых} = 3,3 / 5 = 0,66.$$

Тогда, полагая $R_2 = 1$ кОм, определяем значение R_3 .

6. Определим допустимый диапазон изменения сопротивления резистора R_3 в предположении, что $R_2 = \text{const} = 1$ кОм:

$$R_{3\max} = \frac{R_2 (U_{вых} - U_{ст0\min})}{U_{ст0\min}} = \frac{1(5 - 2,97)}{2,97} = 683 \text{ Ом;}$$

$$K_{дел\min} = 0,59;$$

$$U'_{ст0\max} = U_{ст0\max} + \Delta I_{ст} r_{ст} = 3,63 + 65(14,8 - 10) \cdot 10^{-3} = 3,962 \text{ В;}$$

$$R_{3\min} = \frac{R_2(U_{\text{вых}} - U'_{\text{ст } 0 \text{ max}})}{U'_{\text{ст } 0 \text{ max}}} = \frac{1(5 - 3,962)}{3,962} = 262 \text{ Ом};$$

$$K_{\text{дел max}} = 0,792.$$

Возможное изменение R_3 равно 420 Ом.

7. Пренебрегая значением $K_{\text{ст } 0}$, из выражения (13.38) для коэффициента усиления операционного усилителя получаем

$$K_{U_0 \min} > \frac{(K_U)_{\text{ст } 0 \text{ ООС}} U_{\text{вх}}}{U_{\text{вых}} K_{\text{дел min}}} = \frac{1000(13,2 - 9,2)}{2,5 \cdot 0,59} = 678.$$

8. Операционный усилитель выбираем из условия $K_{\text{ст } 0} = 678$; $I_{\text{вых}} \geq 3,03 \text{ мА}$. Этим условием отвечает усилитель типа К140УД17.

Принципиальная электрическая схема рассчитанного непрерывного компенсационного стабилизатора напряжения приведена на рис. 13.19. Ее особенностью является питание операционного усилителя непосредственно от входного напряжения. Это обусловлено тем, что максимально допустимое напряжение его питания больше входного напряжения стабилизатора.

Непрерывный компенсационный стабилизатор тока, схема которого приведена на рис. 13.20, отличается от стабилизатора напряжения использованием цепи ООС по току вместо ООС по напряжению. Для этого в цепь протекания тока вводится постоянный резистор $R_{\text{из}}$, напряжение которого сравнивается с эталонным $U_{\text{ст}}$. В качестве эталонного, как и в схеме стабилизатора напряжения, используется напряжение параметрического стабилизатора на стабилитроне VD . Данная схема не содержит дополнительных УПТ и сигнал ошибки выделяется непосредственно на эмиттерном переходе биполярного транзистора VT . Поскольку в данной схеме потенциал базы зафиксирован напряжением стабилитрона, любое изменение выходного тока приведет к изменению напряжения на резисторе $R_{\text{из}}$. Например, если выходной ток увеличится, напряжение, приложенное к эмиттерному переходу, уменьшится, что вызовет уменьшение базового, а следовательно, и коллекторного тока транзистора VT :

$$I_{\text{вых}} = (U_{\text{ст}} - U_{\text{БЭ}}) h_{21Э} / R_{\text{из}} (h_{21Э} + 1). \quad (13.39)$$

Более подробно данная схема была рассмотрена в § 6.4.1.

Ключевые стабилизаторы напряжения. Как следует из принципа работы последовательных стабилизаторов напряжения непрерывного типа, КПД подобных устройств принципиально не может превышать значения

$$\eta = P_{\text{н}} / P_{\text{вх}} = U_{\text{н}} I_{\text{н}} / (U_{\text{н}} + U_{\text{рз}}) I_{\text{н}} = 1 / (1 + U_{\text{в.х}} / U_{\text{вх}}), \quad (13.40)$$

где $U_{\text{рз}}$ — падение напряжения на регулирующем элементе.

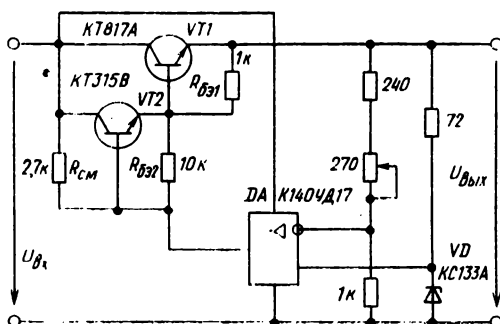


Рис. 13.19. Схема стабилизатора к примеру 13.4.

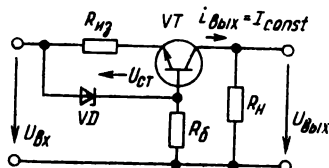


Рис. 13.20. Схема непрерывного компенсационного стабилизатора постоянного тока

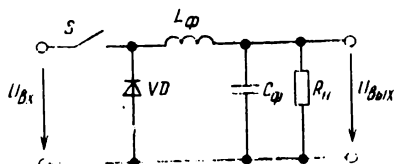


Рис. 13.21. Схема слововой части
ключевого стабилизатора

Ранее было отмечено (см. гл. 12), что КПД электронного регулятора может быть существенно увеличен при использовании ключевого режима работы полупроводниковых приборов. Рассмотрим возможность реализации этого преимущества.

Наиболее распространенная силовая часть ключевого стабилизатора показана на рис. 13.21. Она представляет импульсный усилитель мощности (ИУМ), работающий в первом импульсном режиме, в котором в качестве нагрузки выступает сглаживающий LC-фильтр.

Прямоугольное напряжение, поступающее на вход LC -фильтра, содержит постоянную и переменную составляющие. Постоянная составляющая беспрепятственно проходит на выход стабилизатора, в то время как для переменной составляющей коэффициент передачи фильтра мал, и она практически не попадает на выход стабилизатора.

Как отмечалось ранее, по виду управления ключевые стабилизаторы подразделяются на импульсные, в которых используется импульсный модулятор, преобразующий сигнал ошибки $\bar{U}_{\text{ош}}$ в последовательность управляющих импульсов с требуемым значением коэффициента заполнения K_z (рис. 13.22), и релейные ста-

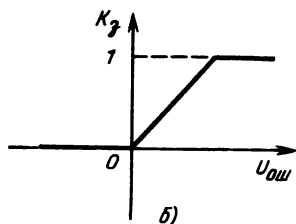
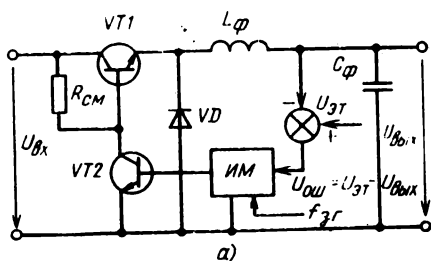


Рис. 13.22. Схема импульсного стабилизатора постоянного напряжения (а) и зависимость относительной длительности (K_z) управляющих импульсов импульсного модулятора от величины сигнала ошибки $U_{ош}$

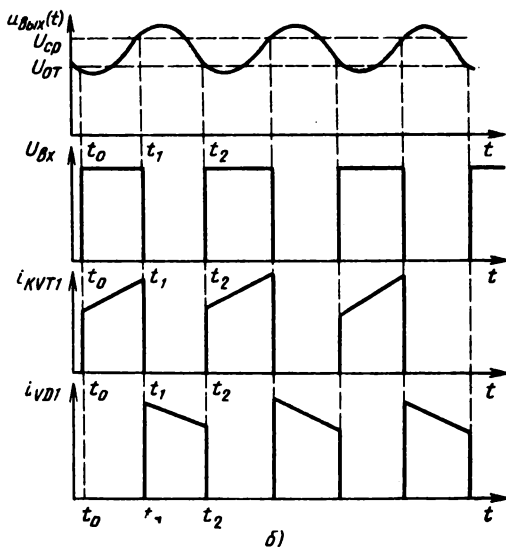
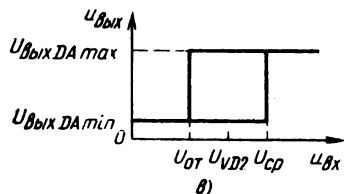
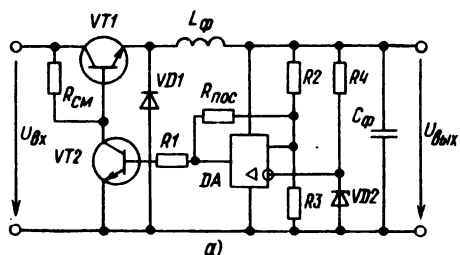


Рис. 13.23. Схема релейного стабилизатора постоянного напряжения (а), временные диаграммы, поясняющие ее работу, (б) и вид передаточной характеристики компаратора (в)

билизаторы, в которых управление осуществляется по уровню выходного напряжения (рис. 13.23). Частота управляющих импульсов в стабилизаторе первого типа, как правило, постоянна и задается внешним генератором $f_{зг}$.

В качестве импульсного модулятора может использоваться либо схема мультивибратора (см. рис. 11.9), у которого вместо базовых резисторов R_6 использованы управляемые сигналом ошибки схемы генераторов тока, либо компаратор, на вход которого кроме сигнала ошибки подается некоторое синхронизирующее напряжение. Это напряжение имеет либо синусоидальную, либо треугольную форму.

В качестве управляющего элемента в релейном стабилизаторе используют компаратор напряжения. На его инвертирующий вход подается эталонное напряжение параметрического стабилизатора, выполненного на стабилитроне $VD2$. Вследствие этого передаточная характеристика компаратора имеет вид, показанный на рис. 13.23, в.

Рассмотрим работу ключевого стабилизатора на примере схемы рис. 13.23. Предположим, что в некоторый момент времени выходное напряжение стабилизатора выше требуемого. По этой причине $U_{R3} > U_{VD2}$ и на выходе компаратора формируется высокий уровень напряжения $U_{вых ДА max}$. Это напряжение насыщает управляющий транзистор $VT2$. Напряжение на резисторе смещения $U_{R_{см}} = U_{вх} - U_{кэ 2 нас} \approx U_{вх}$, и регулирующий транзистор $VT1$ заперт. Ток дросселя, протекая через замыкающий диод $VD1$, отдает накопленную энергию в нагрузку.

По мере уменьшения энергии дросселя выходное напряжение стабилизатора уменьшается и в момент $t=t_0$ напряжение U_{R3} становится меньше напряжения отпущения компаратора $U_{отг}$. Компаратор формирует на выходе низкий уровень напряжения $U_{вых ДА min}$. Транзистор $VT2$ запирается, а транзистор $VT1$ под действием тока резистора $R_{см}$ попадает в режим, близкий к насыщению. При этом к входу LC -фильтра прикладывается напряжение, близкое к входному. Ток дросселя, а вместе с ним и выходное напряжение начинают увеличиваться. В момент t_1 $U_{R3} = U_{ср}$ и компаратор выключает регулирующий транзистор $VT1$. Далее до момента t_2 выходное напряжение стабилизатора опять поддерживается за счет энергии, накопленной в элементах фильтра на интервале $t_0 - t_1$ и т. д.

Проведенный анализ показывает, что частота переключения регулирующего транзистора в релейном стабилизаторе зависит от скорости изменения тока дросселя, т. е. от уровня входного напряжения и тока нагрузки.

Работа импульсного стабилизатора (см. рис. 13.22) отличается от рассмотренной лишь тем, что длительность включенного со-

стояния регулирующего транзистора определяется длительностью управляющего импульса импульсного модулятора.

Связь входного и выходного напряжений для рассматриваемой силовой части ключевого стабилизатора имеет вид

$$U_{\text{вых}} = U_{\text{вх}} K_3, \quad (13.41)$$

где $K_3 = t_{\text{и}}/T$ — коэффициент заполнения импульса на выходе регулирующего транзистора.

Следует отметить, что переменная составляющая напряжения на выходе релейного стабилизатора при прочих равных условиях всегда больше, чем на выходе импульсного стабилизатора, что вытекает из принципа его работы. Эта пульсация принципиально необходима для существования режима переключения регулирующего транзистора.

13.6. УПРАВЛЯЕМЫЙ ВЫПРЯМИТЕЛЬ

Как было показано в § 13.1, функции согласования уровня и частоты, а также стабилизации среднего за период значения выходного напряжения могут быть выполнены в одном устройстве. Примером такого устройства являются управляемые (регулируемые) выпрямители с применением тиристоров, транзисторов или других управляющих приборов.

Однополупериодный тиристорный управляемый выпрямитель. Сущность работы тиристорного управляемого выпрямителя рассмотрим на примере простейшей однополупериодной схемы (рис. 13.24, а). Схема управления тиристором VD формирует на его управляющем выводе импульс напряжения, сдвинутый относительно момента $u_{\text{вх}} = 0$ на некоторый угол α , называемый *углом включения*. Этот импульс при условии $u_{\text{вх}} > 0$ включает тиристор.

При активной нагрузке R_n тиристор VD автоматически выключается в тот момент времени, когда его напряжение приближается к нулю. Таким образом, при наличии сигнала управления длительность включенного состояния тиристора определяется выражением

$$t_{\text{и}} = (T/2)(1 - \alpha/\pi), \quad (13.42)$$

где T — период колебания входного напряжения $u_{\text{вх}}$.

С учетом сказанного, для среднего значения напряжения на нагрузке можно записать

$$U_{\text{н ср}} = \frac{1}{2\pi} \int_{\alpha}^{\pi} u_{\text{вх}} d\omega t = \frac{U_m}{2\pi} (1 - \cos \alpha). \quad (13.43)$$

Например, при $\alpha = 0$ время $t_{\text{и}} = T/2$ и тиристор VD полностью открыт в течение положительных полуволн питающего напряже-

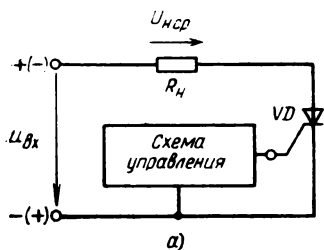


Рис. 13.24. Схема управляемого однофазного однополупериодного выпрямителя на тиристоре (а) и временные диаграммы поясняющие ее работу при различных значениях угла включения α (б, в, г)

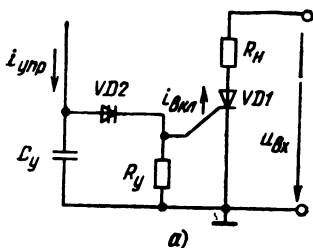
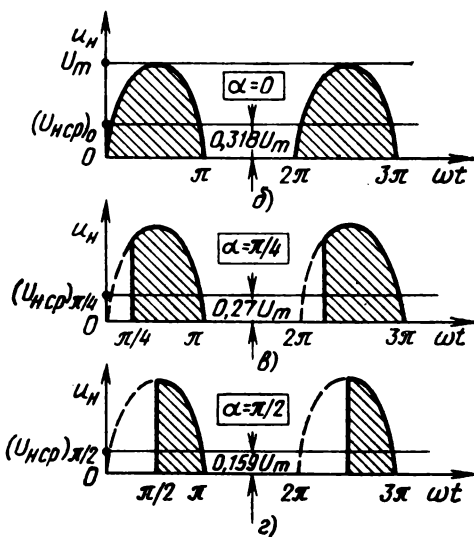
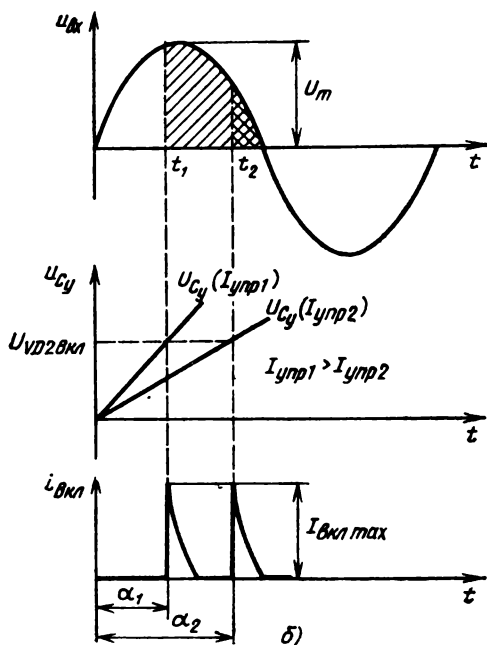


Рис. 13.25. Схема управления тиристором (а) и временные диаграммы, поясняющие ее работу (б)



ния. При $\alpha = \pi/4$ $t_{и2} = (T/2) (3/4) = 3T/8$, что соответствует уменьшению времени $t_{и1}$ включения тиристора на $1/4$, т. е. на 25% и т. д.

Работа управляемого выпрямителя поясняется временными диаграммами, приведенными на рис. 13.24, б—г. При наименьшем угле включения тиристора $\alpha = 0$ (рис. 13.24, б) среднее напряжение на нагрузке $U_{н ср}$ имеет максимальное для однополупериодной схемы значение, равное $U_{н ср 0} = U_m/\pi$. При $\alpha = \pi/2$ (рис. 13.24, г) напряжение $(U_{н ср})_{\pi/2} = 0,5 (U_{н ср})_0 = U_m/2\pi$. Если в режиме минимальной нагрузки обеспечить, например, угол $\alpha = \pi$ (рис. 13.24, з), а затем по мере повышения нагрузки уменьшить угол α (рис. 13.24, в), то за счет увеличения $t_{и}$ можно компенсировать падение напряжения на выходном сопротивлении выпрямителя и получить неизменное значение $U_{н ср}$. Такой принцип управления тиристорным выпрямителем называют фазоимпульсным (вертикальным) и широко используют в тиристорных преобразователях различного назначения.

Схемы управления тиристором должны формировать управляющие импульсы в заданные моменты времени, соответствующие требуемым значениям угла α . При этом для надежной работы тиристора необходимы кратковременные импульсы с большой крутизной фронта. Наиболее просто эта задача решается, например, с использованием пик-генераторов на динисторе.

Простейшая *схема пик-генераторного управления тиристором* приведена на рис. 13.25, а. Она состоит из динисторного автогенератора релаксационных колебаний (параллельно включенные конденсатор C_y и динистор $VD2$), служащего одновременно и формирователем кратковременных импульсов управления тиристором $VD1$.

В момент положительных полуволн питающего напряжения $u_{вх}$ под действием тока управления $i_{упр}$ начинается заряд конденсатора C_y . Этот процесс продолжается до тех пор, пока напряжение u_c на конденсаторе не достигнет значения $U_{VD2вкл.}$, достаточного для переключения динистора $VD2$. С этого момента $t = t_1$ (рис. 13.25, б) динистор переходит в проводящее состояние, характеризующееся чрезвычайно низким выходным сопротивлением. В результате этого конденсатор C_y разряжается через динистор $VD2$ на резистор R_y и управляющий переход тиристора $VD1$ (рис. 13.25, б). Окончание времени разряда обуславливается снижением тока динистора до величины $I_{выкл.}$. В этот момент происходит обратное переключение динистора в состояние отсечки. Конденсатор C_y вновь получает возможность заряжаться током $i_{упр}$.

При изменении тока $i_{упр}$ (рис. 13.25, б) изменяется время заряда конденсатора C_y до напряжения $U_{VD2вкл.}$ и потому наблюдается сдвиг импульсов управления по времени (рис. 13.25, б). Это позволяет менять угол включения α тиристора, обеспечивая фазоимпульсный способ управления выходным напряжением.

Рассмотренный принцип управления тиристором можно использовать как для однофазных, так и многофазных выпрямительных устройств.

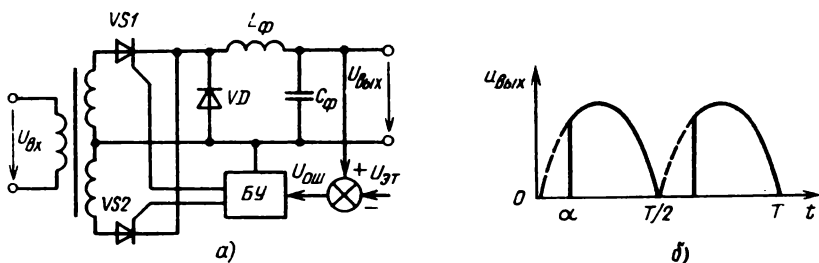


Рис. 13.26. Схема однофазного управляемого двухполупериодного выпрямителя на тиристорах с CLC -фильтром (а) и временные диаграммы, поясняющие ее работу (б)

Двухполупериодный тиристорный управляемый выпрямитель. Схема двухполупериодного тиристорного выпрямителя, построенная на основе двухполупериодной схемы выпрямителя со средней точкой, приведена на рис. 13.26, а. Суть регулирования в данной схеме заключается в следующем. Если на управляющие входы тиристоров постоянно подано отпирающее напряжение, то поведение схемы ничем не отличается от работы обычного двухполупериодного выпрямителя со средней точкой и среднее выходное напряжение будет определяться полученным ранее выражением (13.12): $U_0 = 2U_m/\pi$.

Если же в каждый из полупериодов управляющее напряжение будет подаваться на соответствующие тиристоры с задержкой на угол α , ко входу фильтра будет прикладываться только часть входного напряжения (рис. 13.26, б). Определим для данного случая зависимость $U_{н\text{ ср}} = F(\alpha)$:

$$U_{н\text{ ср}} = (2/2\pi) \int_{\alpha}^{\pi} U_m \sin \omega t d\omega t = U_m (1 + \cos \alpha) / \pi. \quad (13.44)$$

Очевидно, что при изменении α от 0 до π среднее значение выходного напряжения такого выпрямителя будет соответственно изменяться от $U_{ср\text{ max}} = 2U_m/\pi$ до $U_{ср\text{ min}} = 0$.

В выпрямителях с трансформаторами на входе регулирование напряжения на нагрузке можно осуществлять, как показано на рис. 13.27, тиристорами, включенными в цепь переменного тока. Такие схемы весьма перспективны для выпрямителей, использующих понижающие трансформаторы, поскольку при $U_1 \gg U_2$ имеем $I_1 \ll I_2$, а потому тиристорное управляющее звено $VD1$, рассчитанное на пониженные токи I_1 , получается малогабаритным, а неуп-

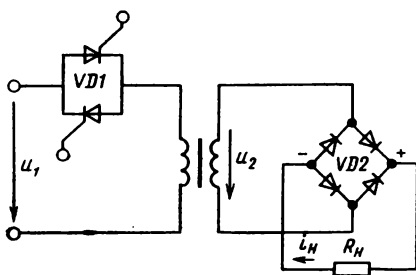


Рис. 13.27. Схема однофазного двухполупериодного управляемого выпрямителя с тиристорным ключом в первичной обмотке трансформатора

равляемое диодное звено $VD2$ легко реализуется на практике с использованием диодов Шотки. Такое решение позволяет упростить схему и повысить КПД ИВП.

13.7. УСТРОЙСТВА ПРЕОБРАЗОВАНИЯ НАПЯЖЕНИЯ

Изменить уровень постоянного напряжения можно, используя нелинейные цепи с накопительными конденсаторами. Суть данного метода заключается в периодическом заряде и разряде конденсаторов, причем в зависимости от поставленной задачи на интервалах заряда и разряда изменяют схемы их взаимного соединения.

Так, для уменьшения напряжения на интервале заряда к источнику входного напряжения подсоединяют цепочку из последовательно включенных накопительных конденсаторов. При разряде все конденсаторы подсоединяют к нагрузке параллельно.

Для повышения напряжения, наоборот, конденсаторы заряжают по параллельной схеме, а разряжают по последовательной.

Поясним данный принцип на примере схемы, показанной на рис. 13.28. В общем случае она состоит из n однотипных диодно-емкостных нелинейных цепей, содержащих собственно накопитель-

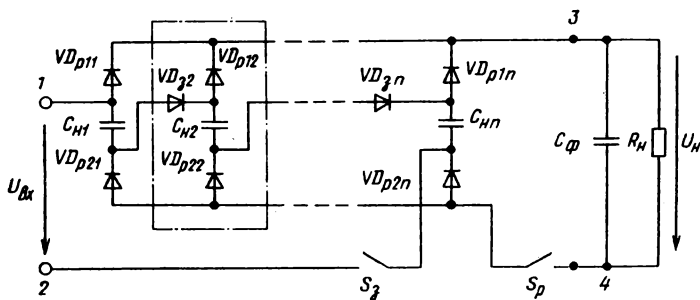


Рис. 13.28. Схема преобразователя напряжения на накопительных конденсаторах

ный конденсатор C_{ni} , зарядный VD_{zi} и два разрядных VD_{pi1} и VD_{pi2} диода, а также зарядный S_z и разрядный S_p ключи, переключаемые синхронно и противофазно.

Предположим, что входное напряжение $U_{вх}$ подключено к выводам 1, 2, а нагрузка, шунтированная емкостным фильтром C_{ϕ} , — к выводам 3, 4 схемы.

На интервале замкнутого состояния ключа S_z все накопительные конденсаторы через диоды VD_z соединяются последовательно и каждый из них заряжается до напряжения в n раз меньше входного. При включении S_p накопительные конденсаторы C_{ni} через соответствующие диоды VD_{pi1} и VD_{pi2} (где i изменяется от 1 до n) соединяются параллельно. В результате этого напряжение на нагрузке $U_{R_n} = U_{вх}/n$. Конденсатор C_{ϕ} необходим для поддержания требуемого уровня выходного напряжения на интервале заряда накопительных конденсаторов.

Если источник входного напряжения $U_{вх}$ подключить к выводам 3, 4, а нагрузку — к выводам 1, 2 схемы, то ее выходное напряжение будет в n раз выше входного ($U_n = nU_{вх}$).

Частным случаем рассмотренного устройства являются схемы, совмещающие функции преобразования частоты и уровня, а также стабилизации мгновенного значения напряжения. Это схемы выпрямителей напряжения с умножением. Все они строятся на основе схемы однополупериодного выпрямителя с емкостным фильтром. В качестве примера на рис. 13.29 приведена схема симметричного удвоителя напряжения (схема Латура). По сути она состоит из двух однополупериодных выпрямителей с емкостным фильтром, включенных по входу параллельно, а по выходу последовательно. При положительной полуволне входного напряжения через диод $VD1$ до напряжения U_m заряжается конденсатор $C1$. При отрицательной полуволне входного напряжения до такого же напряжения заряжается конденсатор $C2$. В результате, так как $C1$ и $C2$ относительно R_n включены последовательно, на выходе имеем напряжение $U_n = 2U_m$.

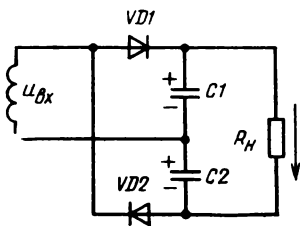


Рис. 13.29. Схема симметричного удвоителя напряжения

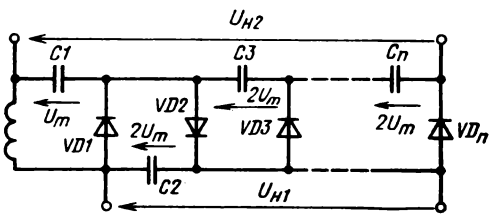


Рис. 13.30. Схема несимметричного умножителя напряжения

На рис. 13.30 показана схема несимметричного умножителя напряжения. Как и в схеме рис. 13.28 ее выходное напряжение пропорционально количеству последовательно соединенных ячеек — однополупериодных выпрямителей с емкостным фильтром. На интервале отрицательной полуволны входного напряжения открыты все диоды с нечетными номерами ($VD1, VD3, \dots$). В результате конденсатор $C1$ через $VD1$ заряжается до напряжения U_m . Конденсатор $C3$ через открытые диоды $VD1$ и $VD3$ от конденсатора $C2$ заряжается до напряжения $2U_m$. До такого же напряжения заряжаются и все остальные конденсаторы с нечетными номерами. На интервале положительной полуволны входного напряжения открыты все диоды с четными номерами и конденсаторы с четными номерами также заряжаются до напряжения $2U_m$. Например, конденсатор $C2$ заряжается до напряжения $2U_m$ суммой напряжений $u_{вх}$ и U_{C1} .

Таким образом, все конденсаторы схемы, кроме $C1$, заряжены до напряжения $2U_m$. Выходное напряжение может сниматься с последовательно включенных либо четных, либо нечетных конденсаторов. В первом случае $U_{н1} = 2U_m n_i$, где n_i — число конденсаторов с четными номерами. Во втором случае — $U_{н2} = U_m (2n - 1)$.

Общим для рассмотренных схем умножения является их достаточно высокое выходное сопротивление. Оно обратно пропорционально емкости накопительных конденсаторов и прямо пропорционально числу каскадов схемы. Поэтому для получения небольшой пульсации выходного напряжения нагрузка умножителей напряжения должна быть достаточно высокоомной.

С использованием данного принципа может быть разработано большое число различных схем умножения и деления напряжения.

Контрольные вопросы

1. Какие свойства диодов используются в выпрямительных устройствах?
2. Перечислите разновидности источников вторичного электропитания (ИВП) и укажите их назначение.
3. Назовите основные параметры ИВП.
4. Приведите показатели выпрямителей однофазного тока для одно- и двухполупериодного выпрямления.
5. Укажите особенности двухполупериодной схемы выпрямления однофазной цепи.
6. Поясните отличия между одно- и двухполупериодной схемами выпрямления трехфазной цепи.
7. Как определяют коэффициенты пульсации для выпрямительных схем?

8. Расскажите о принципе работы управляемого выпрямителя на тиристорах.

9. Как оценить эффективность сглаживающего фильтра?

10. Изложите принцип работы и область применения емкостного сглаживающего фильтра.

11. Изложите принцип функционирования индуктивно-емкостного сглаживающего фильтра.

12. Изложите принцип работы компенсационного стабилизатора напряжения.

13. Сравните характеристики RC - и LC -сглаживающих фильтров.

14. Докажите, что коэффициент стабилизации компенсационного стабилизатора может быть больше, чем параметрического.

15. В чем отличие непрерывных и ключевых компенсационных стабилизаторов напряжения?

16. Может ли работать релейный стабилизатор напряжения при отсутствии пульсаций выходного напряжения?

17. Чем отличается стабилизация мгновенного значения напряжения от стабилизации его среднего значения?

18. Какие функции выполняет управляемый выпрямитель?

19. Чем инвертор отличается от конвертора?

20. Чем коэффициент неустойчивости по току отличается от коэффициента неустойчивости по напряжению?

21. Опишите зависимость среднего выходного напряжения схемы на рис. 13.27 от угла включения тиристоров?

22. Поясните на каком принципе строятся схемы деления и умножения напряжения с использованием накопительных конденсаторов.

23. В чем отличие симметричной и несимметричной схем умножения напряжения?

ЧАСТЬ ТРЕТЬЯ

УСТРОЙСТВА ЦИФРОВОЙ ЭЛЕКТРОНИКИ

ГЛАВА 14.

МАТЕМАТИЧЕСКОЕ ОПИСАНИЕ ЦИФРОВЫХ УСТРОЙСТВ

14.1. СИСТЕМЫ СЧИСЛЕНИЯ

Существующие системы счисления подразделяются на *позиционные и непозиционные*. В непозиционных системах значение конкретной цифры постоянно и не зависит от ее расположения в записи числа. Примером такой системы счисления является Римская система записи числа. Например, в числе XXXVII значение цифры X не зависит от ее местоположения в записи числа. Оно везде равно 10.

В позиционных системах счисления значимость конкретной цифры определяется ее местоположением в записи числа. Так, произвольное число X в позиционной системе счисления с основанием q в общем случае можно представить в виде полинома

$$X_q = x_{n-1}q^{n-1} + x_{n-2}q^{n-2} + \dots + x_0q^0 + x_{-1}q^{-1} + \dots + x_{-m}q^{-m}, \quad (14.1)$$

где x_i — разрядный коэффициент ($x_i = 0 \dots q-1$); q^i — весовой коэффициент.

Число q называется основанием системы счисления. Следует отметить, что число q может быть как целым, так и дробным.

Если в выражении (14.1) отбросить весовые коэффициенты q^i и соответствующие знаки сложения, то получим сокращенную запись числа, носящую название q -ичного кода числа X_q . Номер позиции цифры x_i называют его разрядом. Разряды с положительными степенями q образуют целую часть числа X_q , с отрицательными степенями — дробную. Цифры x_{n-1} и x_{-m} соответственно являются старшим и младшим разрядами числа.

Количество различных чисел, которое может быть записано в позиционной системе счисления с основанием q при заданном числе разрядов,

$$N = q^{n+m}. \quad (14.2)$$

Количество разрядов, необходимое для записи в позиционной системе счисления с основанием q некоторого числа X , можно оп-

ределить из следующих соображений. Согласно (14.2), для записи числа X в системе с основанием q должно выполняться условие $X_q \leq q^{n+m} - 1$. Тогда

$$n + m \geq \log_q (X_q + 1). \quad (14.3)$$

В цифровой технике нашли применение только позиционные системы счисления.

Для представления числа, записанного в позиционной системе счисления с выбранным основанием q , при помощи электрических сигналов необходимо иметь некоторое электронное устройство, формирующее на выходе q различных электрических сигналов, которые достаточно легко можно отличить друг от друга. При этом необходимое число таких устройств должно равняться числу разрядов целой и дробной частей записываемого числа.

Очевидно, что в этом случае чем больше величина q , тем меньше понадобится указанных электронных устройств. С другой стороны, увеличение q потребует создания сложных электронных блоков, способных формировать на выходе большое число различных электрических сигналов. В этом случае, например при использовании в качестве информационного параметра уровня напряжения при фиксированной его максимальной величине, с увеличением q уменьшается различие между дискретными уровнями выходных сигналов, что в конечном счете усложняет их идентификацию. Последнее повышает вероятность появления ошибок при действии внешних помех и усложняет само устройство.

Критерием выбора q в данном случае является минимизация аппаратных затрат при обеспечении достаточной помехоустойчивости. Попытки чисто математического решения поставленной задачи показали, что оптимальной при поставленных требованиях является система счисления с основанием $e=2,71\dots$. Однако практически создать такую систему сложно и технически нецелесообразно.

Широкое распространение в цифровой технике получила позиционная система счисления с основанием $q=2$ — двоичная система счисления. По определению в такой системе фигурируют только два цифровых знака 0 и 1.

При работе с устройствами вычислительной техники приходится сталкиваться с позиционными системами счисления с основаниями 2, 8, 10 и 16. Рассмотрим ряд правил, позволяющих выполнить преобразование чисел из одной системы счисления в другую.

Переход от системы счисления с меньшим основанием к системе счисления с большим основанием осуществляется при помощи выражения (14.1), которое справедливо как для целой, так и дробной частей числа.

Таблица 14.1

Натуральный ряд чисел в различных системах счисления

Десяти- ричная	Шестнад- цатерич- ная	Восьме- ричная	Двоичная	Десяти- ричная	Шестнад- цатерич- ная	Восьме- ричная	Двоичная
1	2	3	4	1	2	3	4
0	0	0	0	11	<i>B</i>	13	1011
1	1	1	1	12	<i>C</i>	14	1100
2	2	2	10	13	<i>D</i>	15	1101
3	3	3	11	14	<i>E</i>	16	1110
4	4	4	100	15	<i>F</i>	17	1111
5	5	5	101	16	10	20	10000
6	6	6	110	17	11	21	10001
7	7	7	111	18	12	22	10010
8	8	10	1000	19	13	23	10011
9	9	11	1001	20	14	24	10100
10	A	12	1010	21	15	25	10101

Пример 14.1. Преобразовать двоичное число $X_2=1011_2$ в десятичное X_{10}

Решение. Согласно выражению (14.1) для $q=2$ получим $X_{10}=1 \cdot 2^3 + 1 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0 = 11$.

Переход от системы счисления с большим основанием к системе счисления с меньшим основанием выполняется с соблюдением следующих правил:

а) целая часть исходного числа делится на основание новой системы счисления;

б) дробная часть исходного числа умножается на основание новой системы счисления.

Пример 14.2. Преобразовать в двоичную систему счисления десятичное число 25,12.

Решение. 1. Преобразуем целую часть:

$$25:2=12+1(X_0=1)$$

$$12:2=6+0(X_1=0)$$

$$6:2=3+0(X_2=0)$$

$$3:2=1+1(X_3=1)$$

$$1:2=0+1(X_4=1)$$

Запись целой части двоичного числа X_2 производится с последнего результата деления, т. е. $25_{10}=11001_2$.

2. Преобразуем пробную часть:

$$0,12 \cdot 2=0+0,24(X_{-1}=0)$$

$$0,24 \cdot 2=0+0,48(X_{-2}=0)$$

$$0,48 \cdot 2 = 0 + 0,96 (X_{-3} = 0)$$

$$0,96 \cdot 2 = 1 + 0,92 (X_{-4} = 1)$$

$$0,92 \cdot 2 = 1 + 0,84 (X_{-5} = 1)$$

Запись дробной части двоичного числа производится с первого результата умножения, т. е. $0,12_{10} = 0,0001_2$.

3. Окончательно получим: $25,12_{10} \approx 11001,0001_2$.

В табл. 14.1 для примера приведен натуральный ряд чисел в различных системах счисления.

Переход из двоичной системы счисления в восьмеричную или шестнадцатеричную может быть выполнен более простым путем. Так как $8 = 2^3$, а $16 = 2^4$, то один разряд числа, записанного в восьмеричной системе счисления, преобразуется в три разряда, а один разряд числа в шестнадцатеричной системе — в четыре разряда числа двоичной системы счисления и наоборот.

Пример 14.3. Преобразовать $X_2 = 101001_2$ в X_8 .

Решение. Согласно табл. 14.1 $101_2 = 5_8$ и $001_2 = 1_8$, поэтому $X_8 = 51_8$.

Пример 14.4. Преобразовать $X_2 = 10100110_2$ в X_{16} .

Решение. Согласно табл. 14.1 $1010_2 = A_{16}$ и $0110_2 = 6_{16}$, поэтому $X_{16} = A6_{16}$.

14.2. ЛОГИЧЕСКИЕ КОНСТАНТЫ И ПЕРЕМЕННЫЕ. ОПЕРАЦИИ БУЛЕВОЙ АЛГЕБРЫ

Для описания алгоритмов работы цифровых устройств необходим соответствующий математический аппарат. Такой аппарат для решения задач формальной логики в середине прошлого века разработал ирландский математик Д. Буль. По его имени математический аппарат и получил название булевой алгебры или алгебры логики.

Булева алгебра — это математическая система, оперирующая двумя понятиями: событие истинно и событие ложно. Естественно ассоциировать эти понятия с цифрами, используемыми в двоичной системе счисления. Далее будем их называть соответственно логическими единицей (лог. 1) и нулем (лог. 0).

Два элемента булевой алгебры, а именно событие истинно и событие ложно, называются ее константами. Будем понимать под ними значения соответственно лог. 1 и лог. 0.

Для того чтобы описать при помощи булевой алгебры поведение и структуру цифровой схемы, ее входным, выходным и внутренним узлам ставят в соответствие булевы переменные, которые могут принимать только два значения:

$$\begin{aligned} x &= 0, \text{ если } x \neq 1, \\ x &= 1, \text{ если } x \neq 0. \end{aligned} \tag{14.4}$$

Таблица 14.2

Таблица истинности операции логического сложения

x_1	x_0	$x_1 + x_0(x_1 \vee x_0)$
0	0	0
0	1	1
1	0	1
1	1	1

Таблица 14.3

Таблица истинности операции логического умножения

x_0	x_1	$x_0 x_1 (x_0 \wedge x_1)$
0	0	0
0	1	0
1	0	0
1	1	1

Определим множество операций, выполняемых над булевыми константами и переменными, а также постулаты, которым эти операции удовлетворяют. Основными операциями булевой алгебры являются операции логического сложения, умножения и отрицания.

Логическое сложение. Эту операцию называют операцией ИЛИ или *дизъюнкцией*. Постулаты логического сложения двух переменных приведены в табл. 14.2.

Следует отметить, что данная операция справедлива для произвольного числа переменных. Число переменных, над которыми выполняется операция, обозначается цифрой, стоящей перед ее обозначением. Так, для табл. 14.2 можно сказать, что она определяет операцию 2ИЛИ. Операция ИЛИ соответствует математической операции объединения множеств.

Логическое умножение. Эту операцию называют операцией И или *конъюнкцией*. Постулаты логического умножения двух переменных приведены в табл. 14.3.

Следует отметить, что данная операция также справедлива для произвольного числа переменных. Она соответствует математической операции пересечения множеств. Число переменных, над которыми выполняется операция, также обозначается цифрой. В данном случае можно сказать, что табл. 14.3 определяет операцию 2И.

Отрицание. Операцию отрицания называют *инверсией* или *дополнением*. Для ее обозначения используют черту над соответствующим выражением. Операция определяется следующими постулатами:

$$\begin{aligned} \text{если } x = 1, \text{ то } \bar{x} = 0, \\ \text{если } x = 0, \text{ то } \bar{x} = 1. \end{aligned} \quad (14.5)$$

14.3. СПОСОБЫ ЗАПИСИ ФУНКЦИЙ АЛГЕБРЫ ЛОГИКИ

Рассмотрим некоторое логическое устройство, на входе которого присутствует некоторый n -разрядный двоичный код $x_{n-1} \dots x_1 x_0$, а на выходе соответственно m -разрядный двоичный код $z_{m-1} \dots z_1 z_0$ (рис. 14.1). Для того чтобы описать поведение этой схемы, необходимо определить зависимость каждой из m выходных переменных z_i от входного двоичного кода $x_{n-1} \dots x_1 x_0$.

Зависимость выходных переменных z_i , выраженная через совокупность входных переменных $x_{n-1} \dots x_1 x_0$ с помощью операций алгебры логики, носит название *функции алгебры логики* (ФАЛ). Иногда данную зависимость также называют переключательной функцией. Задать ФАЛ это значит определить значения z_i для всех возможных комбинаций переменных $x_{n-1} \dots x_1 x_0$. Очевидно, что для n -разрядного двоичного кода $x_{n-1} \dots x_1 x_0$ существует 2^n различных значений z_i .

Функция называется *полностью определенной*, если заданы 2^n ее значений. Если часть значений функции не задана, то она называется *частично определенной* или *недоопределенной*.

Иногда известно, что по условиям работы устройства появление некоторых входных кодов невозможно, и поэтому значения ФАЛ на этих кодах не задаются. При этом возникают так называемые *факультативные* или *необязательные* значения функции, которые могут задаваться произвольными. Входные коды, для которых ФАЛ имеет факультативные значения, называются *запрещенными*.

Устройства, поведение которых описывается при помощи ФАЛ, называют *логическими*.

Для описания ФАЛ могут быть использованы различные способы. Основными из них являются описание функции в словесной форме, в виде таблиц истинности, алгебраических выражений, последовательностей десятичных чисел, а также кубических комплексов.

Словесное описание ФАЛ. Проиллюстрируем словесное описание ФАЛ на примере.

Пример 14.5. Логическая функция трех переменных равна единице, если хотя бы две входные переменные равны единице.

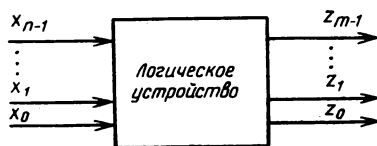


Рис. 14.1. Обобщенная схема логического устройства

Данный вид описания наиболее часто применяется для первоначального, исходного описания поведения логического устройства.

Описание ФАЛ в виде таблицы истинности. Таблица, содержащая все возможные комбинации входных переменных $x_{n-1} \dots x_1 x_0$ и соответствующие им значения выходных переменных z_i , называется таблицей истинности или комбинационной таблицей. В общем случае таблица истинности содержит 2^n строк и $m+n$ столбцов. Проиллюстрируем построение таблицы истинности на примере.

Пример 14.6. Составить таблицу истинности (табл. 14.4) для ФАЛ из примера 14.5.

Решение. Данная таблица имеет по четыре столбца и строки.

Таблица 14.4

Таблица истинности для трех переменных

x_2	x_1	x_0	y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

Описание ФАЛ в виде алгебраического выражения. При описании ФАЛ алгебраическим выражением используются две стандартные формы ее представления.

Дизъюнктивной нормальной формой (ДНФ) называется логическая сумма элементарных логических произведений, в каждое из которых аргумент или его инверсия входит один раз.

Получена ДНФ может быть из таблицы истинности с использованием следующего алгоритма:

а) для каждого набора переменных, на котором ФАЛ равна единице, записывают элементарные логические произведения входных переменных, причем переменные, равные нулю, записывают с инверсией. Полученные произведения называют *конституентами единицы*;

б) логически суммируют все конституенты единицы.

Пример 14.7. Запись ДНФ для ФАЛ, заданной в примере 14.6.

Решение. Согласно приведенному алгоритму из табл. 14.4 получим:

$$y(x_2, x_1, x_0) = \bar{x}_2 \bar{x}_1 \bar{x}_0 + \bar{x}_2 \bar{x}_1 x_0 + x_2 \bar{x}_1 \bar{x}_0 + x_2 \bar{x}_1 x_0.$$

Дизъюнктивную нормальную форму, полученную суммированием конституент единицы, называют совершенной (СДНФ).

Конъюнктивной нормальной формой (КНФ) называется логическое произведение элементарных логических сумм, в каждую из которых аргумент или его инверсия входят один раз.

Получена КНФ может быть из таблицы истинности с использованием следующего алгоритма:

а) для каждого набора переменных, на котором ФАЛ равна нулю, записывают элементарные логические суммы входных переменных, причем переменные, значения которых равны единице, записывают с инверсией. Полученные суммы называют *конституентами нуля*;

б) логически перемножают все полученные конституенты нуля.

Пример 14.8. Запись КНФ для ФАЛ, заданной в примере 14.6.

Решение. Применяя вышеприведенный алгоритм к табл. 14.4, получаем

$$y(x_2, x_1, x_0) = (x_2 + x_1 + x_0)(x_2 + x_1 + \bar{x}_0)(x_2 + \bar{x}_1 + x_0)(\bar{x}_2 + x_1 + x_0).$$

Конъюнктивную нормальную форму, полученную суммированием конституент нуля, также называют совершенной (СКНФ).

Рассмотренные методики позволяют получить математическую форму записи для самой функции. Иногда удобнее применять не саму ФАЛ, а ее инверсию. В этом случае при использовании вышеописанных методик для записи СДНФ необходимо выбирать нулевые, а для записи СКНФ — единичные значения функции.

Пример 14.9. Для ФАЛ из примера 14.6 записать СДНФ и СКНФ инверсной функции.

Решение. Воспользовавшись табл. 14.4, запишем

$$\text{СДНФ: } \bar{y}(x_2, x_1, x_0) = \bar{x}_2 \bar{x}_1 \bar{x}_0 + \bar{x}_2 \bar{x}_1 x_0 + \bar{x}_2 x_1 \bar{x}_0 + \bar{x}_2 x_1 x_0.$$

$$\text{СКНФ: } \bar{y}(x_2, x_1, x_0) = (x_2 + \bar{x}_1 + \bar{x}_0)(\bar{x}_2 + x_1 + \bar{x}_0)(\bar{x}_2 + \bar{x}_1 + x_0)(\bar{x}_2 + \bar{x}_1 + x_0).$$

Описание ФАЛ в виде последовательности десятичных чисел. Иногда для сокращения записи ФАЛ представляют в виде последовательности десятичных чисел. При этом последовательно записывают десятичные эквиваленты двоичных кодов соответствующих конституент единицы или нуля.

Пример 14.10. Записать в виде последовательности чисел ФАЛ из примеров 14.7 и 14.8.

Решение. В СДНФ из примера 14.7 первая конституента «единица» ($x_2 x_1 x_0$) соответствует двоичному коду 011 (табл. 14.4). Десятичный эквивалент этого кода равен 3. Аналогично записываются все остальные конституенты:

$$y(x_2, x_1, x_0) = \sum (3, 5, 6, 7) = \vee (3, 5, 6, 7).$$

$$y(x_2, x_1, x_0) = \prod (0, 1, 2, 4) = \wedge (0, 1, 2, 4).$$

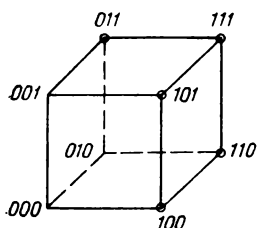


Рис. 14.2. Геометрическое представление ФАЛ

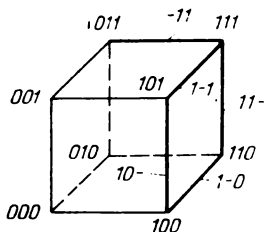


Рис. 14.3. Единичный кубический комплекс ФАЛ (см. пример 14.12)

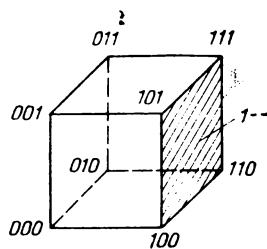


Рис. 14.4. Двоичный клуб для ФАЛ (см. пример 14.12)

Кубические комплексы. В последнее время широкое распространение получило так называемое кубическое представление ФАЛ. Такое представление использует ограниченное число символов и поэтому применяется при автоматизации процессов логического проектирования цифровых интегральных схем (ИС).

Основой кубической формы является представление каждого набора входных переменных в качестве n -мерного вектора. Вершины этих векторов геометрически могут быть представлены как вершины n -мерного куба. Отмечая точками вершины векторов, для которых ФАЛ равна единице, получаем геометрическое представление функции в виде куба.

Пример 14.11. Задана ФАЛ $z(x_2, x_1, x_0) = \sum (3, 4, 5, 6, 7)$. Дать геометрическое представление в виде куба.

Решение. Графическое решение задачи иллюстрируется рис. 14.2.

Очевидно, что наборы переменных, расположенные на концах ребер куба, отличаются только одной переменной. Такие наборы (коды) принято называть *соседними*.

Каждую вершину куба, в которой функция принимает единичное значение, называют *нулевым кубом* (0-кубом). Записывается 0-куб последовательностью образовавших его входных переменных, т. е. кодом, соответствующим конституенте единицы. Множество нулевых кубов образуют нулевой кубический комплекс K_0 ФАЛ.

Если два нулевых куба комплекса K_0 отличаются только по одной координате (переменной), т. е. два набора переменных, для которых ФАЛ равна единице, являются *соседними*, то они образуют *единичный куб* (1-куб). Геометрически это соответствует ребру исходного n -мерного куба (рис. 14.3), 1-куб записывается последовательностью общих элементов образовавших его 0-кубов

с прочерком несовпадающих элементов. Множество единичных кубов образует единичный кубический комплекс K_1 .

Аналогично, если два единичных куба комплекса K_1 отличаются только по одной координате (переменной), то эти единичные кубы образуют *двоичный куб* (2-куб). Геометрически это соответствует грани исходного n -мерного куба (рис. 14.4). 2-куб также записывается последовательностью общих элементов, образовавших его 1-кубов с прочерком несовпадающих элементов, а множество двоичных кубов образуют двоичный кубический комплекс K_2 . И так далее.

Пример 14.12. Для ФАЛ из примера 14.11 записать кубические комплексы.

Решение. Нулевой кубический комплекс содержит пять членов по числу континент единицы ФАЛ. $K_0 = (011, 100, 101, 110, 111)$.

Сравнивая записанные 0-кубы, можно увидеть, что 1-й и 5-й кубы отличаются только первым членом. Поэтому они образуют 1-куб вида -11. Аналогично второй и третий 0-кубы образуют 1-куб 10- и т. д. Единичный кубический комплекс заданной ФАЛ будет иметь вид: $K = (-11, 10-, 1-0, 11-, 1-1)$.

Аналогично может быть получен и двоичный кубический комплекс, состоящий из одного 2-куба: $K_2 = (1--)$.

Из сказанного следует, что размерность куба (его *ранг*) определяется числом несовпадающих координат, т. е. числом прочерков в его записи.

Объединение кубических комплексов K_0, K_1, \dots, K_m для ФАЛ n -переменных образует ее кубический комплекс: $K(z) = \bigvee (K_0, K_1, \dots, K_m)$.

14.4. ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ И СХЕМЫ. ПРИНЦИП ДВОЙСТВЕННОСТИ

Пользуясь ФАЛ, мы до сих пор ничего не говорили о структуре логического устройства, представляя его аналогично устройству на рис. 14.1 в виде некоторого «черного ящика». Однако ФАЛ однозначно определяет и внутреннюю структуру логического устройства. Если мы располагаем элементарными узлами, реализующими основные логические операции, заданные постулатами в § 14.2, то с их помощью можно построить логическую схему, выполняющую заданный алгоритм преобразования исходных логических переменных. В общем случае характер реальных логических переменных не имеет значения. Он может быть произвольным.

В соответствии с перечнем логических операций различают три основных логических элемента (ЛЭ): И, ИЛИ, НЕ. Условные графические обозначения этих ЛЭ показаны на рис. 14.5.

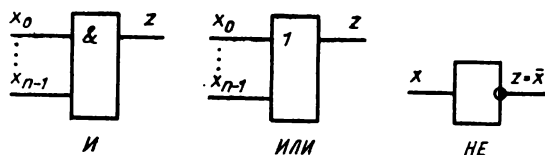


Рис. 14.5. Условные графические обозначения логических элементов

Следует еще раз подчеркнуть, что число входов элементов И или ИЛИ может быть произвольным. Элемент НЕ имеет всегда только один вход.

Для построения логической схемы необходимо ЛЭ, предназначенные для выполнения логических операций, указанных в ФАЛ, располагать от входа в порядке, определенном булевым выражением.

Пример 14.13. Построить структурную схему логического устройства по ФАЛ из примера 14.7.

Структурная схема логического устройства, реализующего заданную ФАЛ, показана на рис. 14.6.

При сравнении таблиц истинности 14.2 и 14.3 для операций И и ИЛИ, легко заметить, что если в условиях, определяющих операцию И, значения всех переменных и самой функции заменить их инверсией, а знак логического умножения — знаком логического сложения, получим постулаты, определяющие операцию ИЛИ:

$$\begin{aligned} \text{если } x_1 x_0 = z, \text{ то } \bar{x}_1 + \bar{x}_0 = \bar{z}, \\ \text{если } x_1 + x_0 = z, \text{ то } \bar{x}_1 \bar{x}_0 = \bar{z}. \end{aligned} \quad (14.6)$$

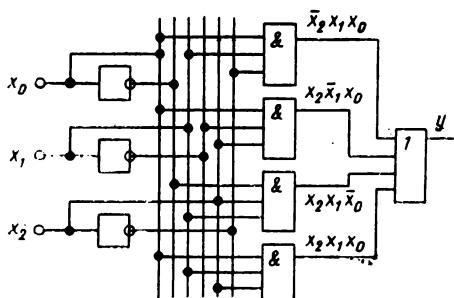


Рис. 14.6. Структурная схема логического устройства (см. пример 14.13)

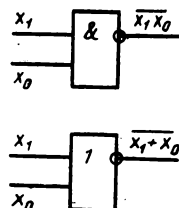


Рис. 14.7. Условные графические обозначения элементов 2И—НЕ и 2ИЛИ—НЕ

Это свойство взаимного преобразования постулатов операций логического сложения и умножения носит название *принципа двойственности*.

Важным практическим следствием принципа двойственности является тот факт, что при записи логических выражений и, следовательно, построении логических схем, можно обойтись только двумя типами операций, например операциями И и НЕ или ИЛИ и НЕ.

Введем понятие функционально полной системы ЛЭ. *Функционально полной системой* называется совокупность ЛЭ, позволяющая реализовать логическую схему произвольной сложности. Таким образом, системы двух элементов И и НЕ, а также ИЛИ и НЕ наравне с системой из трех элементов (И, ИЛИ, НЕ) являются функционально полными. На практике широкое применение нашли ЛЭ, совмещающие функции элементов указанных выше функционально полных систем. Это элементы И—НЕ и ИЛИ—НЕ, которые носят названия соответственно *штрих Шеффера* и *стрелка Пирса*. По определению каждый из этих элементов так же образует функционально полную систему. Их условные графические обозначения приведены на рис. 14.7.

В качестве примера рассмотрим выполнение операций И, ИЛИ и НЕ на элементах ИЛИ—НЕ. Согласно принципу двойственности, если $x_1 x_0 = z$, то $\bar{x}_1 + \bar{x}_0 = \bar{z}$. Инвертируя правую и левую части первого выражения, получаем $\bar{x}_1 + \bar{x}_0 = \bar{z} = \overline{x_1 x_0}$, т. е. логическая операция И может быть заменена операциями ИЛИ и НЕ. На рис. 14.8 приведены примеры реализации основных логических

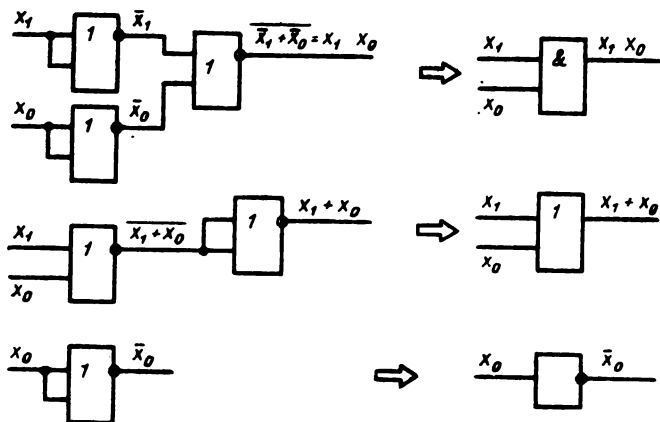


Рис. 14.8. Реализация основных логических операций И, ИЛИ, НЕ на базе элементов ИЛИ—НЕ

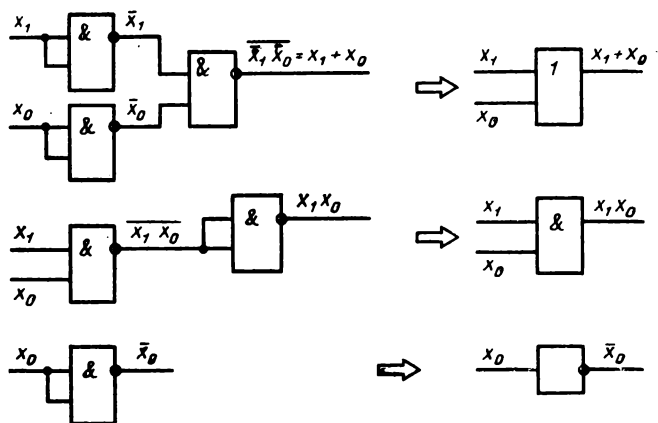


Рис. 14.9. Реализация основных логических операций на базе элементов 2И—НЕ

операций, определенных в § 14.2, с использованием только элементов ИЛИ—НЕ.

На основе аналогичных рассуждений можно показать выполнение основных логических операций с использованием только элемента И—НЕ (рис. 14.9).

14.5. ТЕОРЕМЫ БУЛЕВОЙ АЛГЕБРЫ

Теоремы булевой алгебры отражают связи, существующие между операциями, выполняемыми над логическими переменными. Сформулируем наиболее важные из них. При этом, так как логические операции подчиняются принципу двойственности, соответственно попарно сгруппируем все однотипные теоремы по столбцам:

- | | |
|---|--|
| 1. $x + 0 = x$, | $x \cdot 1 = x$; |
| 2. $x + 1 = 1$, | $x \cdot 0 = 0$; |
| 3. $x + x = x$, | $x \cdot x = x$; |
| 4. $\bar{\bar{x}} + x = 1$, | $x \cdot \bar{x} = 0$; |
| 5. $\bar{\bar{x}} = x$, | |
| 6. $x_1 + x_0 = x_0 + x_1$, | $x_1 x_0 = x_0 x_1$; |
| 7. $(x_2 + x_1) + x_0 = x_2 + (x_1 + x_0)$, | $(x_2 x_1) x_0 = x_2 (x_1 x_0)$; |
| 8. $\overline{x_1 + x_0} = \bar{x}_1 \bar{x}_0$, | $\overline{x_1 x_0} = \bar{x}_1 + \bar{x}_0$; |
| 9. $x_1 x_0 + x_0 = x_0$, | $(x_1 + x_0) x_0 = x_0$; |

10. $x_2 x_1 + x_0 = (x_1 + x_0)(x_2 + x_0), \quad (x_2 + x_1)x_0 = x_2 x_0 + x_1 x_0;$
11. $x_1 \bar{x}_0 + x_0 = x_1 + x_0, \quad (x_1 + \bar{x}_0)x_0 = x_1 x_0;$
12. $x_1 x_0 + \bar{x}_1 x_0 = x_0, \quad (x_1 + x_0)(\bar{x}_1 + x_0) = x_0.$

Выражения 8 носят название теорем Де-Моргана; выражения 9 — теорем поглощения, выражения 12 — теорем склеивания.

Справедливость всех перечисленных теорем может быть легко доказана с использованием метода совершенной индукции, т. е. непосредственной подстановкой.

14.6. КЛАССИФИКАЦИЯ ЛОГИЧЕСКИХ УСТРОЙСТВ

Логические устройства могут быть классифицированы по различным признакам. Так, в общем случае (см. рис. 14.1) на входе логического устройства действуют n , а на выходе — m переменных, т. е. присутствуют соответственно n - и m -разрядные коды. Поэтому логические устройства могут быть классифицированы по способу ввода-вывода переменных (информации). С этой точки зрения они подразделяются на последовательные, параллельные и последовательно-параллельные (смешанные).

Последовательным называется устройство, в котором входные переменные подаются на вход, а выходные переменные снимаются с выхода не одновременно, а последовательно, разряд за разрядом.

Параллельным называется устройство, в котором все разряды входных переменных подаются на вход, и все разряды выходных переменных снимаются с выхода одновременно.

В *последовательно-параллельных* устройствах входные и выходные переменные представлены в различных формах. Либо на вход переменные подаются последовательно символ за символом, а с выхода они снимаются одновременно, либо наоборот.

По принципу действия все логические устройства делятся на два класса: комбинационные и последовательностные.

Комбинационными устройствами или автоматами без памяти называют логические устройства, выходные сигналы которых однозначно определяются только действующей в настоящий момент на входе комбинацией переменных и не зависят от значений переменных, действовавших на входе ранее.

Последовательностными устройствами, или автоматами с памятью, называют логические устройства, выходные сигналы которых определяются не только действующей в настоящий момент на входе комбинацией переменных, но и всей последовательностью входных переменных, действовавших в предыдущие моменты времени. Этот тип устройств часто называют цифровыми автоматами.

Контрольные вопросы

1. В чем отличие позиционной системы счисления от непозиционной?
2. Как осуществляется перевод числа из одной системы счисления в другую, с большим основанием; с меньшим основанием?
3. Что называется булевыми константами и переменными в алгебре логики?
4. Назовите основные операции булевой алгебры. Как они описываются с помощью таблиц истинности; с помощью алгебраических выражений?
5. Какие функции алгебры логики называются полностью и частично определенными? Что такое факультативное значение функции и запрещенный код?
6. Приведите пример описания функции алгебры логики в словесной форме; в виде таблицы истинности; в виде алгебраического выражения; в дизъюнктивной и конъюнктивной нормальных формах; в виде последовательности чисел; в виде куба.
7. Что такое нулевой куб; единичный куб; двоичный куб; единичный и двоичный кубические комплексы; кубический комплекс?
8. Приведите условное графическое обозначение ЛЭ И, ИЛИ, НЕ. Что такое функционально полная система логических элементов?
9. Как строится структурная схема логического устройства по ФАЛ?
10. В чем заключается принцип двойственности и каково его практическое значение для построения схем логических устройств?
11. Что отражают теоремы булевой алгебры? Сформулируйте теоремы Де-Моргана, поглощения и склеивания.
12. Приведите классификацию логических устройств по способу ввода-вывода переменных; по принципу действия.

ГЛАВА 15.

МИНИМИЗАЦИЯ ЛОГИЧЕСКИХ УСТРОЙСТВ

15.1. ЦЕЛИ МИНИМИЗАЦИИ ЛОГИЧЕСКИХ УСТРОЙСТВ

В предыдущей главе было показано, что логическую схему, реализующую заданный алгоритм преобразования сигналов, можно синтезировать непосредственно по выражению, представленному в виде СДНФ или СКНФ. Однако полученная при этом схема, как правило, не оптимальна с точки зрения ее практической реализации. Поэтому исходные ФАЛ обычно минимизируют.

Целью минимизации логической функции является уменьшение стоимости ее технической реализации. Следует отметить, что сам критерий, в соответствии с которым выполняется минимизация ФАЛ, далеко не однозначен и зависит как от типа решаемой задачи, так и уровня развития технологии. Так, в те времена, когда цифровые устройства строились на дискретных элементах, минимизация числа этих элементов и числа построенных на их основе элементарных логических узлов однозначно определяла и уменьшение стоимости технической реализации. С появлением БИС и СБИС, стоимость которых определяется в основном площадью схемы на кристалле и мало зависит от числа входящих в нее транзисторов и других элементов, критерии минимизации ФАЛ претерпели существенные изменения. На первое место при проектировании самих ИС выдвигается требование регулярности их внутренней структуры и минимизация числа внешних соединений даже за счет увеличения числа элементов и внутренних соединений. Эти требования диктуются требованиями повышения надежности электронных средств.

Однако при проектировании аппаратуры с применением БИС и СБИС требование уменьшения числа корпусов ИС и их межсоединений по-прежнему остается весьма важным.

Требование уменьшения числа элементарных ЛЭ, входящих в разрабатываемое устройство, в настоящее время также не потеряло своей актуальности. Объясняется это все более широким использованием при проектировании электронных средств программируемых логических СБИС широкого применения и ползуказных СБИС на основе базовых матричных кристаллов. Эти СБИС и БИС, как правило, содержат отдельные некоммутированные между собой элементарные ЛЭ, например 2И—НЕ или 2ИЛИ—НЕ, или просто наборы транзисторов, резисторов и диодов, которые могут быть соединены между собой в соответствии с заданным алгоритмом обработки логических сигналов. Поскольку число элементов в одной СБИС задано из технологических соображений, то минимизация ФАЛ по критерию уменьшения числа используемых элементов позволяет на одном кристалле решать более сложные задачи логической обработки сигналов, т. е. в конечном счете уменьшать число требуемых ИС и связей между ними. Это снижает стоимость и повышает надежность электронной аппаратуры.

Рассмотрим ряд методов, позволяющих провести минимизацию ФАЛ по критерию уменьшения числа элементарных ЛЭ.

15.2. ОБЩИЕ ПРИНЦИПЫ МИНИМИЗАЦИИ

Наиболее просто и наглядно задача минимизации ФАЛ решается с использованием ее кубических представлений. Ранее было

показано, что любая логическая функция n -переменных характеризуется своим кубическим комплексом $K(z)$, образованным кубическими комплексами K_0, K_1, \dots, K_{n-1} . Из кубического комплекса $K(z)$ всегда можно выделить множество кубов $\Pi(z)$, таких, что каждый член комплекса K_0 , т. е. вершина куба будет включен по крайней мере в один куб из множества $\Pi(z)$. Множество кубов $\Pi(z)$ называется *покрытием* комплекса $K(z)$ или покрытием логической функции. Вполне очевидно, что для любой ФАЛ существует несколько ее покрытий. В свою очередь, каждому покрытию $\Pi(z)$, так же как и самому комплексу, соответствует своя дизъюнктивная нормальная форма, получаемая логическим суммированием логических произведений, соответствующих выделенным кубам ФАЛ.

Пример 15.1. Для кубического комплекса из примера 14.12 найти покрытие ФАЛ.

Решение. Кубический комплекс ФАЛ имеет вид

$$K(z) = \{011; 100; 101; 110; 111; -11; 11-; 1-1; 10; 1-0; 1--\}.$$

Нулевой кубический комплекс включает все вершины куба (см. рис. 14.3), поэтому образует покрытие функции

$$\Pi_1(z) = K_0 = \{011; 100; 101; 110; 111\}.$$

Все вершины куба включаются также в единичный кубический комплекс K_1 , поэтому он также образует покрытие ФАЛ

$$\Pi_2(z) = K_1 = \{-11; 11-; 1-1; 10-; 1-0\}.$$

Перебирая сочетания кубов различных рангов можно получить следующие покрытия ФАЛ:

$$\Pi_3(z) = K_2 = \{011; 11-; 10-\},$$

$$\Pi_4(z) = K_3 = \{-11; 1-1; 1-0\},$$

$$\Pi_5(z) = K_4 = \{011; 1--\},$$

$$\Pi_6(z) = K_5 = \{-11; 1--\} \text{ и т. д.}$$

Соответствующие указанным покрытиям ДНФ имеют вид

$$z_1(x) = \overline{x_2}x_1x_0 + x_2\overline{x_1}\overline{x_0} + x_2\overline{x_1}x_0 + x_2x_1\overline{x_0} + x_2x_1x_0,$$

$$z_2(x) = x_1x_0 + x_2x_1 + x_2x_0 + x_2\overline{x_1} + x_2\overline{x_0},$$

$$z_3(x) = \overline{x_2}x_1x_0 + x_2x_1 + x_2\overline{x_1},$$

$$z_4(x) = x_1x_0 + x_2x_0 + x_2\overline{x_0},$$

$$z_5(x) = \overline{x_2}x_1x_0 + x_2,$$

$$z_6(x) = x_1x_0 + x_2.$$

Сложность полученной таким образом ДНФ принято характеризовать понятием «цена покрытия» (Π_n), которая равна сумме цен всех кубов, составляющих данное покрытие $\Pi(z)$: $\Pi_n = \sum \Pi_k$.

В свою очередь, цена одного r -куба ФАЛ n -переменных определяется как разность полного числа входных переменных и ранга соответствующего куба, т. е. равна числу переменных в соответствующей дизъюнкции: $C_k = n - r$. Так, для ФАЛ трех переменных цена 0-куба равна трем, а 2-куба — единице.

В соответствии со сказанным, задача минимизации ФАЛ сводится к поиску покрытия $\Pi(z)$ кубического комплекса $K(z)$, имеющего минимальную цену.

Покрытие $\Pi(z)$ комплекса $K(z)$, имеющее минимальную цену, называется *покрытием Квайна*, а соответствующая этому покрытию ДНФ — называется *минимальной ДНФ* (МДНФ).

15.3. МИНИМИЗАЦИЯ ФАЛ С ИСПОЛЬЗОВАНИЕМ КАРТ ВЕЙЧА

Данный метод базируется на табличном виде представления ФАЛ. Он широко используется при ручной, без применения ЭВМ, минимизации ФАЛ, число переменных в которой обычно не превышает пяти.

Карта Вейча — это прямоугольная таблица, число клеток в которой для ФАЛ n -переменных равно 2^n , каждой из клеток поставлен в соответствие некоторый набор входных переменных, причем рядом расположенным клеткам соответствуют соседние наборы входных переменных (кодов), а в самих клетках записаны значения функции, определенные для этих кодов.

Рассмотрим построение карт Вейча для функций двух, трех, четырех и пяти переменных.

Карта Вейча функции двух переменных приведена на рис. 15.1. Она содержит четыре клетки и является плоской фигурой. Для удобства использования по краям карты указаны значения входных переменных, которые для соответствующих строк и столбцов остаются постоянными. Набор переменных для заданной клетки таблицы определяется как совокупность аргументов, постоянных для строк и столбцов, на пересечении которых она расположена.

Карта Вейча функции трех переменных приведена на рис. 15.2. Она содержит восемь клеток. Наборы входных переменных, соответствующие крайним левому и правому столбцам, являются со-

	x_1	$\overline{x_1}$
x_0	$f(x_1, x_0)$	$f(\overline{x_1}, x_0)$
$\overline{x_0}$	$f(x_1, \overline{x_0})$	$f(\overline{x_1}, \overline{x_0})$

Рис. 15.1. Карта Вейча функции двух переменных

	x_1		$\overline{x_1}$	
x_0	$f(\overline{x_2}, x_1, x_0)$	$f(x_2, x_1, x_0)$	$f(x_2, \overline{x_1}, x_0)$	$f(\overline{x_2}, \overline{x_1}, x_0)$
$\overline{x_0}$	$f(\overline{x_2}, x_1, \overline{x_0})$	$f(x_2, x_1, \overline{x_0})$	$f(x_2, \overline{x_1}, \overline{x_0})$	$f(\overline{x_2}, \overline{x_1}, \overline{x_0})$
	$\overline{x_2}$	x_2	$\overline{x_2}$	

Рис. 15.2. Карта Вейча функции трех переменных

седними. Поэтому данную карту удобно представить как поверхность цилиндра и она, в отличие от карты двух переменных, является объемной фигурой.

Карта Вейча функции четырех переменных приведена на рис. 15.3. Она содержит 16 клеток. Очевидно, что наборы входных переменных, соответствующие крайним левому и правому столбцам, как и в карте для трех переменных, являются соседними. Кроме этого соседние коды содержатся в нижней и верхней строках карты. Поэтому данная карта тоже является объемной фигурой и может быть представлена как поверхность тора.

Еще более сложную форму имеет карта Вейча функции пяти переменных. Ее можно представить как две карты Вейча функции четырех переменных, расположенные одна над другой и отличающиеся лишь значением одной переменной. Геометрически это можно представить как два тора, один из которых расположен в другом. Соседним кодам тут дополнительно соответствуют клетки, расположенные на разных торах одна под другой. Ввиду сложности работы с такими картами, данный способ редко используется при минимизации ФАЛ пяти переменных.

	x_1				$\overline{x_1}$				
x_0	{	$f(\overline{x_3}, \overline{x_2}, x_1, x_0)$	$f(x_3, \overline{x_2}, x_1, x_0)$	$f(x_3, \overline{x_2}, \overline{x_1}, x_0)$	$f(\overline{x_3}, \overline{x_2}, \overline{x_1}, x_0)$	}			$\overline{x_2}$
		$f(\overline{x_3}, x_2, x_1, x_0)$	$f(x_3, x_2, x_1, x_0)$	$f(x_3, x_2, \overline{x_1}, x_0)$	$f(\overline{x_3}, x_2, \overline{x_1}, x_0)$				
		$f(\overline{x_3}, x_2, x_1, \overline{x_0})$	$f(x_3, x_2, x_1, \overline{x_0})$	$f(x_3, x_2, \overline{x_1}, \overline{x_0})$	$f(\overline{x_3}, x_2, \overline{x_1}, \overline{x_0})$				x_2
		$f(\overline{x_3}, \overline{x_2}, x_1, \overline{x_0})$	$f(x_3, \overline{x_2}, x_1, \overline{x_0})$	$f(x_3, \overline{x_2}, \overline{x_1}, \overline{x_0})$	$f(\overline{x_3}, \overline{x_2}, \overline{x_1}, \overline{x_0})$				$\overline{x_2}$
		$\overline{x_3}$	x_3	$\overline{x_3}$					

Рис. 15.3. Карта Вейча функции четырех переменных

Минимизация полностью определенной ФАЛ. При минимизации ФАЛ используют либо ее нулевые, либо единичные значения. В обоих случаях получают равносильные выражения, которые, однако, могут отличаться по числу членов (т. е. цене) и выполняемым логическим операциям.

Алгоритм минимизации ФАЛ сводится к следующему.

1. На карте Вейча ФАЛ n -переменных выделяют прямоугольные области, объединяющие выбранные значения функции (лог. 0 или лог. 1). Каждая область должна содержать 2^k клеток, где k — целое число. Выделенные области могут пересекаться, т. е. одна или несколько клеток могут включаться в различные области.

2. Каждой из выделенных областей соответствует k -куб исходной ФАЛ, который представляется самостоятельным логическим произведением переменных, значения которых в рамках выделенной области остаются постоянными. Каждое произведение содержит $n-k$ переменных и носит название *импликанты*.

3. Из полученного множества выбирают минимальное число максимально больших областей, включающих все выбранные значения ФАЛ.

4. Логически суммируют импликанты, соответствующие выбранным областям. Полученная сумма образует МДНФ, т. е. является покрытием ФАЛ минимальной стоимости (покрытием Квайна).

При объединении клеток с единичными значениями ФАЛ получают МДНФ самой функции, а при объединении клеток с нулевыми значениями ФАЛ — МДНФ функции, инверсной заданной. Последнее легко объясняется при помощи одной из приведенных ранее теорем алгебры логики, согласно которой $x + \bar{x} = 1$.

Очевидно, что если полностью определенная ФАЛ n -переменных принимает значение 1 на m наборах переменных, то на остальных $2^n - m$ входных наборах ее значение равно нулю. Следовательно, объединение 0 значений согласно правилам записи ДНФ приведет к получению функции, инверсной заданной.

Применяя к полученной инверсной минимальной форме теоремы Де-Моргана $x_1 x_0 = \overline{x_1 + x_0}$ и $x_1 + x_0 = \overline{x_1 x_0}$, получаем минимальную функцию, записанную в виде КНФ.

Пример 15.2. Минимизировать ФАЛ

$$z(x) = x_2 x_1 x_0 + x_2 \bar{x}_1 x_0 + x_2 x_1 \bar{x}_0 + x_2 \bar{x}_1 \bar{x}_0.$$

Решение. 1. По заданной ФАЛ составим карту Вейча

	x_1		\bar{x}_1	
x_0	0	1	1	0
\bar{x}_0	0	1	1	0
	\bar{x}_2		x_2	\bar{x}_2

2. Запишем кубические комплексы

$$K_0 = (111, 101, 110, 100),$$

$$K_1 = (1-1, 1-0, 11-, 10-),$$

$$K_2 = (1--).$$

3. Выделим три покрытия и запишем соответствующие им МДНФ

$$\Pi_1 = (1-1, 1-0) \rightarrow z(x) = x_2x_0 + x_2\bar{x}_0,$$

$$\Pi_2 = (11-, 10-) \rightarrow z(x) = x_2x_1 + x_2\bar{x}_1,$$

$$\Pi_3 = (1--) \rightarrow z(x) = x_2.$$

Последнее покрытие является покрытием минимальной стоимости и ему соответствует МДНФ. Легко видеть, что этому покрытию соответствует область из четырех клеток, объединяющая единичные значения ФАЛ и расположенная в центре карты Вейча.

При объединении нулевых значений функции максимальная область соответствует 2-кубу $(0--)$, для которого $\bar{z}(x) = \bar{x}_2$ или $z(x) = x_2$. В обоих случаях для минимальной ФАЛ получено одно и то же выражение.

Пример 15.3. Минимизировать ФАЛ

$$z(x) = \bar{x}_2x_1x_0 + x_2x_1x_0 + x_2\bar{x}_1x_0 + x_2\bar{x}_1\bar{x}_0 + \bar{x}_2x_1\bar{x}_0.$$

Решение. 1. Составим карту Вейча

	x_1		\bar{x}_1	
x_0	1	1	1	1
\bar{x}_0	0	0	1	0
	\bar{x}_2	x_2		\bar{x}_2

2. Запишем покрытие минимальной стоимости для единичных значений ФАЛ

$$\Pi_1 = (-1, 10-) \text{ или } z(x) = x_0 + x_2\bar{x}_1.$$

3. Запишем покрытие минимальной стоимости для нулевых значений ФАЛ:

$$\Pi_2 = (-10, 0-0) \text{ или } \bar{z}(x) = x_1\bar{x}_0 + \bar{x}_2x_0.$$

4. Воспользовавшись теоремой Де-Моргана найдем

$$\overline{z}(x) = \overline{x_1 x_0 + x_2 x_0} = \overline{x_1 x_0} \overline{x_2 x_0} = (\overline{x_1} + \overline{x_0})(\overline{x_2} + \overline{x_0}).$$

Если к данному выражению применить теорему 10 из § 14.5, то получим ФАЛ вида $z(x) = x_0 + x_2 \overline{x_1}$. Очевидно, что обе функции $z(x)$ одинаковы.

Из последнего примера видно, что при минимизации по нулевым и единичным значениям функции первоначально можно определить равносильные, но не всегда одинаковые выражения. Различной будет и их техническая реализация. Используя теоремы алгебры логики, их можно преобразовать к единому виду. Однако такое преобразование не всегда очевидно и требует достаточного навыка. Поэтому для нахождения наиболее простого технического решения желательно проводить минимизацию как для нулевых, так и для единичных значений ФАЛ и из полученных выражений выбирать простейшее.

Следует еще раз отметить, что так как карты Вейча для ФАЛ трех и четырех переменных являются объемными фигурами, то при формировании областей на таких картах могут объединяться крайние столбцы и строки, а на карте четырех переменных также четыре угловые клетки (рис. 15.3).

Минимизация недоопределенной ФАЛ. Напомним, что недоопределенной называется ФАЛ, значения которой заданы не на всех наборах входных переменных. Существуют факультативные (необязательные) значения функции на неговоренных (запрещенных) входных кодах. Поэтому при минимизации недоопределенной ФАЛ ее факультативные значения доопределяются произвольно из условия получения на карте Вейча наименьшего числа максимально больших областей, что приводит к получению покрытия минимальной стоимости и простейшей технической реализации.

Пример 15.4. Минимизировать ФАЛ, заданную следующей таблицей истинности:

x_2	x_1	x_0	$z(x)$
0	0	0	—
0	0	1	0
0	1	0	1
0	1	1	—
1	0	0	1
1	0	1	—
1	1	0	—
1	1	1	1

Решение. 1. Составим исходную карту Вейча и выполним несколько возможных ее доопределений. Карта исходной функции имеет вид

	x_1		\bar{x}_1	
x_0	—	1	—	0
\bar{x}_0	1	—	1	—
	\bar{x}_2		x_2	

2. Запишем выражения для единичных значений ФАЛ

$$z(x) = \bar{x}_2 x_1 \bar{x}_0 + x_2 x_1 x_0 + x_2 \bar{x}_1 \bar{x}_0.$$

Допустим $z(000) = 1$ и $z(110) = 1$, тогда карта Вейча и ФАЛ будут иметь вид:

	x_1		\bar{x}_1	
x_0	—	1	—	0
\bar{x}_0	1	1	1	1
	\bar{x}_2		x_2	

$$z(x) = \bar{x}_0 + x_2 x_1.$$

Допустим $z(000) = 1$, $z(110) = 1$ и $z(011) = 1$, тогда

	x_1		\bar{x}_1	
x_0	1	1	—	0
\bar{x}_0	1	1	1	1
	\bar{x}_2		x_2	

$$z(x) = x_1 + \bar{x}_0.$$

Допустим $z(000) = 1$, $z(110) = 1$ и $z(101) = 1$, тогда

	x_1		\bar{x}_1	
x_0	0	1	1	0
\bar{x}_0	1	1	1	1
	x_2			

$$z(x) = x_2 + \bar{x}_0.$$

Допустим $z(011) = 1$, $z(101) = 1$ и $z(110) = 1$, тогда

	x_1		\bar{x}_1	
x_0	1	1	1	0
\bar{x}_0	1	1	1	—
	\bar{x}_2	x_2	\bar{x}_2	

$$z(x) = x_2 + x_1.$$

3. Минимизация исходной ФАЛ для нулевых значений приводит к выражениям

$$\bar{z}(x) = \bar{x}_2 \bar{x}_1 x_0 \text{ или } z(x) = x_2 + x_1 + \bar{x}_0.$$

Допустим $z(000) = 0$, тогда

	x_1		x_1	
x_0	—	1	—	0
\bar{x}_0	1	—	1	0
	\bar{x}_2	x_2	\bar{x}_2	

$$\bar{z}(x) = \bar{x}_2 \bar{x}_1 \text{ или согласно теоремам Де-Моргана } z(x) = x_2 + x_1.$$

Допустим $z(101)=0$, тогда

	x_1		x_1	
x_0	—	1	0	0
\bar{x}_0	1	—	1	—
	\bar{x}_2		x_2	

$$\bar{z}(x) = \bar{x}_1 x_0 \text{ или } z(x) = x_1 + \bar{x}_0.$$

Допустим $z(011)=0$, тогда

	x_1		\bar{x}_1	
x_0	0	1	—	0
\bar{x}_0	1	—	1	—
	\bar{x}_2		x_2	

$$\bar{z}(x) = \bar{x}_2 x_0 \text{ или } z(x) = x_2 + \bar{x}_0.$$

Данный пример наглядно иллюстрирует, что при различном доопределении ФАЛ можно получить различные результаты минимизации. Однако любая из полученных ФАЛ, несмотря на их различную техническую реализацию, обеспечит выполнение алгоритма, заданного исходной таблицей истинности.

Минимизация системы ФАЛ. Если логическое устройство имеет N выходов, то его поведение описывается системой N ФАЛ. Минимизация структуры такого устройства может быть выполнена с использованием вышеприведенных методов при раздельной минимизации N структур, на выходе каждой из которых формируется только один выходной сигнал. Однако с точки зрения всего устройства такая структура, как правило, не будет оптимальной.

С точки зрения минимизации всей структуры необходимо, чтобы цепь формирования каждого выходного сигнала была выполнена не минимальным, а некоторым оптимальным способом, обеспечивающим в конечном счете минимальность общей структуры устройства. Минимизация в этом случае обеспечивается за счет

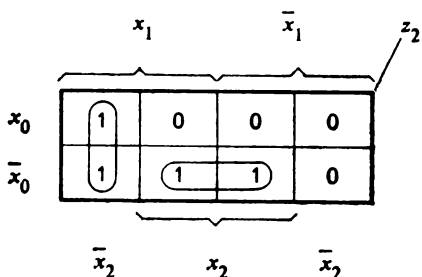
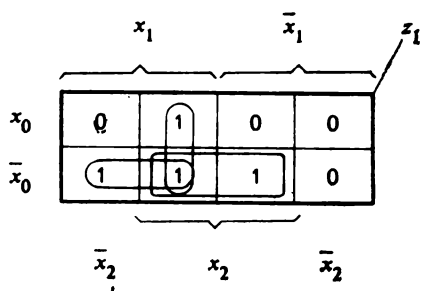
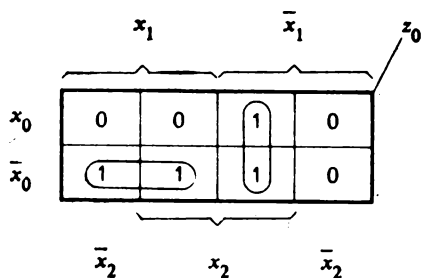


Рис. 15.4. Карты Вейча для системы ФАЛ, пример 15.6

использования общих цепей формирования сигнала для получения нескольких выходных функций. Последнее достигается выделением на картах Вейча различных выходных функций одинаковых областей.

Пример 15.6. Минимизировать структуру устройства, алгоритм работы которого задан следующей таблицей истинности:

x_2	x_1	x_0	z_2	z_1	z_0
0	0	0	0	0	0
0	0	1	0	0	0
0	1	0	1	1	1
0	1	1	1	0	1
1	0	0	1	1	1
1	0	1	0	0	0
1	1	0	1	1	1
1	1	1	0	1	0

Решение. Минимизируем данную систему ФАЛ по каждому выходу z отдельно. Используя приведенные на рис. 15.4 карты Вейча, для заданной таблицы можно записать следующую систему минимальных ФАЛ:

$$z_0 = x_1 \bar{x}_0 + x_2 \bar{x}_1,$$

$$z_1 = x_1 \bar{x}_0 + x_2 \bar{x}_0 + x_2 x_1,$$

$$z_2 = \bar{x}_2 x_1 + x_2 \bar{x}_0.$$

Техническая реализация данной системы потребует семь элементов 2И, два элемента 2ИЛИ и один элемент 3ИЛИ, т. е. всего 10 элементов.

Нетрудно заметить, что полученные выражения содержат общие члены $x_1 \bar{x}_0$ и $x_2 \bar{x}_0$. Поэтому техническую реализацию устройства можно упростить. При использовании общих для нескольких выходов элементов для реализации потребуется: пять элементов 2И, два элемента 2ИЛИ и один элемент 3ИЛИ, т. е. всего восемь элементов.

Анализ приведенных карт Вейча показывает, что на входных кодах 010, 100 и 110 все три функции принимают единичное значение. Поэтому можно записать

$$z_0 = x_1 \bar{x}_0 + x_2 \bar{x}_0 + x_2 \bar{x}_1 = \bar{x}_0 (x_2 + x_1) + x_2 \bar{x}_1,$$

$$z_1 = x_1 \bar{x}_0 + x_2 \bar{x}_0 + x_2 x_1 = \bar{x}_0 (x_2 + x_1) + x_2 x_1,$$

$$z_2 = x_1 \bar{x}_0 + x_2 \bar{x}_0 + \bar{x}_2 x_1 = \bar{x}_0 (x_2 + x_1) + \bar{x}_2 x_1.$$

Реализация этой схемы потребует четыре элемента 2И и четыре элемента 2ИЛИ, т. е. всего также восемь элементов. Однако из схемы исключен трехвходный элемент, что, в конечном счете, упрощает ее реализацию.

Таким образом, выделение при минимизации системы ФАЛ общих областей на картах Вейча позволяет получить наиболее простую ее техническую реализацию. При этом следует иметь в виду, что общие области могут выделяться не на всех картах, а лишь на части из них. Как правило, это приводит к упрощению реализации.

15.4. МИНИМИЗАЦИЯ ФАЛ НА ЭВМ МЕТОДОМ КВАЙНА И МАК-КЛАСКИ

На практике область применения рассмотренных ранее методов минимизации ФАЛ с использованием карт Вейча ограничивается числом логических переменных не более пяти. Это объясняется двумя основными причинами:

при увеличении числа переменных метод теряет свою наглядность, что снижает эффективность его применения;

так как выбор покрытий производится по большей части интуитивно, то конечный результат минимизации сильно зависит от индивидуального опыта разработчика. Последнее препятствует применению для минимизации ФАЛ ЭВМ.

При увеличении числа переменных для минимизации ФАЛ используются методы, обладающие однозначностью алгоритма, что является предпосылкой применения ЭВМ. К таким методам относится метод Квайна и Мак-Класки.

Алгоритм отыскания МДНФ этим методом сводится к следующему.

1. Находят покрытие $\Pi(z)$ заданной функции. Для этого формируют кубический комплекс ФАЛ и в каждом i -м кубическом комплексе отмечают кубы (импликанты), не образовавшие $i+1$ -й кубический комплекс. Отмеченные импликанты, называемые *простыми*, образуют покрытие заданной ФАЛ.

2. Строят таблицу покрытий матрицы Квайна. Строки указанной таблицы соответствуют простым импликантам, а столбцы — 0-кубам (конституентам единицы) ФАЛ. На пересечении i -й строки и j -го столбца ставится метка, если импликанта i покрывает конституенту j .

Отметим, что импликанта i покрывает конституенту j в случае, если она отличается от нее независимыми аргументами.

3. Определяют покрытие минимальной стоимости, для этого:

а) выделяют ядро Квайна. Если 0-куб заданной ФАЛ покрывается только одной простой импликантой, то последняя является *существенной* и входит в ядро Квайна и, следовательно, в покрытие минимальной стоимости;

б) из таблицы вычеркивают столбцы и строки, покрытые импликантами ядра Квайна.

Если в полученной после вычерчивания таблице содержатся простые импликанты, они также включаются в ядро Квайна с последующим вычеркиванием соответствующих строк и столбцов.

в) сжимают таблицу по столбцам, для чего из нее вычеркивают столбцы, в которые полностью входит любой из оставшихся столбцов;

г) сжимают таблицу по строкам, для чего из нее вычеркивают строки, которые полностью включаются в любую из оставшихся строк.

Последовательно сжимая таблицу по строкам и столбцам, получают *циклическую* таблицу, импликанты которой должны входить в покрытие ФАЛ минимальной стоимости.

0-кубам (конституентам единицы) ФАЛ. На пересечении i -й строкам циклической таблицы и импликант, образующих ядро Квайна, получают МДНФ заданной функции.

Проиллюстрируем применение описанного алгоритма на примере.

Пример 15.7. Минимизировать ФАЛ

$$z(x) = \vee(0, 1, 2, 4, 5, 7, 8, 10, 12, 14, 15).$$

Решение. Цена покрытия исходной ФАЛ $\Pi_n = 44$.

1. Сформируем кубический комплекс $K(z)$.

Формирование кубического комплекса $K(z)$ удобно выполнять при помощи разбиения конститuent ФАЛ на группы, содержащие одинаковое число единиц. При таком представлении кубы более высокого ранга могут образовывать только кубы, находящиеся в расположенных рядом группах. В рассматриваемом примере для ФАЛ четырех переменных можно выделить пять групп, представив их в виде таблицы.

Ранг куба	Номер группы				
	1	2	3	4	5
0-кубы	0000	0001 0010 0100 1000	0101 1010 1100	0111 1110	1111
1-куб	000- 00-0 00-0 -000	0-01 -010 010- -100 10-0 1-00	01-1 1-10 11-0	-111 -1-1-	
2-куб	0-0- 0-0- --00 0-0- -0-0 --00	1--0 1--0			

Для заполнения таблицы каждый из кубов левого столбца поочередно сравнивается с кубами правого столбца. Если сравниваемая пара образовала куб более высокого ранга, последний записывается в соответствующий столбец таблицы.

2. Кубы, не образовавшие куб более высокого ранга, являются простыми импликантами и формируют покрытие ФАЛ

$$П(z) = (01-1, -111; 111-; 0-0; -00; -0-0; 1--0).$$

3. С использованием $\Pi(z)$ построим таблицу покрытий Квайна

Простые импликанты	0-кубы ФАЛ									
	0000	0001	0010	0100	0101	0111	1000	1010	1100	1111
01-1					*	*				
-111						*				*
111-									*	*
0-0-	*	*		*	*					
--00	*			*			*		*	
-0-0	*		*				*	*		
1--0							*	*	*	

4. Согласно полученной таблице простыми импликантами являются 0-0- и -0-0, так как только первая покрывает 0-куб 0001 и только вторая покрывает 0-куб 0010.

5. В оставшейся после вычеркивания существенных импликант и покрываемых ими конституент единицы таблице больше нет существенных импликант.

Простые импликанты	0-кубы ФАЛ			
	0111	1100	1110	1111
01-1	*			
-111	*			*
111-			*	*
--00		*	*	*
1--0		*	*	*

Поэтому произведем сжатие по столбцам и строкам. Первоначальное сжатие по столбцам не выполняется, так как в таблице отсутствуют столбцы, полностью входящие в любой из оставшихся. Таблица сжимается по строкам, так как первая строка полностью входит во вторую, а четвертая в пятую. Поэтому из таблицы вычеркиваются строки с номерами один и четыре. Оставшаяся таблица может быть сжата по столбцам, так как первый столбец полностью входит в четвертый, а второй столбец — в третий. На основании этого из таблицы вычеркиваются третий и четвертый столбцы. Полученная таблица больше не может быть сжата ни по строкам, ни по столбцам. При этом импликанта 111- является лишней, так как она не покрывает ни одну из оставшихся

конституент единицы. Полученная после ее исключения таблица и является циклической.

6. Просуммировав импликанты циклической таблицы и простые импликанты, получим ФАЛ минимальной стоимости $z(x) = \bar{x}_3\bar{x}_1 + \bar{x}_2\bar{x}_0 + x_2x_1x_0 + x_3\bar{x}_0$.

Алгоритм сжатия по строкам и столбцам можно пояснить следующим образом. Из множества импликант, полученных после исключения существенных, необходимо найти такое их минимальное подмножество, которое обеспечит покрытие всех оставшихся в таблице конституент единицы. Поэтому, если существует i -я импликанта, которая покрывает множество 0-кубов V_i , которое включает множество кубов V_j , покрываемое импликантой j , то импликанта j является лишней.

Описанный алгоритм без каких-либо изменений позволяет минимизировать ФАЛ любого числа переменных, в том числе и с применением ЭВМ.

Контрольные вопросы

1. В чем заключаются цель и принципы минимизации логических устройств, реализуемых на БИС и СБИС?
2. Чем характеризуется сложность ДНФ?
3. В чем заключается минимизация ФАЛ с помощью карт Вейча?
4. Представьте карты Вейча функции двух, трех, четырех и пяти переменных.
5. К чему сводится алгоритм минимизации ФАЛ? Что такое импликанта и покрытие Квайна?
6. В чем заключается минимизация недоопределенной ФАЛ?
7. В чем заключается минимизация системы ФАЛ?
8. К чему сводится алгоритм минимизации ФАЛ методом Квайна и Мак-Класки?

ГЛАВА 16.

КОМБИНАЦИОННЫЕ ЛОГИЧЕСКИЕ УСТРОЙСТВА

16.1. СИНТЕЗ ЛОГИЧЕСКИХ УСТРОЙСТВ В ЗАДАННОМ БАЗИСЕ ЛЭ

При построении логических устройств обычно не пользуются функционально полной системой ЛЭ, реализующих все три основные логические операции: И, ИЛИ и НЕ. На практике, с целью сокращения номенклатуры элементов пользуются функционально

Форма записи основных логических операций

Элемент	Условное обозначение операции	Форма представления выходного сигнала
2И—НЕ (штрих Шеффера)	$x_1 x_0$	$\overline{x_1 x_0}; \overline{x_1 + x_0};$ $\overline{x_1 \wedge x_0}; \overline{x_1 \vee x_0}$
2ИЛИ—НЕ (стрелка Пирса)	$x_1 \downarrow x_0$	$\overline{x_1 + x_0}; \overline{x_1 x_0};$ $\overline{x_1 \vee x_0}; \overline{x_1 \wedge x_0}$

полной системой элементов, включающей только два элемента, выполняющих операции И—НЕ и ИЛИ—НЕ, или даже только один из этих элементов. Причем число входов этих элементов, как правило, задано. Поэтому вопросы синтеза логических устройств в заданном базисе ЛЭ имеют большое практическое значение.

Прежде чем перейти непосредственно к вопросам синтеза логических устройств в заданном базисе ЛЭ, составим таблицу (табл. 16.1), в которую для удобства сведем возможные формы представления выходных сигналов элементов 2И—НЕ и 2ИЛИ—НЕ при условии, что на их входы поданы логические переменные x_1 и x_0 .

На основе данной таблицы любую ФАЛ можно записать в требуемом базисе ЛЭ. При этом используются два технических приема: двойное инвертирование исходного выражения или его части и применение теорем Де-Моргана.

Если требуется привести ФАЛ к базису ЛЭ И—НЕ, то указанными приемами функция преобразуется к виду, содержащему только операции логического умножения и инверсии. Далее она переписывается через условные обозначения операции И—НЕ. Аналогично поступают при преобразовании ФАЛ к базису ЛЭ ИЛИ—НЕ. В этом случае в выражении оставляют только операции логического сложения и инверсии. Проиллюстрируем сказанное примером.

Пример 16.1. Задана ФАЛ $z(x) = x_3 x_0 + (\overline{x_3 x_2 x_0}) (\overline{x_2 + x_1})$. Преобразовать к базисам ЛЭ И—НЕ и ИЛИ—НЕ.

Решение. Базис ЛЭ И—НЕ:

$$\begin{aligned}
 z(x) &= \overline{\overline{x_3 x_0 + x_3 x_2 x_0 (x_2 + x_1)}} = \overline{x_3 x_0} \overline{x_3 x_2 x_0 (x_2 + x_1)} = x_3 x_0 \overline{x_3 x_2 x_0} \overline{x_2 + x_1} = \\
 &= (x_3 | x_0) | ((\overline{x_3} | x_2 | \overline{x_0}) | (x_2 | \overline{x_1})).
 \end{aligned}$$

Базис ЛЭ ИЛИ—НЕ:

$$\begin{aligned} z(x) &= \overline{x_3 x_0 + x_3 x_2 x_0 (x_2 + x_1)} = \overline{x_3 + x_0 + x_3 x_2 x_0 + x_2 + x_1} = \\ &= \overline{x_3 + x_0 + x_3 + x_2 + x_0 + x_2 + x_1} = \\ &= (\overline{x_3} \downarrow \overline{x_0}) \downarrow ((\overline{x_3} \downarrow \overline{x_2} \downarrow \overline{x_0}) \downarrow (\overline{x_2} \downarrow \overline{x_1})). \end{aligned}$$

16.2. ОСОБЕННОСТИ ПОСТРОЕНИЯ ЛОГИЧЕСКИХ УСТРОЙСТВ НА РЕАЛЬНОЙ ЭЛЕМЕНТНОЙ БАЗЕ

Как уже отмечалось ранее, обычно задан не только тип ЛЭ, но и число его входов. Это значит, что задано число входных переменных, над которыми выполняется логическая операция. При этом, как правило, реальное число входов заданных логических элементов не соответствует числу переменных в полученных после соответствующего преобразования выражениях. Возникает одна из следующих ситуаций:

а) число входов ЛЭ больше числа переменных, входящих в реализуемую с их помощью ФАЛ;

б) число входов ЛЭ меньше числа переменных, входящих в реализуемую с их помощью ФАЛ.

Рассмотрим некоторые приемы, используемые для разрешения указанных противоречий.

Число входов ЛЭ больше требуемого. Для рассмотрения этого случая введем понятие активного и пассивного логических уровней.

Активным логическим уровнем называется такое значение входной переменной, которое однозначно определяет выходной сигнал ЛЭ.

Для уяснения того, какие логические сигналы для элементов И—НЕ и ИЛИ—НЕ являются активными, рассмотрим таблицу истинности (табл. 16.2) для этих элементов при условии действия на их входах двух логических сигналов.

Из таблицы видно, что для элемента И—НЕ активным логическим уровнем является сигнал лог. 0, так как наличие этого сиг-

Таблица 16.2

Обобщенная таблица истинности основных логических операций

x_1	x_0	$x_1 \cdot x_0$	$x_1 + x_0$	$x_1 x_0$	$x_1 \downarrow x_0$
0	0	0	0	1	1
0	1	0	1	1	0
1	0	0	1	1	0
1	1	1	1	0	0

нала хотя бы на одном входе этого элемента однозначно определяет получение на выходе сигнала лог. 1. Следовательно, сигнал лог. 1 для этого элемента является пассивным.

По аналогии со сказанным, для элемента ИЛИ—НЕ активным является сигнал лог. 1, который однозначно определяет появление на выходе сигнала лог. 0:

$$\text{И—НЕ} \rightarrow \begin{cases} 0 — \text{активный,} \\ 1 — \text{пассивный;} \end{cases} \quad \text{ИЛИ—НЕ} \rightarrow \begin{cases} 1 — \text{активный,} \\ 0 — \text{пассивный.} \end{cases} \quad (16.1)$$

Следует отметить, что ЛЭ с n - входами безразлично, сколько пассивных и активных уровней присутствует на его входах. Важен факт наличия или отсутствия на входах хотя бы одного активного логического уровня.

Из сказанного однозначно следует, что уменьшить фактическое число входов ЛЭ можно, подавая на неиспользуемые входы сигналы пассивных логических констант: 0 — для элементов ИЛИ—НЕ, 1 — для элементов И—НЕ;

Другой прием уменьшения фактического числа входов ЛЭ базируется на использовании теоремы 3 из § 14.5. Согласно этой теореме $x+x=x$ и $xx=x$, поэтому на несколько входов ЛЭ можно подавать одну и ту же логическую переменную (рис. 16.1).

Следствием сказанного являются два практических вывода:

1. Если на все входы n -входового элемента И—НЕ или ИЛИ—НЕ подать один и тот же логический сигнал, то относительно этого сигнала элемент превращается в инвертор;

2. Если на $n-1$ вход n -входового элемента И—НЕ или ИЛИ—НЕ подать пассивные логические сигналы, то относительно n -го входа элемент превращается в инвертор (рис. 16.2).

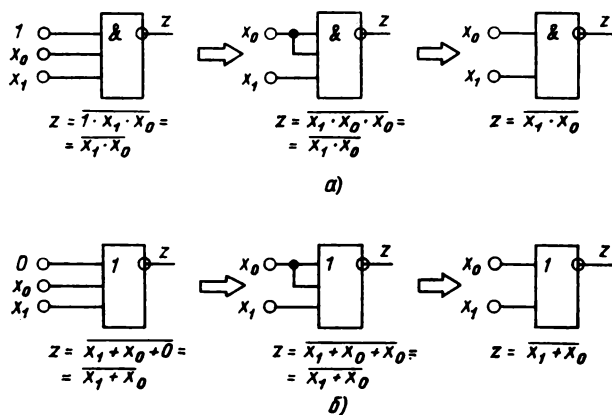


Рис. 16.1. Уменьшение фактического числа входов элементов И—НЕ (а) и ИЛИ—НЕ (б)

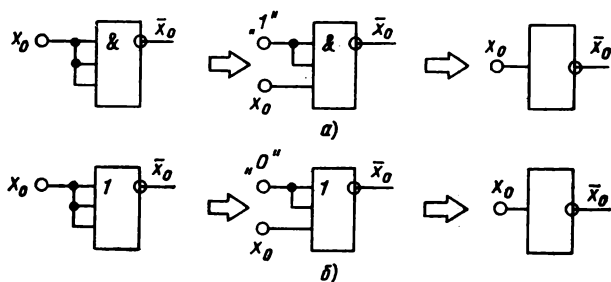


Рис. 16.2. Превращение элемента ЗИ—НЕ (а) и ЗИЛИ—НЕ (б) в инверторы

Число входов ЛЭ меньше требуемого. Эта ситуация сложнее ранее рассмотренной. Приведем два типовых решения.

а) члены исходной МДНФ содержат общие логические переменные.

В этом случае общие для нескольких элементарных произведений переменные могут быть представлены в виде общих множителей и вынесены за скобку.

Пример 16.2. Преобразовать ФАЛ $z(x) = x_3x_0 + \bar{x}_3\bar{x}_2x_1 + x_2x_1\bar{x}_0$ к базису ЛЭ 2И—НЕ.

Решение:

$$\begin{aligned} z(x) &= x_3x_0 + \bar{x}_3\bar{x}_2x_1 + x_2x_1\bar{x}_0 = x_3x_0 + x_1(\bar{x}_3\bar{x}_2 + x_2x_0) = \\ &= x_3x_0 + x_1(\overline{x_3x_2x_2x_0}) = x_3x_0 + x_1((\bar{x}_3|\bar{x}_2)|(x_2|x_0)) = \overline{x_3x_0((\bar{x}_3|\bar{x}_2)|(x_2|x_0))} = \\ &= (x_3|x_0)|(x_1|((\bar{x}_3|\bar{x}_2)|(x_2|x_0))) = (x_3|x_0)|(x_1|((x_3|1)|(x_2|1)|(x_2|(x_0|1))))). \end{aligned}$$

б) члены исходной МДНФ не содержат общих логических переменных.

В этом случае можно воспользоваться одним из следующих тождеств:

$$x_2|x_1|x_0 = x_2|(\overline{x_1|x_0}), \quad x_2 \downarrow x_1 \downarrow x_0 = x_2 \downarrow (\overline{x_1 \downarrow x_0}). \quad (16.2); (16.3)$$

Справедливость этих тождеств легко доказывается с использованием теорем алгебры логики. Докажем первое из них

$$x_2|x_1|x_0 = \overline{x_2x_1x_0} = \overline{x_2x_1x_0} = x_2|(\overline{x_1|x_0}).$$

Заметим, что тождества (16.2) и (16.3) справедливы для любого числа входных переменных. Так, для четырех переменных получаем:

$$x_3|x_2|x_1|x_0 = x_3|(\overline{x_2|x_1|x_0}) = x_3|(\overline{x_2|(\overline{x_1|x_0})}) = (\overline{x_3|x_2})|(\overline{x_1x_0}),$$

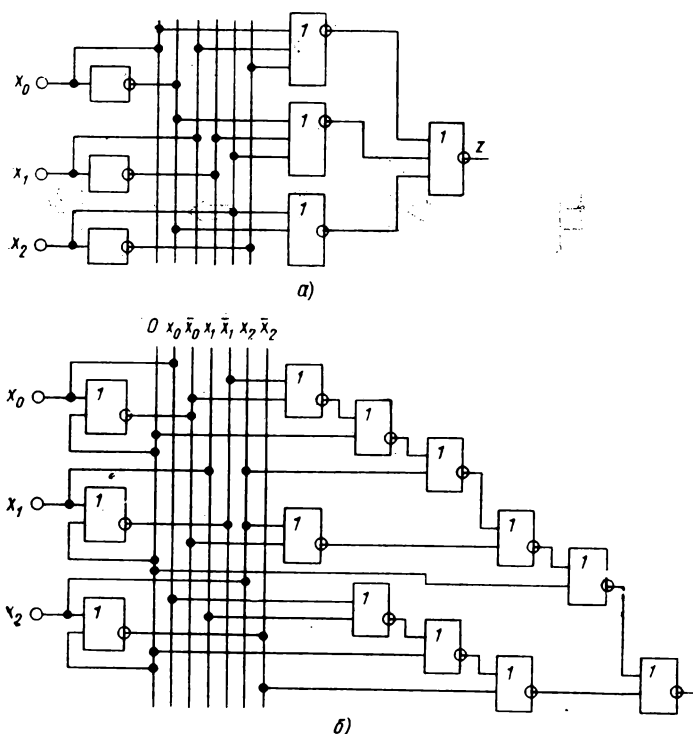


Рис. 16.3. Логические схемы устройств, построенных по исходному (а) и преобразованному (б) выражениям

$$x_3 \downarrow x_2 \downarrow x_1 \downarrow x_0 = x_3 \downarrow (x_2 \downarrow x_1 \downarrow x_0) = x_3 \downarrow (x_2 \downarrow (x_1 \downarrow x_0)) = (x_3 \downarrow x_2) \downarrow (x_1 \downarrow x_0).$$

Пример 16.3. Преобразовать ФАЛ $z(x) = (\bar{x}_2 + x_1 + x_0)(x_2 + \bar{x}_0)(x_2 + \bar{x}_1 + x_0)$ к базису элементов 2ИЛИ—НЕ.

Решение: Дважды проинвертировав ФАЛ, найдем

$$\begin{aligned} z(x) &= \overline{(x_2 + x_1 + x_0)(x_2 + \bar{x}_0)(x_2 + \bar{x}_1 + x_0)} = \overline{(x_2 + x_1 + x_0) + (x_2 + \bar{x}_0) + (x_2 + \bar{x}_1 + x_0)} = \\ &= (\bar{x}_2 \downarrow x_1 \downarrow x_0) \downarrow (x_2 \downarrow \bar{x}_0) \downarrow (x_2 \downarrow \bar{x}_1 \downarrow x_0) = (\bar{x}_2 \downarrow (x_1 \downarrow x_0)) \downarrow (x_2 \downarrow \bar{x}_0) \downarrow (x_2 \downarrow (x_1 \downarrow x_0)). \end{aligned}$$

На рис. 16.3 а, б приведены соответственно логические схемы устройств, построенных по исходному и преобразованному выражениям. Сравнивая эти схемы, можно сделать вывод, что уменьшение числа входов используемых ЛЭ приводит к увеличению их количества и, следовательно, усложняет реализацию устройства.

16.3. ТИПОВЫЕ ФУНКЦИОНАЛЬНЫЕ УЗЛЫ КОМБИНАЦИОННЫХ ЛОГИЧЕСКИХ УСТРОЙСТВ

Мультиплексоры и демультиплексоры. Мультиплексором называется комбинационное логическое устройство, предназначенное для управляемой передачи данных от нескольких источников информации в один выходной канал.

Типовое применение мультиплексора — это передача информации от нескольких разнесенных в пространстве источников (датчиков) информации на вход одного приемника. Предположим, что измеряется температура окружающей среды в нескольких помещениях и результаты этих измерений должны быть введены в одно регистрирующее устройство, например ЭВМ. При этом, так как температура изменяется медленно, для получения достаточной точности совсем не обязательно измерять ее постоянно. Достаточно иметь информацию через некоторые фиксированные промежутки времени. Главное при этом, чтобы промежуток между двумя измерениями был существенно меньше постоянной времени, характеризующей изменение температуры в контролируемом помещении. Именно эту функцию, т. е. подключение различных источников информации к одному приемнику по заданной команде, и выполняет мультиплексор. Информацию, разнесенную в пространстве, он преобразует к виду с разделением во времени.

Согласно определению, мультиплексор должен иметь один выход и две группы входов: информационные и адресные. Код, подаваемый на адресные входы, определяет, какой из информационных входов в данный момент подключен к выходному выводу. Поскольку n -разрядный двоичный код может принимать 2^n значений, то, если число адресных входов мультиплексора равно n , число его информационных входов должно равняться 2^n .

Таблица истинности, отображающая работу мультиплексора с двумя адресными входами, имеет следующий вид (табл. 16.3):

В данной таблице учтено, что мультиплексор обычно снабжается дополнительными инверсным выходом \bar{Q} и входом разреше-

Таблица 16.3

E	A_1	A_0	Q	\bar{Q}
1	X	X	0	1
0	0	0	D_0	\bar{D}_0
0	0	1	D_1	\bar{D}_1
0	1	0	D_2	\bar{D}_2
0	1	1	D_3	\bar{D}_3

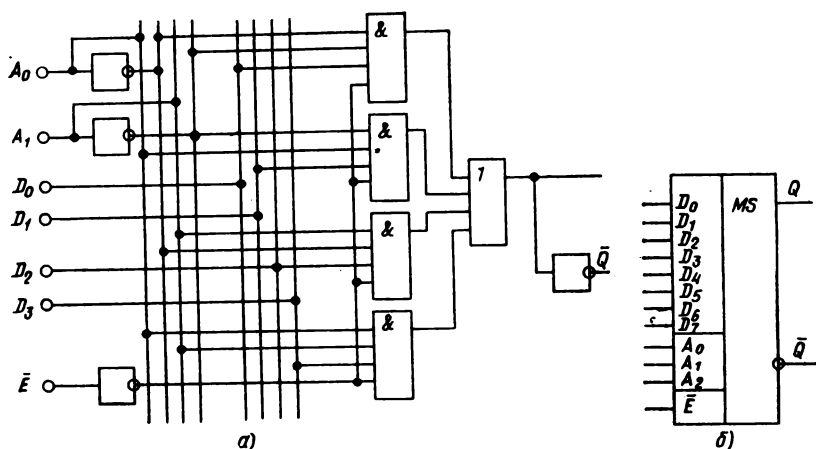


Рис. 16.4. Логическая схема мультиплексора (а) и его условное графическое обозначение (б)

ния работы E . Если на вход разрешения работы E подан активный логический сигнал ($E=1$), выходной сигнал мультиплексора постоянен и не зависит от его входных сигналов.

Функция алгебры логики, описывающая работу мультиплексора, имеет вид

$$Q = D_0 \bar{A}_1 \bar{A}_0 \bar{E} + D_1 \bar{A}_1 A_0 \bar{E} + D_2 A_1 \bar{A}_0 \bar{E} + D_3 A_1 A_0 \bar{E}. \quad (16.4)$$

Логическая схема мультиплексора, соответствующая этой ФАЛ, и условное графическое обозначение мультиплексора на примере ИС типа 555КП7 показаны на рис. 16.4 а, б.

Число информационных входов реально выпускаемых промышленностью микросхем мультиплексоров не превышает 16. Поэтому в случае необходимости иметь большее число входов из имеющихся микросхем строят структуру так называемого мультиплексорного дерева. Проиллюстрируем построение мультиплексорного дерева на примере устройства с 16 информационными входами, построенного на основе четырехвходовых мультиплексоров. Его логическая схема приведена на рис. 16.5. Устройство содержит мультиплексоры первого и второго уровня. Мультиплексоры первого уровня управляются младшими разрядами адресного слова, мультиплексоры второго уровня — старшими разрядами адресного слова.

Рассмотрим работу схемы на конкретном примере. Допустим, задано адресное слово 0110. Входы D_2 младшими разрядами адресного слова 10 подключаются к выходам мультиплексоров первого уровня. На информационных входах мультиплексора второго уровня появятся соответственно сигналы x_2 , x_6 , x_{10} и x_{14} . Из этих сигналов мультиплексор второго уровня по старшим разрядам адресного слова 01 выберет сигнал, присутствующий на его входе D_1 .

В результате на выходе мультиплексорного дерева появится входной сигнал x_6 , что и соответствует заданному адресу. По описанному алгоритму можно строить устройства с любым необходимым числом входов. При этом следует помнить, что мультиплексоры одного уровня должны иметь одинаковое число информационных входов. Число информационных входов мультиплексоров разных уровней может быть различным, что определяется суммарным числом информационных входов и типом используемой элементной базы.

При передаче информации от нескольких источников по общему каналу с разделением по времени нужны не только мультиплексоры, но и устройства обратного назначения, распределяющие информацию, полученную из одного канала между несколькими приемниками. Эту задачу решают демультиплексоры.

Демультимплексором называется комбинационное логическое устройство, предназначенное для управляемой передачи данных от одного источника информации в несколько выходных каналов.

Согласно данному определению, демультиплексор в общем случае имеет один информационный вход, n адресных входов и 2^n выходов. Таблица истинности, описывающая работу демультиплексора, снабженного двумя адресными входами и входом разрешения работы E , имеет вид (табл. 16.4)

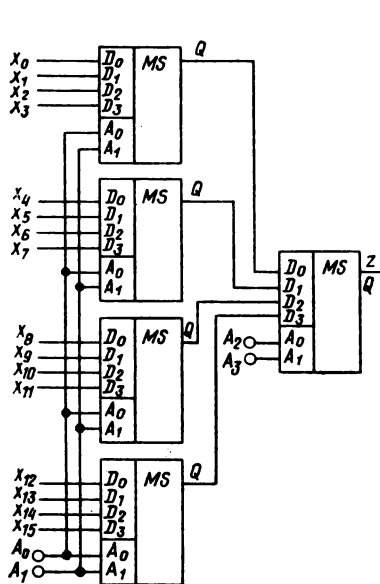


Рис. 16.5. Схема мультиплексорного дерева

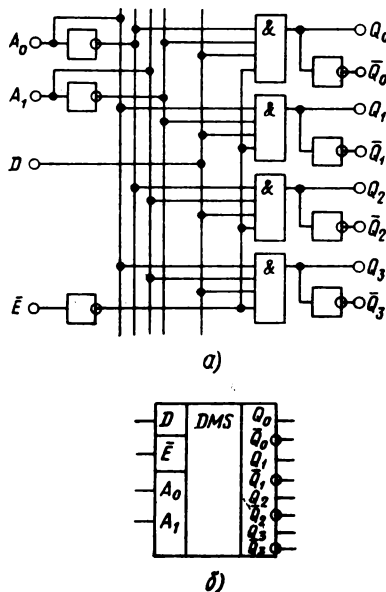


Рис. 16.6. Логическая схема де-
мультиплексора (а) и его услов-
ное графическое изображение (б)

Таблица 16.4

E	A_1	A_0	Q_0	Q_1	Q_2	Q_3
1	X	X	0	0	0	0
0	0	0	D	0	0	0
0	0	1	0	D	0	0
0	1	0	0	0	D	0
0	1	1	0	0	0	D

Данной таблице соответствует следующая система ФАЛ:

$$\begin{aligned}
 Q_0 &= D\bar{A}_1\bar{A}_0\bar{E} = \bar{D} \downarrow A_1 \downarrow A_0 \downarrow E, \\
 Q_1 &= D\bar{A}_1A_0\bar{E} = \bar{D} \downarrow A_1 \downarrow \bar{A}_0 \downarrow E, \\
 Q_2 &= DA_1\bar{A}_0\bar{E} = \bar{D} \downarrow \bar{A}_1 \downarrow A_0\bar{E}, \\
 Q_3 &= DA_1A_0\bar{E} = \bar{D} \downarrow \bar{A}_1 \downarrow \bar{A}_0\bar{E}.
 \end{aligned} \tag{16.5}$$

На рис. 16.6, а приведена логическая схема демультиплексора, удовлетворяющая системе ФАЛ (16.5), а на рис. 16.6, б показано его условное графическое изображение.

При необходимости увеличить число выходных выводов на основе рассмотренной схемы можно построить структуру демультиплексорного дерева. Его структура с точностью до зеркального отображения аналогична структуре мультиплексорного дерева на рис. 16.5. При этом демультиплексор первого уровня также управляется младшими разрядами адресного слова, а демультиплексоры второго уровня — его старшими разрядами (рис. 16.7).

Следует отметить, что для построения демультиплексорного дерева входящие в его состав демультиплексоры должны быть обязательно снабжены входами разрешения работы (стробирования).

Преобразователи кодов. В цифровой технике применяются различные виды кодирования информации. Так, при выполнении операций в ЭВМ обычно применяют несколько разновидностей двоичного кода (прямой, обратный, дополнительный, двоично-десятичный и т. д.). При передаче информации по линиям связи удобнее использовать другие виды кодов, позволяющие, например, уменьшать вероятность появления ошибки или даже исправлять ее в дальнейшем. Примерами таких кодов являются коды, построенные по принципу 2 из 5 (в которых из пяти символов два всегда имеют единичное значение), коды с проверкой четности или нечетности, коды Хемминга.

В связи с этим всегда стоит задача преобразования информации из одного кода в другой. Эту задачу на аппаратном уровне решают комбинационные устройства — преобразователи кодов.

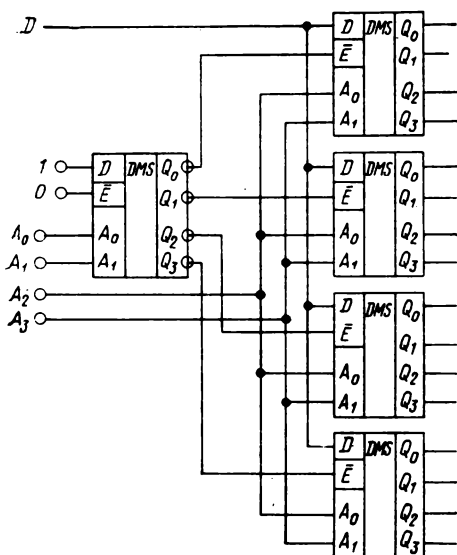
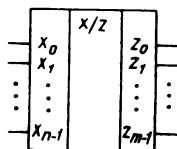


Рис. 16.7. Логическая схема демультиплексорного дерева

Рис. 16.8. Условное графическое изображение преобразователя кодов



Преобразователем кода называется комбинационное устройство, предназначенное для изменения вида кодирования информации.

Как и всякое комбинационное устройство, преобразователь кода характеризуется таблицей истинности, ставящей в соответствие кодам, подаваемым на вход, коды, снимаемые с выхода устройства. Следует заметить, что в этой таблице в общем случае число разрядов входного и выходного кодов может не совпадать. Главное — она должна давать однозначное соответствие различных кодов. Данная таблица является основанием для синтеза логической структуры конкретного преобразователя кодов. Условное графическое изображение преобразователей кодов на принципиальных электрических схемах приведено на рис. 16.8. В качестве примера преобразователя кодов, выпускаемых в виде ИС, можно привести схемы, обеспечивающие преобразование информации из двоичного в двоично-десятичный код. Частным случаем преобразователей кода являются шифраторы и дешифраторы.

Шифраторы и дешифраторы. *Шифратором*, или кодером называется комбинационное логическое устройство для преобразования чисел из десятичной системы счисления в двоичную. Входом шифратора последовательно присваиваются значения десятичных чисел, поэтому подача активного логического сигнала на один из входов воспринимается шифратором как подача соответствующего десятичного числа. Этот сигнал преобразуется на выходе шифратора в двоичный код. Согласно сказанному, если шифратор имеет

Таблица 16.5

x_9	x_8	x_7	x_6	x_5	x_4	x_3	x_2	x_1	x_0	Q_3	Q_2	Q_1	Q_0
0	0	0	0	0	0	0	0	0	1	0	0	0	0
0	0	0	0	0	0	0	0	1	0	0	0	0	1
0	0	0	0	0	0	0	1	0	0	0	0	1	0
0	0	0	0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	0	1	0	0	0	0	0	1	0	0
0	0	0	0	1	0	0	0	0	0	0	1	0	1
0	0	0	1	0	0	0	0	0	0	0	1	1	0
0	0	1	0	0	0	0	0	0	0	0	1	1	1
0	1	0	0	0	0	0	0	0	0	1	0	0	0
1	0	0	0	0	0	0	0	0	0	1	0	0	1

n выходов, число его входов должно быть не более чем 2^n . Шифратор, имеющий 2^n входов и n выходов, называется *полным*. Если число входов шифратора меньше 2^n , он называется *неполным*.

Рассмотрим работу шифратора на примере преобразователя десятичных чисел от 0 до 9 в двоично-десятичный код. Таблица истинности, соответствующая этому случаю, имеет вид (табл. 16.5)

Так как число входов данного устройства меньше $2^n=16$, имеем неполный шифратор. Используя таблицу для Q_3 , Q_2 , Q_1 и Q_0 , можно записать следующие выражения:

$$\begin{aligned}
 Q_3 &= x_8 + x_9, \\
 Q_2 &= x_4 + x_5 + x_6 + x_7, \\
 Q_1 &= x_2 + x_3 + x_6 + x_7, \\
 Q_0 &= x_1 + x_3 + x_5 + x_7 + x_9.
 \end{aligned}
 \tag{16.6}$$

Полученная система ФАЛ характеризует работу шифратора. Логическая схема устройства, соответствующая системе (16.6), приведена на рис. 16.9.

Нетрудно заметить, что в шифраторе рассматриваемого типа сигнал, подаваемый на вход x_0 , не используется. Поэтому отсутствие сигнала на любом из входов x_0, \dots, x_1 трактуется схемой как наличие на входе нулевого сигнала.

Основное применение шифратора в цифровых системах — это введение первичной информации с клавиатуры. При нажатии любой клавиши на соответствующий вход шифратора подается сигнал лог. 1, который и преобразуется на выходе в двоично-десятичный код. Вариант устройства ввода информации показан на рис. 16.10.

Дешифратором, или декодером называется комбинационное логическое устройство для преобразования чисел из двоичной системы счисления в десятичную. Согласно определению дешифра-

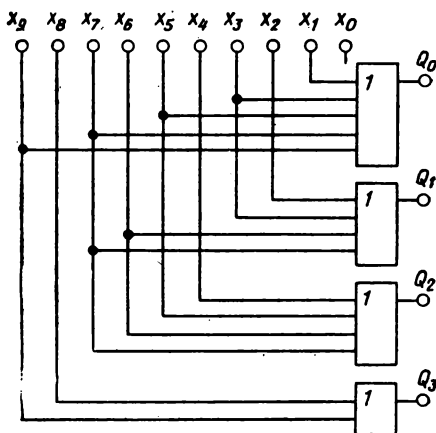


Рис. 16.9. Логическая схема шифратора десятичных чисел

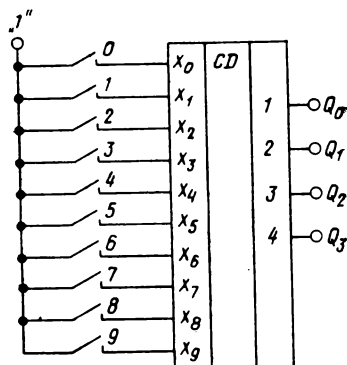


Рис. 16.10. Устройство ввода информации с клавиатуры

тор относится к классу преобразователей кодов. Здесь также понимается, что каждому входному двоичному числу ставится в соответствие сигнал, формируемый на определенном выходе устройства. Таким образом, дешифратор выполняет операцию, обратную шифратору. Если число адресных входов дешифратора n связано с числом его выходов m соотношением $m=2^n$, то дешифратор называют *полным*. В противном случае, т. е. если $m < 2^n$, дешифратор называют *неполным*.

Поведение дешифратора описывается таблицей истинности, аналогичной таблице истинности шифратора (табл. 16.6), только в ней входные и выходные сигналы меняются местами. В соответствии с данной таблицей, так как выходной сигнал равен 1 только на одном единственном наборе входных переменных, т. е. для одной конституенты единицы, алгоритм работы дешифратора описывается системой уравнений вида

$$\begin{aligned} x_0 &= \bar{Q}_3 \bar{Q}_2 \bar{Q}_1 \bar{Q}_0, \\ x_1 &= \bar{Q}_3 \bar{Q}_2 \bar{Q}_1 Q_0, \\ x_2 &= \bar{Q}_3 \bar{Q}_2 Q_1 \bar{Q}_0, \\ &\dots \end{aligned} \quad (16.7)$$

и так далее, где Q_i — значение логической переменной на i -м входе устройства.

В общем виде эта система имеет вид

$$x_i = (Q_3 Q_2 Q_1 Q_0)_i, \quad (16.8)$$

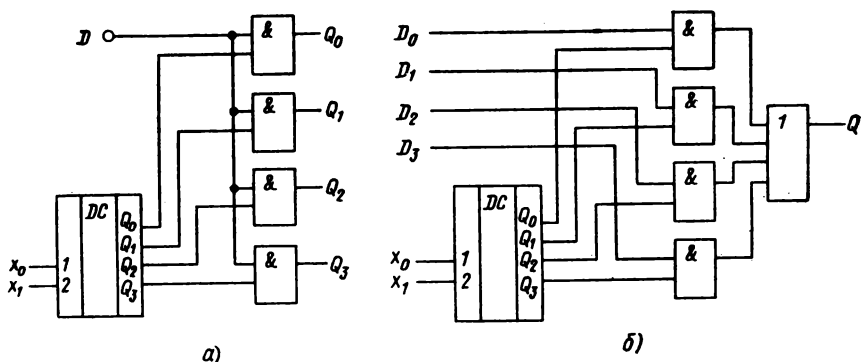


Рис. 16.11. Реализация демультиплексора (а) и мультиплексора (б) с использованием дешифратора.

где x_i — сигнал на i -м выходе дешифратора; $(Q_3Q_2Q_1Q_0)_i$ — конституента единицы, соответствующая двоичному коду i -й десятичной цифры.

Нетрудно заметить, что ФАЛ дешифратора (16.7) отличается от ФАЛ мультиплексора (16.5) только наличием в последней дополнительного множителя, соответствующего значению сигнала на информационном входе D . Поэтому при $D=1$ демультиплексор функционирует как дешифратор. Обратное преобразование дешифратора в демультиплексор требует введения вспомогательных ЛЭ 2И, выполняющих операцию логического умножения между общим сигналом информационного входа D и соответствующим логическим произведением адресных сигналов $(Q_3Q_2Q_1Q_0)$. Схема построенного таким образом демультиплексора приведена на рис. 16.11, а.

Используя дешифратор, можно построить и схему мультиплексора. Для этого схему рис. 16.11, а необходимо дополнить выходным ЛЭ 4ИЛИ (рис. 16.11, б).

При разработке ИС нашло применение несколько логических структур дешифратора. Их основное отличие состоит в быстродействии и числе используемых элементарных ЛЭ.

Наиболее быстродействующим и в то же время самым сложным является дешифратор, непосредственно реализующий систему ФАЛ (16.7). Такой дешифратор называется одноступенчатым или параллельным. Его структурная схема аналогична схеме демультиплексора (см. рис. 16.6) при условии $D=1$.

Полагая, что для реализации обработки одного входного логического сигнала требуется некоторая условная единица аппа-

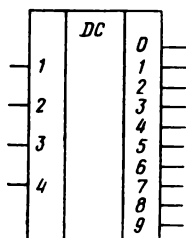


Рис. 16.12. Условное графическое изображение дешифратора

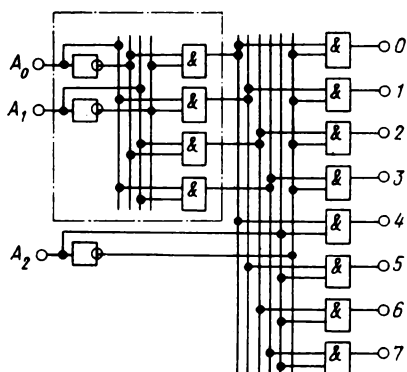


Рис. 16.13. Схема пирамидального дешифратора

ратных средств¹, число единиц этих аппаратных средств для n -разрядного дешифратора определяется выражением

$$N_1 = n2^n.$$

На рис. 16.12 приведено условное графическое изображение дешифратора. Оно соответствует ИС двоично-десятичного дешифратора типа 564ИД1.

Если при проектировании основным требованием является простота схемного решения, находят применение другие структуры дешифраторов. Однако упрощение структуры достигается за счет падения быстродействия.

В качестве примера рассмотрим дешифраторы пирамидальной структуры и многоступенчатые дешифраторы.

Идея построения пирамидального дешифратора основана на том, что для получения дешифратора $(n+1)$ -разрядного кода необходимо дважды повторить все комбинации n -разрядного кода соответственно со значениями $(n+1)$ -го разряда 0 и 1. Схемотехническая реализация этого принципа на примере преобразования 3-разрядного входного кода показана на рис. 16.13, где штриховой линией выделена схема параллельного 2-разрядного дешифратора. По числу необходимых элементарных ЛЭ данный дешифратор проще одноступенчатого. Число условных аппаратных единиц, необходимых для реализации этого принципа, для n -разрядного дешифратора равно

$$N_2 = 2 \cdot 2^n + (n-1)2^{n-1}.$$

Очевидно, что при больших разрядностях входного кода описанный принцип можно использовать несколько раз.

¹ Конкретное значение этой единицы аппаратных средств будет понятно при рассмотрении схемотехники базовых ЛЭ.

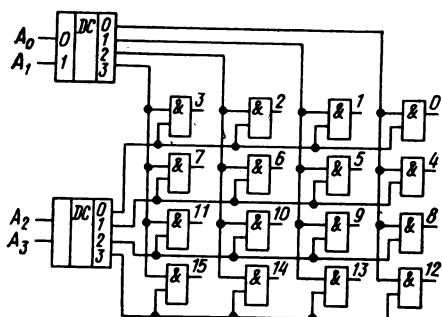


Рис. 16.14. Схема многоступенчатого дешифратора

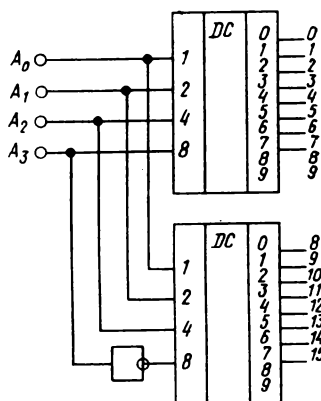


Рис. 16.15. Схема полного двоичного дешифратора на базе двух двоично-десятичных дешифраторов

Если необходимо еще больше упростить схему дешифратора, используют многоступенчатые структуры. Идея их построения сходна с идеей построения пирамидальных дешифраторов. Однако повторение комбинаций n -разрядного кода переменных производится не для одного разряда, а для другого n -разрядного кода. Реализация данного принципа на примере дешифратора 4-разрядного кода показана на рис. 16.14. При данном способе для построения дешифратора необходимо $N_3 = 2 \cdot 2^n + 2(n/2)2^{n/2}$ условных единиц аппаратных средств.

Преимущества двух последних структур проявляются в большей степени при увеличении разрядности входного кода. Широкое применение две последние структуры находят при построении микросхем памяти. Так, при построении дешифратора 20-разрядного входного кода (используется при построении ИС памяти объемом 1 Мбайт) параллельный дешифратор потребует $2,097 \cdot 10^7$ условных аппаратных единиц. При однократном использовании принципа построения пирамидального дешифратора потребуется $1,20 \cdot 10^7$, а при однократном использовании принципа многоступенчатого дешифратора $2,118 \cdot 10^6$ таких же условных аппаратных единиц.

Микросхемы дешифраторов часто снабжаются входом разрешения работы E (входом стробирования). Наличие этого входа позволяет на основе готовых ИС при необходимости увеличения разрядности входного кода строить структуры дешифраторного дерева. Очевидно, что данная схема повторяет структуру демультиплексорного дерева (см. рис. 16.7).

На практике часто приходится иметь дело с неполными дешифраторами, преобразующими двоичный код в двоично-десятичный.

Используя структуру, приведенную на рис. 16.15, на основе двоично-десятичных дешифраторов можно построить полный дешифратор 4-разрядного двоичного кода. Следует еще раз подчеркнуть, что упрощение дешифратора всегда сопровождается падением его быстродействия.

Цифровые компараторы. *Цифровым компаратором* называется комбинационное логическое устройство, предназначенное для сравнения чисел, представленных в виде двоичных кодов.

Число входов компаратора определяется разрядностью сравниваемых кодов. На выходе компаратора обычно формируется три сигнала:

$F_{=}$ — равенство кодов,

$F_{>}$ — если числовой эквивалент первого кода больше второго,

$F_{<}$ — если числовой эквивалент первого кода меньше второго.

Работу компаратора при сравнении двух одноразрядных кодов поясняет таблица истинности (табл. 16.6).

Анализ таблицы истинности показывает, что при любой комбинации входных сигналов на выходе компаратора может быть сформирован только один активный (единичный) логический сигнал. Поэтому, при любой разрядности входных кодов достаточно, используя входные сигналы, сформировать только любые два из выходных сигналов. Третий сигнал всегда может быть получен по двум известным.

Система ФАЛ, соответствующая приведенной таблице истинности, имеет вид

$$\begin{aligned} F_{=} &= \bar{x}_1 \bar{x}_0 + x_1 x_0 = \overline{x_1 \oplus x_0} = \bar{F} \bar{F}^1, \\ F_{<} &= \bar{x}_1 x_0 = \bar{F} \bar{F}^1, \\ F_{>} &= x_1 \bar{x}_0 = \bar{F} \bar{F}^1. \end{aligned} \quad (16.9)$$

Таблица 16.6

Таблица истинности компаратора одноразрядных кодов

x_1	x_0	$F_{=}$	$F_{>}$	$F_{<}$
0	0	1	0	0
0	1	0	0	1
1	0	0	1	0
1	1	1	0	0

¹ Данная операция называется Исключающее ИЛИ — НЕ. Подробнее см. § 18.21.

Анализируя приведенные выражения с точки зрения уменьшения аппаратных затрат на реализацию, отметим, что, используя входные переменные, удобнее было бы получить значения $F_>$ и $F_<$, а $F_=$ — реализовать как их функцию. Однако ввиду того, что выражение для определения $F_=$ имеет в цифровой технике большое самостоятельное значение, на нем следует остановиться более подробно. Оно носит название операции Искключающее ИЛИ — НЕ или инверсия от суммы по модулю два. Пример реализации этой операции с использованием элементов И, ИЛИ и НЕ, а также её условное графическое обозначение приведены на рис. 16.16. На рис. 16.17 дана структурная логическая схема, соответствующая таблице истинности цифрового компаратора.

На практике часто приходится сталкиваться с задачей сравнения многоразрядных двоичных кодов. Записав таблицу истинности, можно синтезировать логическую схему соответствующего устройства. Однако при увеличении числа входных переменных сделать это ввиду громоздкости получаемой таблицы весьма непросто. В данной ситуации удобно воспользоваться методами так называемого блочного конструирования, или декомпозиции задачи. Суть такого подхода состоит в разбиении сложной задачи на ряд более простых, решение которых может быть выполнено доступными средствами. Далее, с использованием полученных результатов, производится решение исходной задачи. Проиллюстрируем данный подход на примере построения цифрового компаратора многоразрядных двоичных кодов. За основу примем схему компаратора одноразрядных двоичных слов. Очевидно, что результат сравнения 2-разрядных двоичных слов можно записать через результаты сравнения одноразрядных слов. Соответствующая система ФАЛ в этом случае будет иметь вид

$$\begin{aligned} F_= &= F_1=F_0=, \\ F_> &= F_{1>} + F_{1=}F_{0>}, \\ F_< &= \overline{F_1} + \overline{F_{0>}}. \end{aligned}$$

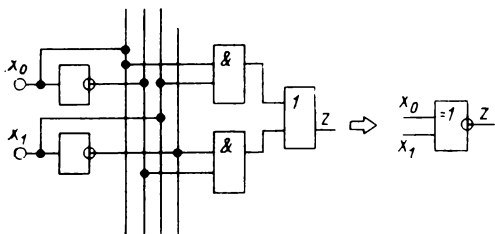


Рис. 16.16. Схемная реализация операции Искключающее ИЛИ—НЕ

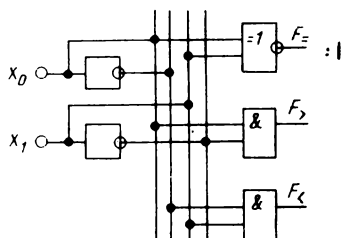


Рис. 16.17. Логическая схема компаратора

Аналогично для 3-разрядных кодов получим

$$\begin{aligned} F_{=} &= F_2=F_1=F_0=, \\ F_{>} &= F_{2>} + F_{2=F_1>} + F_{2=F_1=F_0>}, \\ F_{<} &= \overline{F_{=} + F_{>}}. \end{aligned}$$

В общем случае для n -разрядных двоичных кодов можно записать

$$\begin{aligned} F_{=} &= F_{n-1}=F_{n-2}=...F_0=, \\ F_{>} &= F_{n-1>} + F_{n-1=F_{n-2}>} + ... + F_{n-1=F_{n-2}=...F_1=F_0>}, \quad (16.10) \\ F_{<} &= \overline{F_{=} + F_{>}}. \end{aligned}$$

Таким образом, с использованием цифровых компараторов, имеющих ограниченную разрядность входных слов, на основании системы ФАЛ (16.10) всегда можно построить устройство требуемой разрядности.

Логические элементы, реализующие сложные функции. При разработке сложных логических устройств часто приходится сталкиваться с последовательным выполнением однотипных операций типа И—ИЛИ—НЕ над различным числом переменных. Для упрощения технической реализации и уменьшения числа внешних соединений, что ведет к повышению надежности устройства, в серийно выпускаемых сериях ИС содержатся элементы, выполняющие подобные последовательности логических операций. В качестве примера на рис. 16.18 приведены структурная схема и условное графическое обозначение ИС типа 555ЛР2. Эта схема выполняет операцию 2—2—3—4—И—4ИЛИ—НЕ.

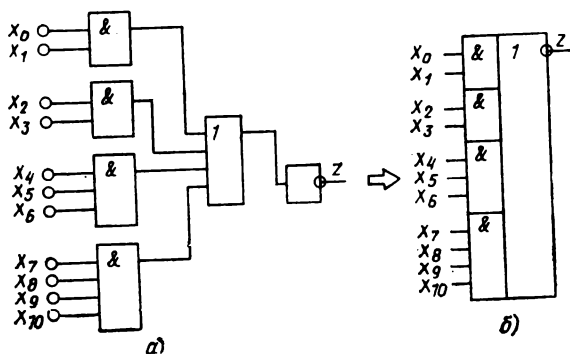


Рис. 16.18. Логическая схема 2—2—3—4—И—4ИЛИ—НЕ (а) и ее условное графическое обозначение (б)

Контрольные вопросы

1. Что такое функционально полная система и базис ЛЭ?
2. В чем особенность синтеза логических устройств на базе ЛЭ с числом входов, большим требуемого; меньшим требуемого?
3. Каковы назначение и структурная схема мультиплексора; демультиплексора?
4. Приведите определения и схемы мультиплексорного и демультиплексорного деревьев.
5. Каковы назначение и условное графическое изображение преобразователя кодов?
6. Каковы назначение и логическая схема шифратора?
7. Приведите структурную схему устройства ввода информации и клавиатуры.
8. Каковы назначение и структурные схемы одноступенчатого, пирамидального и многоступенчатого дешифраторов?
9. Приведите схему двоично-десятичного дешифратора.
10. Каковы назначение и логическая схема цифрового компаратора?
11. Составьте схему ЛЭ, реализующего сложную функцию четырнадцати переменных вида $2-3-4-5-I-4ИЛИ-НЕ$.

ГЛАВА 17.

ПОСЛЕДОВАТЕЛЬНЫЕ ЛОГИЧЕСКИЕ УСТРОЙСТВА

17.1. НАЗНАЧЕНИЕ И КЛАССИФИКАЦИЯ ТРИГГЕРНЫХ УСТРОЙСТВ

Особенностью последовательностных логических устройств является зависимость выходного сигнала не только от действующих в настоящий момент на входе логических переменных, но и от тех значений переменных, которые действовали на входе в предыдущие моменты времени. Очевидно, что для выполнения этого условия значения переменных должны быть запомнены логическим устройством. Функцию запоминания значений логических переменных в цифровых схемах выполняют так называемые *триггерные элементы*, или *триггеры*. Таким образом, триггерный элемент, выполняя функции памяти, является неотъемлемой частью любого последовательностного устройства.

Рассмотрим основные принципы построения и функционирования наиболее распространенных триггерных элементов.

Триггером называется устройство, способное формировать два устойчивых значения выходного сигнала и скачкообразно изменять эти значения под действием внешнего управляющего сиг-

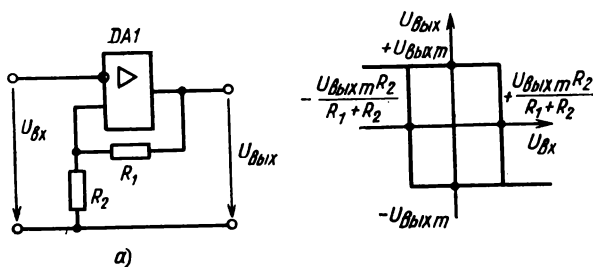


Рис. 17.1. Принципиальная схема (а) и передаточная характеристика (б) гистерезисного компаратора

нала. Именно способность формировать на выходе два устойчивых значения сигнала, которые могут поддерживаться без изменения сколь угодно длительный промежуток времени, и позволяет применять триггер в качестве элемента памяти.

В общем случае триггер содержит собственно элемент памяти и некоторую входную комбинационную схему, преобразующую входные сигналы триггера в сигналы, требуемые для управления элементом памяти. Простейший триггер состоит только из элемента памяти, который может быть реализован на основе усилителя, охваченного глубокой положительной обратной связью (ПОС). В частности, роль триггера может выполнять операционный усилитель с цепью ПОС. На рис. 17.1 приведены принципиальная схема и передаточная характеристика гистерезисного компаратора. Очевидно, что если на его входе действует напряжение $-U_{\text{выхм}}R_2/(R_1+R_2) < U_{\text{вх}} < +U_{\text{выхм}}R_2/(R_1+R_2)$, выходной сигнал компаратора неизменен и определяется только предыдущим значением входного сигнала, удовлетворяющего неравенству

$$U_{\text{вх}} > |U_{\text{выхм}}| R_2/(R_1 + R_2).$$

В качестве базовых узлов, на основе которых может быть построен триггер, могут использоваться и элементы И—НЕ или ИЛИ—НЕ, передаточная характеристика которых подобна характеристике инвертирующего усилителя. Так как для построения триггера исходный усилитель должен быть охвачен цепью ПОС, необходимо взять два элемента. В этом случае простейший триггер, включающий только непосредственно элемент памяти, имеет вид, показанный на рис. 17.2. Такой элемент содержит два информационных входа, на которые подаются входные переменные x_1 и x_0 , и два выхода, с которых снимаются сигналы y_1 и y_0 , причем, если

$$\begin{aligned} y_0 = 1, & \text{ то } y_1 = 0, \\ y_0 = 0, & \text{ то } y_1 = 1. \end{aligned} \quad (17.1)$$

Выражения (17.1) являются постулатом триггера.

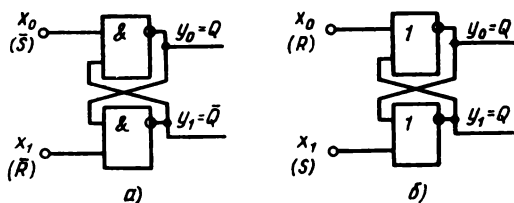


Рис. 17.2. Схемы простейших триггеров на элементах 2И—НЕ (а) и 2ИЛИ—НЕ (б)

При описании триггера также пользуются понятием активного логического уровня. Для изменения выходного сигнала триггера, или, как принято говорить, для изменения его *состояния*, на вход схемы рис. 17.2, а, выполненной на элементах И—НЕ, следует подать сигнал $x=0$. Для переключения триггера (рис. 17.2, б), выполненного на элементах ИЛИ—НЕ, требуется сигнал $x=1$. Для обоих триггеров (рис. 17.2), если $x_0=0$, а $x_1=1$, то $y_0=1$ и $y_1=0$. Однако в триггере на рис. 17.2, а активным определяющим сигналом будет $x_0=0$, а в триггере на рис. 17.2, б — $x_1=1$.

При описании работы триггера приняты следующие соглашения:

если $Q=1$, а $\bar{Q}=0$, то триггер находится в *состоянии установки*, или просто *установлен*;

если $Q=0$, а $\bar{Q}=1$, то триггер находится в *сброшенном состоянии*, или просто *сброшен*.

Существующие типы триггеров могут быть классифицированы по различным признакам. Наиболее часто триггеры классифицируют по типу используемых информационных входов. Различают следующие типы основных информационных входов триггера:

R — раздельный вход сброса триггера ($Q=0$);

S — раздельный вход установки триггера ($Q=1$);

J — вход сброса универсального триггера ($Q=0$);

K — вход установки универсального триггера ($Q=1$);

T — счетный вход триггера;

D — информационный вход переключения триггера в состояние, соответствующее логическому уровню на этом входе;

C — управляющий или синхронизирующий вход.

Кроме этих основных входов некоторые триггеры могут снабжаться входом V . Вход V блокирует работу триггера и он сколько угодно долго может сохранять ранее записанную в него информацию. С точки зрения типа используемых входов различают RS -, D -, T -, JK -, VD - и VT - триггеры.

По моменту реакции на входной сигнал триггеры подразделяют на *асинхронные* и *синхронные*.

Асинхронный триггер изменяет свое состояние непосредственно в момент изменения сигнала на его информационных входах, т. е. его непосредственная реакция на изменение входного сигнала подобна реакции комбинационного элемента.

Синхронный триггер изменяет свое состояние лишь в строго определенные (тактовые) моменты времени, соответствующие действию активного сигнала на его синхронизирующем входе C , и не реагирует на любые изменения информационных сигналов при пассивном значении сигнала на входе C .

По виду активного логического сигнала, действующего на информационных входах, триггеры различают на *статические* — управляемые уровнем, и *динамические* — управляемые перепадом входного сигнала. При этом сами входы могут быть *прямыми* и *инверсными*. Для переключения триггера на его прямой вход необходимо подать сигнал x , а на инверсный — сигнал \bar{x} .

Так, определение «синхронный RS-триггер с инверсными статическими входами» означает, что рассматриваемый триггер имеет три информационных входа: вход установки S , вход сброса R и синхронизирующий вход C ; переключение триггера происходит в моменты времени, определяемые появлением активного логического сигнала на входе синхронизации ($C=0$), причем для переключения на входы R или S необходимо подать низкий логический уровень, т. е. сигнал лог. 0 ($R=0$ или $S=0$). Такие входы соответственно обозначают \bar{C} , \bar{R} и \bar{S} .

Для описания работы триггера аналогично комбинационным схемам могут быть использованы словесное описание, таблицы истинности, логические выражения. Особенностью такого описания является использование в качестве дополнительной входной переменной значения сигнала Q_n , т. е. предыдущего значения выходного сигнала триггера. Однако наиболее часто для описания работы триггера используют таблицы переходов, определяющие, какие логические сигналы необходимо подать на его информационные входы для перехода из заданного состояния Q_n в заданное состояние Q_{n+1} .

17.2. ОДНОСТУПЕНЧАТЫЕ ТРИГГЕРЫ

Асинхронный RS-триггер снабжен только двумя информационными входами: входом сброса R и входом установки S . По сути это простейший элемент памяти, который может быть реализован на элементах И—НЕ или ИЛИ—НЕ (рис. 17.2). В зависимости от этого данный триггер обладает либо инверсными, либо прямыми информационными входами. Опишем поведение асинхрон-

Таблица 17.1

Таблица переходов RS-триггера на элементах И—НЕ

Q_n	Q_{n+1}	\overline{R}	\overline{S}
0	0	—	1
0	1	1	0
1	0	0	1
1	1	1	—

Таблица 17.2

Таблица переходов RS-триггера на элементах ИЛИ—НЕ

Q_n	Q_{n+1}	R	S
0	0	—	0
0	1	0	1
1	0	1	0
1	1	0	—

Примечание. Здесь и далее «—» безразличные значения.

ных RS-триггеров рис. 17.2 с использованием таблиц переходов (табл. 17.1 и 17.2).

Из приведенных таблиц следует, что триггер на элементах И—НЕ снабжен инверсными, а на элементах ИЛИ—НЕ — прямыми информационными входами. Причем эти входы статические. Условные обозначения данных триггеров с учетом типа используемых информационных входов приведены соответственно на рис. 17.3, а и б.

Отметим еще одну особенность рассмотренных триггеров. Допустим, что на оба информационных входа триггера подан активный логический сигнал. Например, для триггера рис. 17.3, а $R = S = 0$. Тогда, согласно рис. 17.2, а, $Q = \overline{Q} = 1$, что противоречит постулатам (17.1) и при одновременном снятии информационных сигналов ($R = S = 1$) состояние триггера будет непредсказуемо. Следовательно, при использовании схем рис. 17.2 в качестве элемента памяти подача на оба информационных входа активных логических сигналов запрещена, хотя сам факт подачи такой комбинации сигналов вполне допустим.

Для получения математического выражения, описывающего работу триггера данного типа, составим карту Вейча

		R		\overline{R}		Q_{n+1}
Q_n	\overline{Q}_n	0	1	0	1	
		0	1	0	1	
		\overline{S}		S		\overline{S}

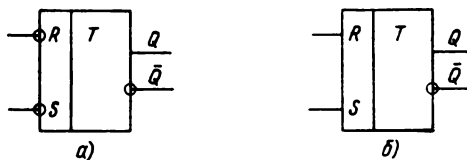


Рис. 17.3. Условное графическое обозначение асинхронных RS -триггеров с инверсными (а) и прямыми (б) информационными входами

Согласно определению входов, данному в § 17.1, для триггера с прямыми информационными входами при $S=1$ имеем $Q_{n+1}=1$. Аналогично для $R=1$ имеем $Q_{n+1}=0$. Если $\bar{R}=\bar{S}=0$, т. е. на входах действуют пассивные логические уровни, состояние триггера остается неизменным: $Q_{n+1}=Q_n$.

Полученная карта подтверждает сделанный ранее вывод о недопустимости одновременной подачи на информационные входы R и S двух активных логических уровней ($R=S=1$), так как в этом случае выходной сигнал Q_{n+1} одновременно должен принимать два взаимоисключающих значения (0 и 1).

Определяя возникшие факультативные значения выходной функции Q_{n+1} для $R=S=1$ как сигнал лог. 1, получаем следующую ФАЛ:

$$Q_{n+1} = S + Q_n \bar{R}. \quad (17.2)$$

Для триггера с инверсными информационными входами аналогично можно получить

$$Q_{n+1} = \bar{S} + Q_n R. \quad (17.3)$$

Синхронный RS -триггер может быть получен на базе асинхронного RS -триггера, введением дополнительной логической схемы, которая формировала бы на его входах активные логические уровни только при наличии дополнительного сигнала синхронизации. Синтезируем такую схему.

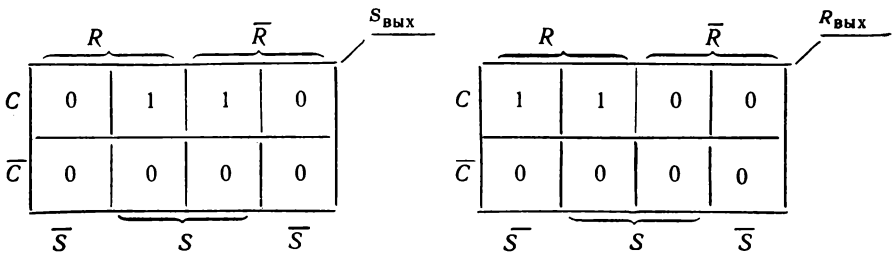
Предположим, что триггер снабжен прямым входом синхронизации. Информационные входы R - и S -триггера тоже прямые. В этом случае таблица истинности (табл. 17.3) дополнительной схемы будет иметь вид

Таблица 17.3

Таблица истинности формирования управляющих сигналов
синхронного RS-триггера

C	$R_{вх}$	$S_{вх}$	$R_{вых}$	$S_{вых}$
1	0	0	0	0
1	0	1	0	1
1	1	0	1	0
1	1	1	1	1
0	0	0	0	0
0	0	1	0	0
0	1	0	0	0
0	1	1	0	0

С использованием полученной таблицы минимизируем ФАЛ для $S_{вых}$ и $R_{вых}$. Карты Вейча для этого случая имеют вид



Откуда $S_{вых} = CS$, $R_{вых} = CR$.

Подставив полученные значения $S_{вых}$ и $R_{вых}$ в выражение (17.2), получим ФАЛ, описывающую работу синхронного RS-триггера

$$\begin{aligned}
 Q_{n+1} &= S + Q_n \bar{R} = CS + Q_n \bar{C} \bar{R} = CS + Q_n (\bar{C} + \bar{R}) = \\
 &= CS + Q_n \bar{C} + Q_n \bar{R} = CS + Q_n \bar{C} + Q_n \bar{R} (C + \bar{C}) = \\
 &= C(S + Q_n \bar{R}) + Q_n \bar{C} (1 + \bar{R}).
 \end{aligned}$$

Окончательно будем иметь

$$Q_{n+1} = \bar{C} Q_n + C(S + Q_n \bar{R}). \quad (17.4)$$

Из анализа полученного выражения можно сделать следующие выводы:

данная ФАЛ содержит два слагаемых;

первое слагаемое представляет логическое произведение активного логического уровня сигнала синхронизации на ФАЛ, описывающую работу асинхронного триггера;

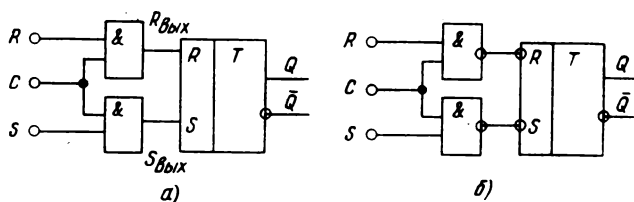


Рис. 17.4. Структурные схемы синхронных RS -триггеров на основе асинхронных триггеров с прямыми (а) и инверсными (б) входами

второе слагаемое представляет логическое произведение пассивного логического уровня сигнала синхронизации на предыдущее состояние триггера.

Следует отметить, что аналогичную структуру имеют ФАЛ для всех синхронных триггеров.

Структурные схемы синхронных RS -триггеров, удовлетворяющих выражению (17.4), приведены на рис. 17.4.

Синхронные RS -триггеры могут быть дополнены асинхронными установочными входами, сигналы которых подаются непосредственно на элемент памяти (рис. 17.5, а) и, поэтому, обладают более высоким приоритетом, чем сигналы синхронных входов. При использовании для построения синхронного триггера однотипных логических элементов (И—НЕ или ИЛИ—НЕ) его синхронные и асинхронные входы управляются различными активными логическими уровнями. В случае элементов И—НЕ для синхронных входов активным является сигнал лог. 1, а для асинхронных входов — сигнал лог. 0. Условное графическое изображение синхронного RS -триггера с прямыми информационными и инверсными установочными входами показано на рис. 17.5. б.

Таблица 17.4

Таблицы переходов
 D -триггера

C	Q_n	Q_{n+1}	D
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1
0	0	0	0
0	0	0	1
0	1	1	0
0	1	1	1

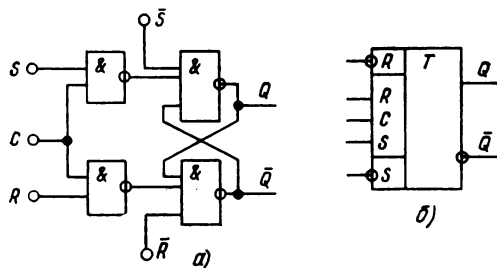


Рис. 17.5. Структурная схема (а) и условное графическое обозначение (б) синхронного RS -триггера с входами асинхронной установки

Следует отметить, что полученная структура синхронного триггера при условии $C=1$ функционирует как асинхронный RS -триггер.

D -триггер обычно снабжен только одним информационным входом. Это вход D , информация с которого по определению входа переписывается на выход триггера только по сигналу синхронизации. Из сказанного следует, что D -триггер может быть только синхронным. В соответствии со сказанным, таблица переходов для D -триггера приведена в табл. 17.4.

Так как информация на выходе D -триггера остается неизменной вплоть до прихода очередного импульса синхронизации, данный триггер часто называют триггером с запоминанием информации или триггером-защелкой.

Синтезируем структуру D -триггера на основе синхронного RS -триггера. Очевидно, что для реализации алгоритма работы, описанного табл. 17.4, сигналы на его R и S входах должны быть связаны с сигналом на D -входе следующими соотношениями: $R' = \bar{D}$, $S' = D$.

Подставим эти соотношения в ФАЛ RS -триггера и получим выражение, описывающее работу D -триггера

$Q_{n+1} = \bar{C}Q_n + C(S' + Q_n\bar{R}') = \bar{C}Q_n + C(D + Q_n\bar{D}) = \bar{C}Q_n + CD(1 + Q_n)$,
или

$$Q_{n+1} = \bar{C}Q_n + CD. \quad (17.5)$$

Структурная схема, удовлетворяющая полученной ФАЛ, и условное графическое изображение D -триггера, приведены соответственно на рис. 17.6, а, б.

Разновидностью D -триггера является VD -триггер. Этот триггер дополнительно снабжен входом разрешения работы V , который блокирует его работу. По сути действие данного входа аналогично действию входа C . Поэтому структурно этот вход может быть выполнен, например, как объединение дополнительных вхо-

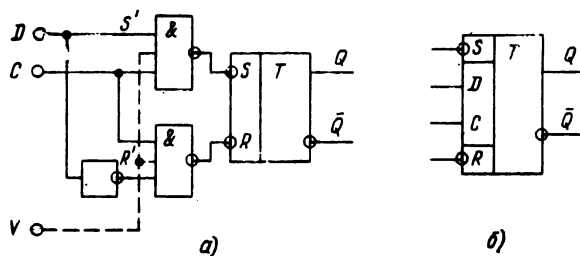


Рис. 17.6. Структурная схема (а) и условное графическое обозначение (б) D -триггера

дов элементов И—НЕ входной логики триггера (рис. 17.6, а). При $V=1$ поведение триггера полностью соответствует выражению (17.5). При $V=0$ триггер хранит записанную ранее в него информацию: $Q_{n+1} \equiv Q_n$.

D -триггер также может быть снабжен дополнительными входами асинхронной установки. С учетом входа блокировки V и инверсных асинхронных входов установки \bar{R} и \bar{S} ФАЛ D -триггера имеет вид

$$Q_{n+1} = [V(CQ_n + CD) + \bar{V}Q_n + \bar{S}]R. \quad (17.6)$$

17.3. ДВУХСТУПЕНЧАТЫЕ ТРИГГЕРЫ

T -триггер или, как его часто называют, счетный триггер, согласно определению входов, должен изменять свое состояние на противоположное по каждому активному логическому сигналу, действующему на информационном входе T . Данному алгоритму работы соответствует таблица переходов (табл. 17.5), в которой активным считается сигнал лог. 1 и логическое выражение вида

$$Q_{n+1} = Q_n \bar{T} + \bar{Q}_n T. \quad (17.7)$$

Это выражение характеризует работу асинхронного T -триггера. Используя (17.7) и замечания, сделанные при рассмотрении синхронного RS -триггера, можно легко получить выражение для синхронного T -триггера:

$$Q_{n+1} = (Q_n \bar{T} + \bar{Q}_n T)C + \bar{C}Q_n. \quad (17.8)$$

Реализация данного режима работы с использованием простейшего элемента памяти требует подачи на последний для каждого последующего переключения инверсных значений входных сигналов. Такой режим обеспечивается введением в RS - или D -триггер цепей дополнительной обратной связи (рис. 17.7).

Полученные структуры соответствуют алгоритму работы T -триггера. Однако на практике они не могут обеспечить его надежное

Таблица 17.5

Таблица переходов T -триггера

Q_n	Q_{n+1}	T
0	0	0
0	1	1
1	0	1
1	1	0

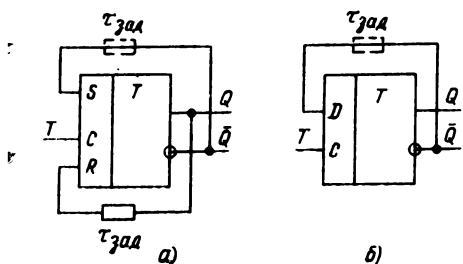


Рис. 17.7. Асинхронные T-триггеры на основе RS (а) и D-триггеров (б)

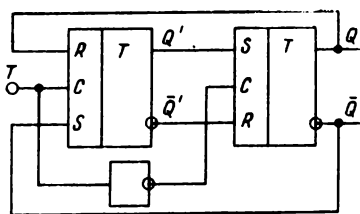


Рис. 17.8. Двухступенчатый T-триггер

функционирование. Объясняется это тем, что в данном случае элемент памяти одновременно должен выполнять две взаимоисключающие функции. С одной стороны, он должен быть источником информации, а с другой, — ее приемником. Очевидно, что одновременное выполнение этих функций одним триггером невозможно, так как прием новой информации автоматически означает потерю старой. Поэтому при идеальном быстродействии используемых ЛЭ приведенные структуры неработоспособны.

Неработоспособны данные структуры и при использовании элементов, обладающих собственной инерционностью, либо внешних цепей задержки (рис. 17.7). Объясняется это следующим: если к моменту изменения сигналов на входах R, S или D сигнал T еще не снят, происходит следующее переключение триггера. В результате устройство начинает функционировать как генератор незатухающих колебаний. Для их устранения необходимо либо использовать дополнительный элемент памяти, запоминающий новые значения сигналов R, S или D и подающий их на информационные входы основного элемента памяти только после снятия активного сигнала со входа T, либо искусственно ограничивать длительность сигнала T. Эти принципы реализованы в так называемых двухступенчатых триггерах и триггерах с динамическим управлением.

В двухступенчатом триггере противоречия между процессами хранения старой и приемом новой информации решены введением второго запоминающего элемента. При этом новая информация формируется сначала только во входной ступени триггера при сохранении старой информации в выходной его ступени. Когда новое состояние входной ступени сформировано и снят активный уровень сигнала со входа T, происходит ее перезапись в выходную ступень устройства. Таким образом, двухступенчатый триггер фактически состоит из двух последовательно соединенных триггеров — ведущего и ведомого (рис. 17.8). Для устранения режима автоколебаний синхронизация работы ведущего и ведомого триггеров

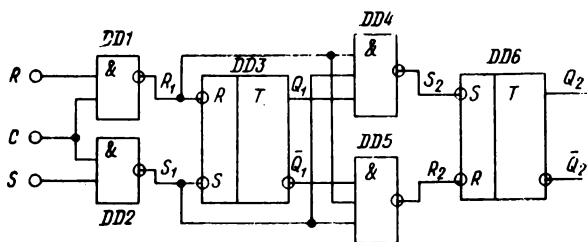


Рис. 17.9. Структурная схема двухступенчатого RS-триггера с запрещающими связями

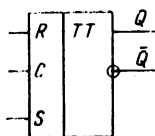


Рис. 17.10. Условное графическое обозначение двухступенчатого RS-триггера

осуществляется инверсными логическими уровнями. Часто двухступенчатый триггер называют *MS*-триггером (от английских слов *master* и *slave* — хозяин и раб). Следует отметить, что по структуре двухступенчатого могут быть построены любые типы триггеров.

В качестве примера рассмотрим реальную структуру двухступенчатого RS-триггера, которая носит название триггера с запрещающими связями (рис. 17.9).

На интервале действия сигнала $C=0$ на выходах первого ($DD1$) и второго ($DD2$) элементов 2И—НЕ присутствуют сигналы лог. 1. Эти сигналы пассивны для первого асинхронного RS-триггера ($DD3$) и он находится в режиме хранения информации. Допустим, при этом $Q_1=1$, а $\bar{Q}_1=0$. Эти сигналы совместно с выходными сигналами первого и второго элементов ($DD1$ и $DD2$) 2И—НЕ подаются на входы первого ($DD4$) и второго ($DD5$) элементов 3И—НЕ. В результате на входах второго асинхронного RS-триггера ($DD6$) формируются сигналы $S_2=0$ и $R_2=1$. По этим сигналам второй асинхронный RS-триггер устанавливается в единичное состояние.

Таким образом, на интервале действия сигнала $C=0$ информация из первого триггера переписывается во второй триггер, на выходе которого устанавливаются сигналы $Q_2=1$ и $\bar{Q}_2=0$.

Предположим, на входах триггера действуют сигналы $R=1$ и $S=0$. Тогда по сигналу $C=1$ непосредственно на входах R_1 и S_1 первого асинхронного триггера $DD3$ сформируются сигналы $R_1=0$ и $S_1=1$, которые сбрасывают его. Одновременно с этим сигнал лог. 0 с выхода первого элемента 2И—НЕ ($DD1$), поступая на входы первого ($DD4$) и второго ($DD5$) элементов 3И—НЕ, формирует на их выходах пассивные для второго асинхронного RS-триггера сигналы. Поэтому этот триггер находится в режиме хранения информации.

Следовательно, при $C=1$ входная информация записывается в триггер ($DD3$) первой ступени. Триггер второй ступени ($DD6$) хранит старую инфор-

мацию, которая будет заменена на новую только на интервале действия сигнала $C=0$.

Из сказанного следует, что использование двухступенчатых триггеров, выполненных по структурным схемам рис. 17.8 и 17.9, позволяет обеспечить высокую надежность функционирования триггеров с внутренними цепями обратной связи. На принципиальных схемах двухступенчатые триггеры обозначаются двоякой буквой (TT) (рис. 17.10).

JK -триггер является наиболее универсальным триггером, так как на его основе могут быть выполнены любые из описанных ранее типов триггеров. В отличие от RS -триггера, JK -триггер не имеет запрещенных комбинаций входных сигналов и его таблица переходов (табл. 17.6) в предположении, что активным является сигнал лог. 1, имеет следующий вид:

Таблица 17.6

Таблица переходов JK -триггера

Q_n	Q_{n+1}	J	K
0	0	0	—
0	1	1	—
1	0	—	1
1	1	—	0

Эта таблица отражает данное ранее определение входов J и K , которые при подаче на них активного входного сигнала соответственно устанавливают и сбрасывают JK -триггер.

Составив карту Вейча для приведенной таблицы, можно получить аналитическое выражение, описывающее работу асинхронного и синхронного JK -триггеров

$$Q_{n+1} = J\bar{Q}_n + \bar{K}Q_n, \quad (17.9)$$

$$Q_{n+1} = C(J\bar{Q}_n + \bar{K}Q_n) + \bar{C}Q_n.$$

Из таблицы переходов JK -триггера видно, что при подаче на информационные входы J и K сразу двух активных логических уровней, триггер работает как счетный. Следовательно, структурная схема данного триггера должна повторять схему T -триггера, т. е. должна содержать дополнительные цепи обратной связи. Поэтому структура JK -триггера базируется на структуре MS -триггера или триггера с динамическим входом.

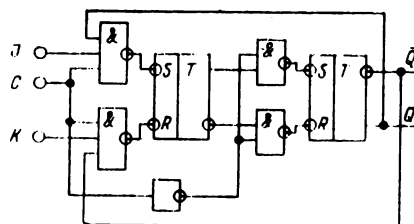


Рис. 17.11. Структурная схема JK -триггера

Поскольку введение обратных связей решает задачу исключения запрещенных комбинаций входных сигналов, входы J и K могут функционировать как входы R и S RS -триггера.

Выполненная с учетом сделанных замечаний структурная схема JK -триггера приведена на рис. 17.11. Очевидно, что всегда на вход одного из логических элементов $ЗИ$ — $НЕ$ с выхода триггера поступает активный логический сигнал, а на вход второго элемента $ЗИ$ — $НЕ$ — пассивный логический сигнал. Вследствие этого при любых комбинациях входных сигналов непосредственно на входах первого RS -триггера не могут появиться два активных логических уровня.

Ранее уже отмечалось, что JK -триггер является универсальным и позволяет построить на своей основе все рассмотренные ранее типы триггеров. Сказанное иллюстрируется рис. 17.12. Следует отметить, что JK -триггер, аналогично ранее рассмотренным, может дополнительно снабжаться входами асинхронной установки R и S , сигналы на которых имеют приоритет над сигналами остальных входов.

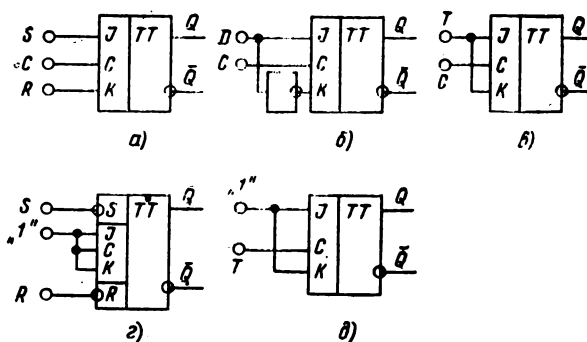


Рис. 17.12. Построение триггеров на основе JK -триггера:

a — синхронный RS -триггер; $б$ — D -триггер; $в$ — синхронный T -триггер; $г$ — асинхронный RS -триггер; $д$ — асинхронный T -триггер

17.4. ТРИГГЕРЫ С ДИНАМИЧЕСКИМ УПРАВЛЕНИЕМ

Все рассмотренные типы триггеров являются триггерами со статическим управлением. Это накладывает определенные требования на вид сигнала синхронизации. Так как активным логическим уровнем на входе синхронизации рассмотренных ранее триггеров является сигнал $C=1$, то на интервале действия этого сигнала они беспрепятственно воспринимают любое изменение сигналов на своих информационных входах. Поэтому для записи определенной информации сигнал на информационных входах триггера должен оставаться неизменным на всем интервале действия активного логического сигнала на входе синхронизации. На практике такое требование приводит к дополнительным трудностям при проектировании цифровых устройств и их усложнению.

От указанного недостатка свободны триггеры с так называемым динамическим управлением. Суть такого управления заключается в том, что в качестве активного логического сигнала выступает не сам статический уровень, а его изменение. Другими словами, переключение триггера происходит в течение короткого промежутка времени вблизи фронта или среза импульса синхронизации.

Если триггер реагирует на фронт импульса, т. е. на перепад сигнала от лог. 0 к лог. 1, то считают, что он снабжен *прямым динамическим входом*. Если же триггер реагирует на срез импульса, т. е. на перепад сигнала от лог. 1 к лог. 0, то считают, что он снабжен *инверсным динамическим входом*. Обозначение на принципиальных электрических схемах таких входов показано на рис. 17.13.

Среди триггеров с динамическим управлением широкое распространение получила так называемая схема трех триггеров. Идея построения структуры такого триггера состоит в запоминании сигналов, действовавших на информационных входах в момент изменения значения сигнала на входе синхронизации.

Данная идея реализуется подачей информационных сигналов на основную ячейку памяти (асинхронный RS -триггер) не через вспомогательную комбинационную схему, а с использованием дополнительных элементов памяти, т. е. асинхронных RS -триггеров.

Так как асинхронный триггер содержит два информационных входа, то для реализации описанной идеи необходимо два вспомогательных RS -триггера. Отсюда и название структуры — схема трех триггеров.

Рассмотрим структуру схемы трех триггеров на примере D -триггера (рис. 17.14).

■ Данная структурная схема получается из схемы обычного синхронного RS -триггера (на рис. 17.14 обведен штриховой линией) добавлением двух эле-

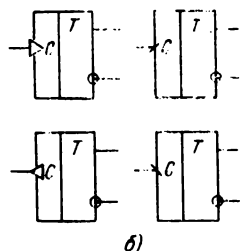


Рис. 17.13

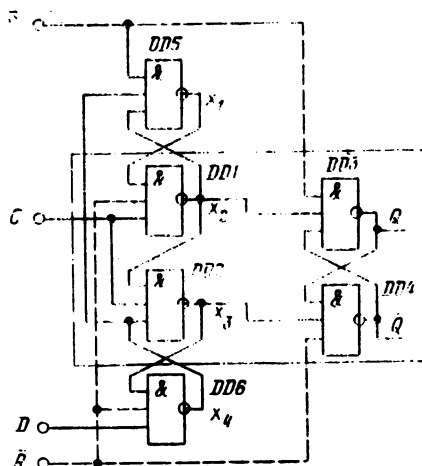


Рис. 17.14

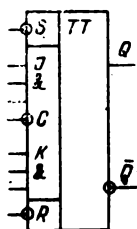


Рис. 17.15

Рис. 17.13. Обозначение входов синхронизации триггеров:

а — прямой динамический; б — инверсный динамический

Рис. 17.14. Триггер с динамическим управлением по схеме трех триггеров

Рис. 17.15. Условное графическое обозначение JK -триггера с объединенными операциями и входами J и K

ментов 2И—НЕ ($DD5$, $DD6$), образующих совместно с элементами входной комбинационной схемы ($DD1$ и $DD2$) вспомогательные триггера.

Для полученной таким образом структурной схемы запишем систему ФАЛ, описывающую зависимость выходных сигналов от входных элементов:

$$\begin{aligned} x_1 &= \overline{x_2 x_4} = \overline{x_2} + \overline{x_4}, \\ x_2 &= \overline{x_1 \overline{C}} = \overline{x_1} + \overline{C}, \\ x_3 &= \overline{x_2 x_4 \overline{C}} = \overline{x_2} + \overline{x_4} + \overline{C}, \\ x_4 &= \overline{x_3 \overline{D}} = \overline{x_3} + \overline{D}. \end{aligned} \quad (17.10)$$

Решим систему уравнений (17.10) относительно входных сигналов выходного асинхронного RS -триггера:

$$\begin{aligned} x_2 &= \overline{x_1} + \overline{C} = \overline{\overline{x_2 x_4} + \overline{C}} = \overline{x_2 (x_4 + \overline{D})} + \overline{C}, \\ x_3 &= \overline{x_2} + \overline{x_4} + \overline{C} = \overline{x_2} + \overline{C} + \overline{\overline{x_3 \overline{D}}} = \overline{x_2} + \overline{C} + x_3 \overline{D}. \end{aligned} \quad (17.11)$$

Полученные выражения содержат сигналы x_2 и x_3 как в правой, так и в левой части. Это означает, что, подставляя в правые части уравнений значения x_{2n} и x_{3n} , в левой соответственно получаем x_{2n+1} и x_{3n+1} .

Используя выражения (17.11), рассмотрим работу динамического D -триггера. Допустим, в исходном состоянии $C=0$. Тогда согласно (17.11) $x_2=x_3=1$ не зависимо от значения сигнала D . На входах основного асинхронного RS -триггера будут действовать пассивные логические уровни, и он будет находиться в режиме хранения информации.

При поступлении синхронизирующего сигнала $C=1$ из (17.11) будем иметь

$$x_2 = (\bar{D} + 0) + 0 = \bar{D},$$

$$x_3 = 0 + 0 + D \cdot 1 = D.$$

Данное состояние будет устойчивым, что легко проверить, подставив полученные значения x_2 и x_3 в уравнения (17.11). Таким образом, при появлении синхронизирующего сигнала $C=1$ на входах основного асинхронного RS -триггера будут присутствовать сигналы, определенные информационным сигналом на входе D . При $D=1$ получим $Q=1$, при $D=0$ — $Q=0$.

Предположим, что $D=1$, тогда сразу после прихода синхроимпульса имеем $x_2=0$ и $x_3=1$. Подставив эти значения в (17.11), найдем

$$x_2 = 0 + 1(d + 0) = 0,$$

$$x_3 = 0 + 1(D + 0) = 0,$$

Таким образом, после прихода синхроимпульса $C=1$ состояние выходного асинхронного RS -триггера становится нечувствительным к изменению значения сигнала на информационном входе D .

Для следующего переключения триггера сначала необходимо подать $C=0$, при этом оба входных триггера устанавливаются в такое состояние, при котором $x_2=x_3=1$. Выходной асинхронный RS -триггер при этом будет находиться в режиме хранения ранее записанной информации. Фронтом следующего импульса синхронизации триггер будет переведен в новое состояние, определяемое значением сигнала на информационном входе D .

Рассмотренный триггер будет триггером с прямым динамическим управлением. На практике в него обычно дополнительно вводят входы асинхронной установки исходного состояния (на рис. 17.14 показаны штриховыми линиями, идущими от \bar{S} и \bar{R}), которые обладают наивысшим приоритетом над всеми информационными входами триггера.

Рассмотренная структура находит применение при построении D -, T - и JK -триггеров.

Следует еще раз подчеркнуть, что триггер с динамическим управлением не чувствителен к изменению информационных сигналов на интервалах действия сигналов $C=1$ и $C=0$. Переключение происходит по изменению сигнала синхронизации.

Строго говоря, переключение триггера происходит не непосредственно по фронту или срезу импульса синхронизации. Для гарантированной записи информации она должна оставаться неизменной на информационных входах на некотором интервале в окрестности изменения сигнала синхронизации. Ширина этой области

определяется реальными задержками в выбранных логических элементах. Обозначим через $t_{\text{зад}}$ время, необходимое для переключения ЛЭ. Тогда зона, на которой запрещается изменение информационных сигналов для триггера рис. 17.14, будет равна $2t_{\text{зад}}$. Интервал от $t_0 - t_{\text{зад}}$ до t_0 (t_0 — момент изменения сигнала на входе C) необходим для переключения под действием информационных сигналов элементов $DD5$ или $DD6$. Интервал от t_0 до $t_0 + t_{\text{зад}}$ необходим для того, чтобы после появления в момент t_0 сигнала синхронизации $C=1$ успели переключиться элементы $DD1$ и $DD2$, т. е. входная информация успела зафиксироваться во входных триггерах.

На практике ИС триггеров часто снабжаются несколькими однотипными входами, например S , R , J , K , объединенными по входу операцией И . Такое исполнение существенно упрощает схемы устройств, проектируемых с применением данных микросхем. В качестве примера на рис. 17.15 приведено условное обозначение JK -триггера, имеющего по три входа J и K , объединенных логикой И .

17.5. ОСОБЕННОСТИ ПОСТРОЕНИЯ МИКРОЭЛЕКТРОННЫХ ТРИГГЕРОВ

Рассмотренные логические структуры позволяют реализовать все типы триггеров, обеспечивающих на практике высокую надежность как функционирования, так и воспроизводимости характеристик. Однако при изготовлении ИС часто используют нестандартные структуры. Основная цель такого подхода — максимальное упрощение реальных микросхем. Это упрощение, как правило, достигается либо оригинальностью логических связей, либо непосредственно использованием различных схмотехнических решений. В качестве такого решения рассмотрим структурную схему D -триггера, широко применяющуюся при изготовлении КМОП ИС (рис. 17.16,а). Основу данной структурной схемы составляют два последовательно соединенных двунаправленных ключа S_1 и S_2 и два инвертора $DD3$ и $DD4$. Инверторы $DD1$ и $DD2$ предназначены для формирования сигналов управления ключей S_1 и S_2 .

Рассмотрим работу данной схемы. При $C=0$ под управлением сигнала инвертора $DD1$ ключ S_1 разомкнется, а ключ S_2 — замкнется. Последовательно включенные инверторы $DD3$ и $DD4$ охватываются цепью ПОС и образуют би-стабильную ячейку. Полученный таким образом элемент памяти хранит поданную ранее на него информацию. При этом вход D ключом S_1 отключен от элемента памяти и не может изменить его состояние.

При появлении $C=1$ ключ S_2 размыкается, разрывая цепь ПОС, а ключ S_1 подсоединяет к последовательно соединенным инверторам $DD3$ и $DD4$ информационный вход триггера. Происходит запись новой информации, которая остается в триггере после изменения сигнала синхронизации. Следует отметить, что для надежной записи присутствующей на входе D -триггера информации при переключении сигнала синхронизации с уровня 1 к уровню 0 ключ

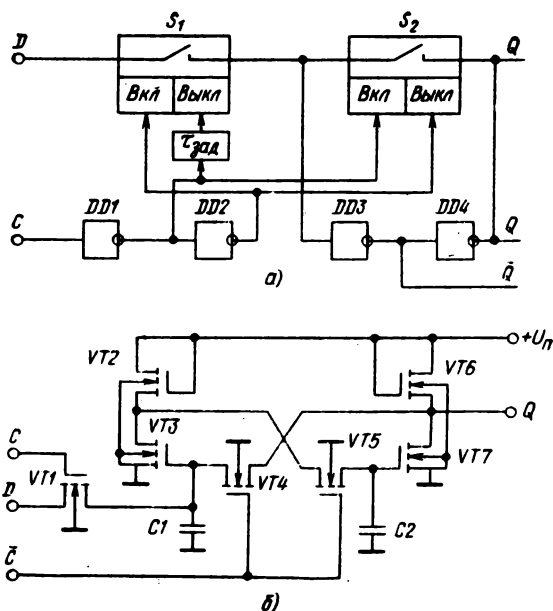


Рис. 17.16 Структурная схема D -триггера на двух инверторах (а) и принципиальная электрическая схема квазистатического триггера (б)

S_2 должен замыкаться раньше, чем размыкается ключ S_1 . Для этого в цепь выключения ключа S_1 вводится элемент задержки (рис. 17.16,а).

Еще одним примером, иллюстрирующим подобный подход, является приведенная на рис. 17.16,б принципиальная электрическая схема так называемого квазистатического триггера. Ее особенностью является использование для кратковременного хранения информации напряжения на конденсаторах C_1 и C_2 . Рассмотрим ее работу.

Предположим, что сигнал $C=0$. Тогда сигналом лог. 1 ($\bar{C}=1$) включаются транзисторы VT_4 и VT_5 , замыкающие цепи связи между инверторами на транзисторах VT_2 , VT_3 и VT_6 , VT_7 . Последние образуют схему простейшего статического триггера. Сигналом $C=0$ выключается транзистор VT_1 и поэтому связь затвора транзистора VT_3 с входным информационным выводом D отсутствует. Схема находится в режиме хранения ранее записанной информации. Допустим, что выходной сигнал $Q=1$. Следовательно, транзистор VT_7 включен и $U_{C2} < U_{\text{пер}}$ ($U_{\text{пер}}$ — напряжение включения полевого транзистора). Транзистор VT_3 включен и $U_{C1} > U_{\text{пер}}$.

При $C=1$ транзисторы VT_4 , VT_5 запираются, превращая плечи триггера в независимые каскады. Однако вследствие действия напряжений U_{C1} и U_{C2} конденсаторов C_1 и C_2 состояние инверторов не изменяется и на выходе поддерживается сигнал $Q=1$. Время удержания прежнего значения сигнала Q определяется временем перезаряда конденсатора C_2 . Следовательно, приход

активного логического сигнала на вход C не стирает ранее записанную в триггер информацию.

Вместе с этим, так как транзистор $VT1$ подключает конденсатор $C1$ к внешнему выводу D в триггере возможна запись новой информации. Предположим сигнал $D=0$ и за время действия $C=1$ конденсатор $C1$ разряжается до напряжения $U_{C1} < U_{\text{пор}}$.

Теперь после смены уровня сигнала на входе C ($C=0$) вход D отключается от конденсатора $C1$ и инверторы вновь охватываются цепью глубокой ПОС, образуя триггер. Так как $U_{C1} = U_{C2} < U_{\text{пор}}$, то новое состояние триггера будет определяться скоростями перезаряда конденсаторов $C1$ и $C2$. Если емкость $C1$ больше, чем $C2$, то $dU_{C2}/dt > dU_{C1}/dt$ и транзистор $VT7$ через некоторое время включится, т. е. в триггер будет записана информация, присутствовавшая ранее на входе D ($Q_{n+1} = D_n$). При $D=1$, схема работает аналогично.

Из сказанного следует, что квазистатический триггер по своим параметрам аналогичен двухступенчатому, так как на интервале $C=1$ в нем как хранится старая, так и записывается новая информация. Однако такой эффект достигается без удвоения числа триггеров, что значительно упрощает его схему.

17.6. ОБОБЩЕННАЯ СТРУКТУРНАЯ СХЕМА И ОПИСАНИЕ ЦИФРОВЫХ АВТОМАТОВ

При описании работы произвольного последовательностного устройства, чаще называемого *цифровым автоматом*, будем пользоваться понятием его состояния. Это понятие уже вводилось ранее для характеристики выходного сигнала одиночного триггера. Выходной сигнал триггера может принимать только два значения: 0 или 1. Поэтому он может находиться только в двух состояниях: «установки» (при $Q=1$) и «сброса» (при $Q=0$). Цифровой автомат в общем случае содержит N триггеров. Состояние цифрового автомата характеризуется N -разрядным двоичным словом, каждый разряд которого ассоциируется с выходным сигналом соответствующего триггера. Следовательно, так как для N -разрядного слова существует 2^N кодовых наборов, то столько же состояний будет характеризовать и поведение цифрового автомата.

В общем случае любой цифровой автомат может быть представлен совокупностью двух подсистем. Первая образована элементами памяти (триггерная подсистема). Она хранит информацию о предыстории работы устройства. Вторая образована комбинационной схемой, которая служит для преобразования входных сигналов и информации о состоянии устройства в выходные сигналы и сигналы, необходимые для изменения состояния автомата (комбинационная подсистема). Соответствующая сказанному обобщенная структурная схема цифрового автомата (модель Хафмана) приведена на рис. 17.17.

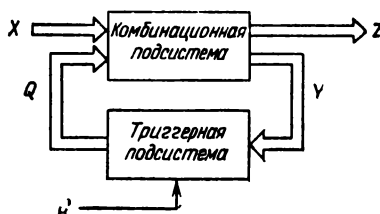


Рис. 17.17. Обобщенная структурная схема цифрового автомата

Поведение структуры описывается четырьмя группами различных сигналов: X — кодовое слово входного воздействия; Z — кодовое слово выходного сигнала; Y — кодовое слово, обеспечивающее требуемый порядок смены состояний автомата; Q — кодовое слово, характеризующее состояние автомата.

Строго говоря, для функционирования цифрового автомата необходим еще один сигнал. Это сигнал синхронизации S , инициирующий переключение триггеров триггерной подсистемы. Формирование этого сигнала, как правило, непосредственно связано с алгоритмом работы устройства и поэтому в каждом конкретном случае оговаривается особо.

Определение объема памяти или числа триггеров, необходимых для реализации заданного алгоритма функционирования цифрового автомата, является одним из основных вопросов, возникающих при его проектировании. Очевидно, что этот вопрос однозначно связан с определением необходимого числа состояний автомата. Как было показано ранее, для N триггеров триггерной подсистемы автомата возможно 2^N состояний. Поэтому если число необходимых из условия работы автомата состояний равно M , то триггерная подсистема должна содержать как минимум

$$n \geq \log_2 M \quad (17.12)$$

триггеров, где n — ближайшее большее целое число. Максимальное число триггеров ограничивается сверху значением M .

Необходимое число состояний цифрового автомата может быть определено как максимальное число значений выходного сигнала, которое может существовать на его выходе при одном значении входного сигнала.

Для формального описания алгоритма работы цифрового автомата может быть использована любая вышеописанная форма записи. Однако на практике наиболее часто используют словесное описание (для первичной постановки задачи) и таблицы состояния или графы переходов (схемы состояний) автоматов. Так как все эти формы описывают один и тот же алгоритм работы, они легко преобразуются одна в другую.

Таблица состояний включает $G+1$ столбец и 2^n строк, где G — число различных входных сигналов, которые могут действовать на входе автомата. В первом столбце таблицы перечисляются все возможные состояния (всего 2^n), в которых может находиться цифровой автомат. На пересечении j -го столбца и i -й строки записывается дробь. В числителе указывается состояние, в которое попадает цифровой автомат после прихода очередного импульса синхронизации, если он находился в i -м состоянии и на его входе действует j -й входной сигнал. В знаменателе указывается текущее значение выходного сигнала, существующее в автомате до прихода очередного импульса синхронизации при нахождении его в i -м состоянии при действии j -го входного сигнала.

Граф переходов представляет собой графическую интерпретацию работы цифрового автомата. Им удобно пользоваться, если при первичном описании до конца не просматривается весь алгоритм работы и сразу не представляется возможным определить число необходимых состояний. К тому же при числе состояний $2^n > 16$ граф, как правило, нагляднее таблицы. При построении графа переходов каждое состояние цифрового автомата изображается в виде окружности, в которой указывается номер или код соответствующего состояния. Переход из состояния в состояние изображается в виде стрелки, соединяющей соответствующие состояния. Причем над каждой стрелкой записывается дробь, в числителе которой указывается значение входного сигнала, под действием которого при очередном импульсе синхронизации произойдет указанный переход. В знаменателе дроби записывается текущее значение выходного сигнала, соответствующее указанным состоянию и значению входного сигнала.

Проиллюстрируем указанные способы записи на примере автомата, предназначенного для формирования сигнала перегрузки пассажирского лифта.

Пример 17.1. Допустим, что одновременно в кабине лифта, вмещающей шесть человек, может подниматься не более трех человек. Если число пассажиров превышает три, то должен выдаваться сигнал на блокировку работы лифта (сигнал перегрузки). Входным сигналом является двоичный код, единица в нулевом разряде которого обозначает увеличение числа пассажиров на единицу, что фиксируется соответствующим датчиком, а единица в первом разряде — уменьшение пассажиров на единицу.

Решение. В соответствии со словесным описанием алгоритма на входе автомата возможно действие трех различных входных сигналов:

- 00 — число пассажиров в лифте остается неизменным;
- 01 — число пассажиров увеличивается на одного;
- 10 — число пассажиров уменьшается на одного.

Таблица 17.7

S	x'		
	00	01	10
000	000/0	001/0	—
001	001/0	010/0	000/0
010	010/0	011/0	001/0
011	011/0	100/1	010/0
100	100/1	101/1	011/0
101	101/1	110/1	100/1
110	110/1	—	101/1
111	—	—	—

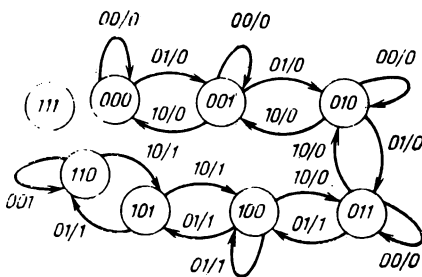


Рис. 17.18. Граф переходов цифрового автомата

Код 11 является запрещенным, так как по условию задачи никогда не может появиться на входе устройства.

Следовательно, таблица переходов должна содержать четыре столбца. Число необходимых состояний M определим из анализа работы устройства. Очевидно, что это число должно равняться семи: лифт пуст, в лифте — один человек, в лифте — два человека, в лифте — три человека, в лифте — четыре человека, в лифте пять человек и в лифте — шесть человек. При этом в первых четырех состояниях сигнал блокировки работы лифта не должен вырабатываться. Далее на выходе должен вырабатываться сигнал блокировки работы лифта (допустим 1). При этом сигнал блокировки должен сохраняться в случае увеличения числа пассажиров до шести. Для реализации такого числа состояний согласно выражению (17.12) необходимо как минимум три триггера, и состояние автомата будет характеризоваться 3-разрядным двоичным кодом.

Так как для 3-разрядного слова возможно восемь различных значений, то таблица состояний будет содержать восемь строк.

Проведенный анализ задания позволяет составить таблицу состояний (табл. 17.7) и граф переходов (рис. 17.18), соответствующие описанному алгоритму. Так, если лифт пуст (допустим это соответствует $S=000$) и в него входит один человек (входной сигнал 01), то следующим будет новое состояние (допустим $S=001$). При этом сигнал перегрузки не формируется ($Z=0$) и т. д.

В таблице переходов прочерками обозначены невозможные, с точки зрения описанного алгоритма, ситуации. Действительно, если в кабине лифта никого нет (состояние 000), то входной сигнал 10 невозможен (кабина пуста и из нее никто не может выйти). Аналогично, если в кабину уже никто не может войти, чему соответствует состояние 110, то сигнал 01 появиться не может. Состояние 111 является лишним, так как с точки зрения работы устройства оно не используется. На графе переходов это состояние образует так называемую изолированную вершину. Вопрос о лишних, неиспользуемых состояниях и невозможных комбинациях входных сигналов является крайне важным с точки зрения обеспечения надежной работы автомата. Поэтому он будет рассмотрен позже.

17.7. СИНТЕЗ ЛОГИЧЕСКОЙ СХЕМЫ ЦИФРОВОГО АВТОМАТА

При проектировании цифрового автомата удобно пользоваться следующей методикой.

1. Исходя из условия функционирования цифрового автомата определяют число необходимых состояний и требуемый объем памяти его триггерной подсистемы.

2. Выполняют формальное описание алгоритма функционирования цифрового автомата. Для этого составляют таблицу состояний или его граф переходов.

3. Выбирают тип триггера для реализации триггерной подсистемы автомата.

4. Используя формализованный алгоритм работы автомата и таблицу переходов для выбранного типа триггера, составляют расширенную таблицу истинности. Число строк данной таблицы равно максимальному числу значений входного сигнала комбинационной подсистемы. В столбцах таблицы записывается следующая информация: X — входной сигнал; S_n — текущее состояние; S_{n+1} — следующее состояние; Y — входные сигналы на информационных входах триггеров; Z — выходные сигналы.

5. Используя расширенную таблицу истинности, минимизируют ФАЛ, описывающие комбинационную подсистему цифрового автомата.

6. На основе полученных ФАЛ строят логическую схему цифрового автомата.

Проиллюстрируем описанную методику конкретным примером.

Пример 17.2. Спроектировать цифровой автомат, алгоритм работы которого описан таблицей состояний (табл. 17.7).

Так как число состояний проектируемого устройства и таблица переходов уже получены, сразу перейдем к п. 3 методики.

Для реализации цифрового автомата выбираем JK -триггер. К сожалению, не существует однозначных рекомендаций, позволяющих выбирать тип триггера, обеспечивающий в дальнейшем получение наиболее простой технической реализации устройства. Однако при выборе триггеров, информационные сигналы которых согласно таблицам переходов содержат большое число безразличных (неопределенных) значений входного сигнала, структура автомата, как правило, получается более простой. Поэтому при выборе триггеров предпочтнее следует отдавать JK - и RS -триггерам.

Анализ табл. 17.7 показывает, что на входе комбинационной подсистемы проектируемого устройства действует пять различных переменных (x_1x_0 — код входного управляющего сигнала, $Q_2Q_1Q_0$ — выходной код (состояние) триггерной подсистемы). Это предполагает, что, так как расширенная таблица истинности формально рассматривает все возможные комбинации входных сигналов, она должна содержать $2^5=32$ строки, что усложняет процедуру проектирования.

Очевидно, что для упрощения проектирования необходимо уменьшить число входных переменных комбинационной подсистемы устройства. Попробуем с этой точки зрения еще раз проанализировать описанный в табл. 17.7 алгоритм работы устройства.

Число разрядов триггерной подсистемы жестко связано с числом состояний и однозначно определяется исходными данными на проектирование. Поэтому оно не может быть уменьшено.

Двухразрядный код входного воздействия фактически отражает только два события: человек вошел в лифт (01) и человек вышел из лифта (10). Код 11 невозможен из условия работы устройства, так как противоречит здравому смыслу. Код 00 означает, что какие-либо изменения сигналов в схеме отсутствуют. При этом по каждому импульсу синхронизации (вход С на рис. 17.17) происходит подтверждение текущего состояния и выходных сигналов устройства.

Очевидно, что точно такого же эффекта можно добиться, если при отсутствии изменения, т. е. в ситуации, когда никто не вошел и не вышел из лифта, сигнал синхронизации триггерной подсистемы будет отсутствовать и триггеры будут находиться в режиме хранения информации. Таким образом, при отказе от синхронного способа синхронизации (от некоторого внешнего задающего генератора) в пользу асинхронного, когда импульс синхронизации формируется только после возникновения изменений, внешнее воздействие на устройство можно представить одноразрядным двоичным кодом. При этом число строк расширенной таблицы истинности уменьшается в два раза (с 32 до 16).

Предложенный подход привел к тому, что решение одной сложной задачи мы свели к решению двух более простых: разработке автомата, формирующего сигнал «вход-выход» и сигнал синхронизации, и разработке автомата, формирующего сигнал перегрузки. Это — типичный пример декомпозиции (разбиения на более простые части) исходной задачи. Он широко используется при проектировании сложных цифровых устройств.

Другим возможным способом упрощения расширенной таблицы истинности является присвоение входным воздействиям различного приоритета, так чтобы устройство из нескольких одновременно поступивших входных сигналов выбирало бы наиболее важный. Так, в рассматриваемом случае с точки зрения работы устройства наиболее важно сформировать сигнал перегрузки. Поэтому сигналу увеличения числа пассажиров лифта ($x_0=1$) должен быть присвоен наивысший приоритет и при появлении входного кода 11 устройство должно реагировать аналогично появлению входного кода 01. Хотя по условию работы входной код 11 невозможен, расширенная таблица истинности формально должна рассмотреть все возможные ситуации, что необходимо для однозначного определения поведения устройства в любых аварийных режимах. Такое решение позволяет в рассматриваемом случае сократить число строк исходной расширенной таблицы истинности на восемь.

Уменьшение числа входных переменных за счет сигнала управления не сняло вопрос об изолированных вершинах графа переходов. Если в каком-либо аварийном режиме работы (процесс включения или воздействия внешних по-

мех) на выходе триггерной подсистемы установится запрещенное состояние (в нашем случае 111), может возникнуть ситуация, при которой под действием управляющих сигналов устройство либо не сможет выйти из этого режима, либо его выход будет сопровождаться нарушением логики работы устройства. Чтобы этого не произошло, в алгоритме необходимо предусмотреть соответствующие пути выхода. Место алгоритма, в которое при этом должно вернуться устройство, определяется из условий его функционирования. Допустим, что в нашем случае при возникновении такого режима сформируется сигнал аварии и триггерная подсистема возвращается в исходное состояние (000). Предположим, что такие же действия должны сопровождать и нереальные входные воздействия (лифт пуст и формируется сигнал выхода).

Важно подчеркнуть, что алгоритм работы автомата должен быть однозначно определен для всех, даже невероятных с точки зрения его работы комбинаций входных сигналов комбинационной подсистемы. Только в этом случае уже на этапе проектирования можно гарантировать высокую надежность его работы.

Скорректированный с учетом сказанного алгоритм работы устройства приведен в табл. 17.8. Ее особенностью является формирование одноразрядного кода управления x ($x=0$ — выход из лифта и $x=1$ — вход в лифт) и 2-разрядного выходного сигнала z_1z_0 ($z_1=1$ — сигнал перегрузки, $z_0=1$ — сигнал аварии). На основании таблицы переходов (табл. 17.8) с учетом типа выбранного триггера составим расширенную таблицу истинности проектируемого устройства (табл. 17.9).

Используя табл. 17.9, найдем ФАЛ, связывающие выходные сигналы устройства z и сигналы на информационных входах триггеров J и K с входным сигналом x и состоянием триггерной подсистемы $Q_2Q_1Q_0$.

$$z_1 = Q_2\bar{Q}_1(x + Q_0) + Q_1(x\bar{Q}_2Q_0 + \bar{x}Q_2\bar{Q}_0),$$

$$z_0 = Q_2Q_1(x + Q_0) + \bar{x}\bar{Q}_2\bar{Q}_1\bar{Q}_0,$$

$$J_2 = xQ_1Q_0, \quad K_2 = Q_1(x + Q_0) + \bar{x}\bar{Q}_1\bar{Q}_0,$$

$$J_1 = xQ_0 + \bar{x}Q_2\bar{Q}_0, \quad K_1 = Q_2 + \bar{x} \oplus Q_0,$$

$$J_0 = x \oplus Q_1 + Q_2 \oplus Q_1, \quad K_0 = 1.$$

Т а б л и ц а 17.8

S	x	
	x=0	x=1
000	000/01	001/00
001	000/00	010/00
010	001/00	011/00
011	010/00	100/10
100	011/00	101/10
101	100/10	110/10
110	101/10	000/01
111	000/01	000/01

Таблица 17.9

x	Q_{2n}	Q_{1n}	Q_{0n}	Q_{2n+1}	Q_{1n+1}	Q_{0n+1}	J_2	K_2	J_1	K_1	J_0	K_0	z_1	z_0
1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0	0	0	—	0	—	0	—	0	1
0	0	0	1	0	0	0	0	—	0	—	—	1	0	0
0	0	1	0	0	0	1	0	—	—	1	1	—	0	0
0	0	1	1	0	1	0	0	—	—	0	—	1	0	0
0	1	0	0	0	1	1	—	1	1	—	1	—	0	0
0	1	0	1	1	0	0	—	0	0	—	—	1	1	0
0	1	1	0	1	0	1	—	0	—	1	1	—	1	0
0	1	1	1	0	0	0	—	1	—	1	—	1	0	1
1	0	0	0	0	0	1	0	—	0	—	1	—	0	0
1	0	0	1	0	1	0	0	—	1	—	—	1	0	0
1	0	1	0	0	1	1	0	—	—	0	1	—	0	0
1	0	1	1	1	0	0	1	—	—	1	—	1	1	0
1	1	0	0	1	0	1	—	0	0	—	1	—	1	0
1	1	0	1	0	1	0	—	0	1	—	—	1	1	0
1	1	1	0	1	0	0	—	1	—	1	0	—	0	1
1	1	1	1	1	0	0	—	1	—	1	—	1	0	1

Полученные ФАЛ позволяют синтезировать схему комбинационной части проектируемого автомата.

17.8. ПОСТРОЕНИЕ ТАБЛИЦЫ ПЕРЕХОДОВ ПО ЛОГИЧЕСКОЙ СХЕМЕ АВТОМАТА

Данная задача является обратной к выше рассмотренной и позволяет по известной схеме цифрового автомата определить его реакцию на заданную последовательность входных воздействий. Последнее просто сделать, если известна таблица или граф переходов цифрового устройства. Получить их можно, воспользовавшись следующей методикой.

1. По логической схеме устройства записывают ФАЛ, связывающие его выходные сигналы и сигналы на информационных входах триггеров с входными сигналами и кодами состояний триггерной подсистемы.

2. Строят расширенную таблицу истинности:

- записывают все возможные комбинации входных сигналов и кодов состояния триггерной подсистемы;
- по найденным ФАЛ для записанных входных воздействий комбинационной подсистемы отыскивают соответствующие значения выходных сигналов и сигналов на информационных входах триггеров;
- по известным информационным сигналам триггеров и таблицам переходов находят коды следующих состояний триггерной подсистемы.

3. По расширенной таблице истинности составляют таблицу состояний или граф переходов автомата.

Пример 17.3. Для схемы рис. 17.19 построить граф переходов и определить реакцию на входное воздействие вида 1, 0, 0, 1, 1, 0 при условии, что в исходном положении код состояния триггерной подсистемы равен 11.

Решение. 1. Записываем ФАЛ для выходных сигналов z_1 , z_0 и сигналов, на информационных входах триггеров T_1 и T_0

$$z_1 = \overline{(Q_1 | Q_0)} | \overline{x} = \overline{Q_1 Q_0 + x},$$

$$z_0 = (x | Q_0) | \overline{Q_1} = x Q_0 + \overline{Q_1},$$

$$T_1 = \overline{Q_1} \oplus \overline{x} | (Q_1 | Q_0) = x \overline{Q_1} + \overline{x_1} Q_1 + Q_1 Q_0,$$

$$T_0 = x | \overline{Q_0} = \overline{x} + Q_0.$$

2. Заполняем расширенную таблицу истинности, для чего сначала записываем все возможные комбинации сигналов x и $Q_{1n}Q_{0n}$, затем находим Z_1 , Z_0 и T_1 , T_0 и по таблице переходов T -триггера (табл. 17.5) — следующие состояния триггеров $Q_{1n+1}Q_{0n+1}$ (табл. 17.10).

Таблица 17.10

x	Q_{1n}	Q_{0n}	Q_{1n+1}	Q_{0n+1}	T_1	T_0	z_1	z_0
0	0	0	0	1	0	1	1	1
0	0	1	0	0	0	1	1	1
0	1	0	0	1	1	1	1	0
0	1	1	0	0	1	1	0	0
1	0	0	1	0	1	0	0	1
1	0	1	1	0	1	1	0	0
1	1	0	1	0	0	0	0	0
1	1	1	0	0	1	1	0	0

3. По табл. 17.10 составляем граф переходов (рис. 17.20).

4. Используя граф переходов рис. 17.20, нарисуем временные диаграммы, поясняющие работу автомата при заданном входном воздействии (рис. 17.21). При построении временных диаграмм предположим, что в момент nT прихода синхриимпульса на входе управления присутствует предыдущий сигнал X и его смена происходит только после переключения триггеров.

17.9. ФУНКЦИОНАЛЬНЫЕ УЗЛЫ ПОСЛЕДОВАТЕЛЬНОСТНЫХ ЛОГИЧЕСКИХ УСТРОЙСТВ

17.9.1. РЕГИСТРЫ

Регистром называется последовательностное устройство, предназначенное для записи, хранения и (или) сдвига информации, представленной в виде многоразрядного двоичного кода.

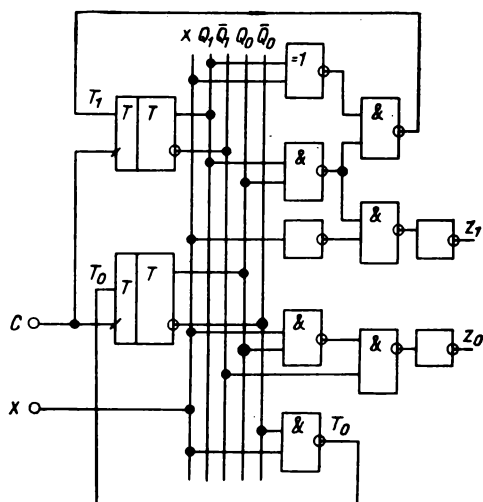


Рис. 17.19. Логическая схема цифрового автомата

Рис. 17.20. Граф переходов цифрового автомата

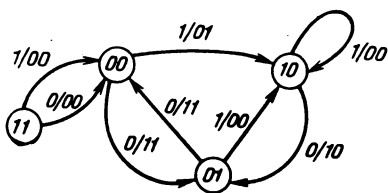
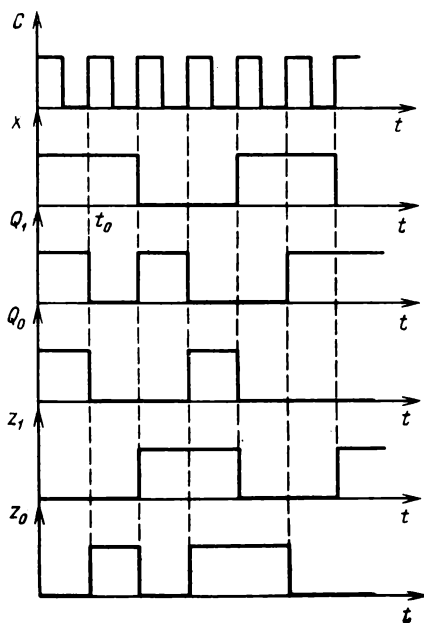


Рис. 17.21. Временные диаграммы работы цифрового автомата



В соответствии с данным определением в общем случае регистр может выполнять следующие микрооперации над кодовыми словами:

- 1) установка в исходное состояние (запись нулевого кода);
- 2) запись входной информации в последовательной форме;
- 3) запись входной информации в параллельной форме;
- 4) хранение информации;
- 5) сдвиг хранимой информации вправо или влево;
- 6) выдача хранимой информации в последовательной форме;
- 7) выдача хранимой информации в параллельной форме.

Любой N -разрядный регистр состоит из N однотипных ячеек — разрядных схем, выходной сигнал каждой из которых ассоциируется с весовым коэффициентом соответствующего разряда двоичного кода. При этом каждая разрядная схема, как любое последовательностное устройство, состоит из триггерной подсистемы (элемента памяти) и некоторой комбинационной схемы, преобразующей входные воздействия и состояния триггерной подсистемы в выходные сигналы регистра.

Регистры могут быть классифицированы по различным признакам. Рассмотрим основные из них.

По способу приема информации регистры подразделяют на:

параллельные (статические), в которые информация записывается и считывается только в параллельной форме;

последовательные (сдвигающие), в которые информация записывается и считывается только в последовательной форме;

последовательно-параллельные, в которые информация записывается или считывается как в параллельной, так и в последовательной формах.

По числу каналов передачи информации регистры подразделяют на:

парафазные, в которых информация записывается и считывается в прямом (Q) и обратном (\bar{Q}) кодах;

однофазные, в которых информация записывается и считывается либо в прямом (Q), либо в обратном (\bar{Q}) коде.

По способу тактирования регистры подразделяют на:

однотактные, управляемые одной управляющей последовательностью импульсов;

многотактные, управляемые несколькими управляющими последовательностями импульсов.

Параллельный регистр. Параллельный регистр предназначен для выполнения только 1-й, 3-й, 4-й и 7-й из перечисленных микроопераций над кодовыми словами, т. е. обрабатывает информацию только в параллельной форме. Поэтому образующие его разрядные схемы не связаны между собой.

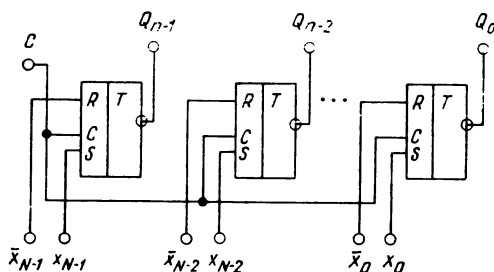


Рис. 17.22. Схема параллельного регистра

Простейший параллельный регистр может быть выполнен на RS -триггерах (рис. 17.22).

Он содержит N триггеров, входы синхронизации которых объединены между собой. На его входы x_{N-1}, \dots, x_0 и $\bar{x}_{N-1}, \dots, \bar{x}_0$ информация подается в прямом и обратном кодах, а с выходов Q_{N-1}, \dots, Q_0 снимается только в обратном коде. Следовательно, согласно приведенной выше классификации, это одноканальный регистр с парафазными входами и однофазным инверсным выходом. Запись информации в такой регистр выполняется за один такт синхронизации.

Если для записи в данном регистре используется только прямой или обратный входной код, то запись информации выполняется за два такта синхронизации. По первому такту необходимо сбросить или установить все триггеры регистра (подачей на соответствующие входы активного логического уровня), а по второму — записать в регистр новую информацию.

Если в данной структуре RS -триггеры заменить на D -триггеры, получим одноканальный регистр с однофазным входом. Очевидно, что быстродействие такого регистра при использовании однофазного входного сигнала будет в два раза выше, так как для записи информации необходим только один импульс синхронизации.

Более подробно структуру параллельного регистра рассмотрим на примере ИС типа 555ИР15 (рис. 17.23).

Это 4-разрядный одноканальный параллельный регистр с однофазными входами и выходом. Он включает четыре однотипных разрядных схемы, в каждую из которых входят ЛЭ 2×2 И-ИЛИ, D -триггер и выходной элемент с тремя выходными состояниями (0, 1, Z), который в отличие от обычного ЛЭ способен формировать на выходе, кроме сигналов лог. 0 и лог. 1, так называемое высокоимпедансное состояние, при котором выход триггера отключается от вывода Q -разрядной схемы. Более подробно такие элементы будут рассмотрены в гл. 19.

Сигналы, управляющие работой разрядных схем, формируются из входных сигналов ИС единым логическим блоком. Для упрощения на рис. 17.23 показана только одна разрядная схема.

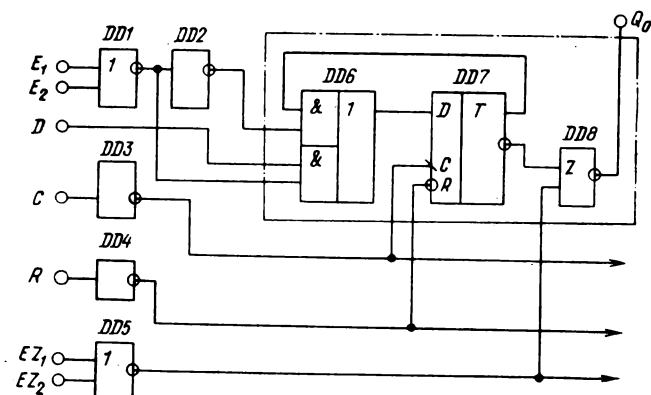


Рис. 17.23. Фрагмент структурной схемы параллельного регистра типа 555IP15

Управляющие входы EZ_1 , EZ_2 равнозначны и предназначены для перевода выходов регистра в высокоимпедансное состояние (состояние Z). При $EZ_1 + EZ_2 = 1$ на управляющий вход выходного элемента DD8 (Z-элемент) поступает сигнал лог. 0, отключающий выходы триггеров разрядных схем от выходов ИС. Данный режим необходим для объединения выходов нескольких регистров.

Входы E_1 , E_2 также равнозначны и обеспечивают перевод регистра из режима приема в режим хранения информации. Сигналы данных входов управляют работой элементов 2×2 И—ИЛИ. При $E_1 + E_2 = 1$ от входного логического блока на один из входов верхнего элемента 2И подается пассивный, а нижнего элемента 2И — активный логические сигналы. Вследствие этого выходной сигнал верхнего элемента зависит от сигнала на его втором входе, куда подключен выход Q D-триггера DD7. Выходной сигнал нижнего элемента 2И не зависит от сигнала на втором его входе. Поэтому по фронту импульса синхронизации информации с выхода Q D-триггера DD7 переписывается в этот же триггер. Осуществляется режим хранения информации.

При $E_1 + E_2 = 0$ пассивный логический уровень подается на один из входов нижнего элемента 2И, и выходной сигнал элемента 2×2 И—ИЛИ определяется напряжением второго входа нижнего элемента 2И, к которому непосредственно подключен внешний входной вывод D . По сигналу синхронизации происходит запись новой информации в D-триггер.

Отметим, что в данном включении элемент 2×2 И—ИЛИ выполняет роль мультиплексора, управляемого одноразрядным адресным словом и обеспечивающего подключение входа D-триггера либо к входному выводу D , либо к собственному выходу Q .

Вход R используется для одновременного сброса триггеров всех разрядных ячеек. Условное графическое обозначение рассмотренного регистра приведено на рис. 17.24.

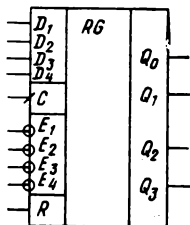


Рис. 17.24. Условное графическое обозначение параллельного регистра типа 555ИР15

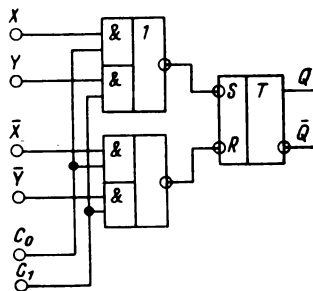


Рис. 17.25. Разрядная схема параллельного регистра, реализующая запись с двух направлений

Используя различные входные комбинационные схемы, можно разработать разрядные схемы, реализующие необходимые алгоритмы работы параллельных регистров. В качестве примера на рис. 17.25 приведена разрядная схема, обеспечивающая запись информации с двух направлений.

При $C_0=1$, $C_1=0$ в триггер разрядной схемы будет записано значение сигнала X , а при $C_0=0$, $C_1=1$ — значение сигнала Y . Используя такие разрядные схемы, можно построить многотактный параллельный регистр.

Сдвигающий регистр. Параллельный (сдвигающий) регистр является, как правило, универсальным и может выполнять все доступные для регистров микрооперации. Для этого разрядные схемы, входящие в его состав, соединены между собой. Рассмотрим построение такого регистра на примере одноконтного сдвигающего регистра с возможностью параллельной записи информации (рис. 17.26). Для упрощения на рис. 17.26 показаны только две разрядные схемы регистра.

Выбор режима работы регистра определяется значением сигнала на входе s/p . При сигнале $s/p=0$ элемент $DD1$ 2И—НЕ, формируя на своем выходе сигнал лог. 1, не зависимо от сигнала синхронизации, поданного на вход C , блокирует синхронное переключение триггеров разрядных схем регистра. Одновременно выходной сигнал инвертора $DD2$ преобразует элементы 2И—НЕ $DD3$ и $DD5$ в инверторы и сигналы, присутствующие на входах параллельной записи информации D , переписываются в триггеры разрядных схем. Элементы $DD4$ и $DD6$ в данном режиме также работают как инверторы, предотвращая возможность одновременной подачи на асинхронные входы R - и S -триггеров двух активных логических уровней.

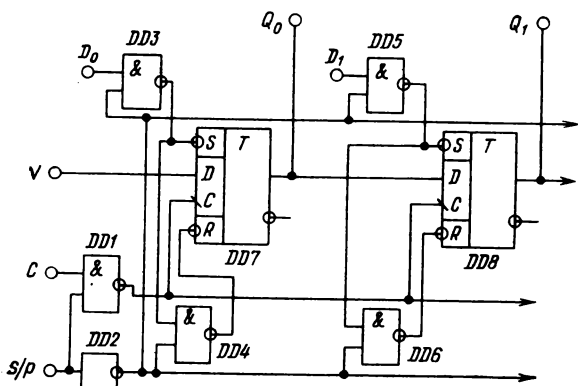


Рис. 17.26. Фрагмент структурной схемы сдвигающего регистра

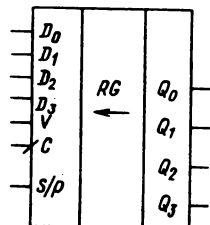


Рис. 17.27. Условное графическое обозначение сдвигающего регистра

Если $s/p=1$, параллельная запись информации становится невозможной, так как логические элементы $DD3—DD6$ не зависят от сигналов на входах параллельной записи D формируют на асинхронных входах R - и S -триггеров пассивные логические сигналы. Одновременно элемент $DD1$ 2И—НЕ превращается в инвертор и по фронту импульса синхронизации информация со входа V (вход последовательного приема информации) записывается в триггер первой разрядной схемы регистра. В триггер второй разрядной схемы переписывается информация из первой разрядной схемы и т. д. Регистр выполняет прием информации в последовательном виде и сдвиг ранее записанной в него информации влево (из младшего разряда в старший).

Условное графическое изображение 4-разрядного регистра сдвига показано на рис. 17.27.

Если регистр выполняет операцию сдвига информации вправо из старшего разряда в младший, то на его условном обозначении стрелка указывает вправо. Если стрелки показывают в обе стороны, то это значит, что регистр является реверсивным, и направление сдвига информации определяется управляющим сигналом.

Схемотехнически этого можно добиться введением в разрядные схемы дополнительных элементов 2×2 И—ИЛИ (рис. 17.28).

Как и в статическом регистре, показанном на рис. 17.23, элементы 2×2 И—ИЛИ—НЕ используются как мультиплексор, изменяющий направление передачи сигнала. При $S=1$ входы и выходы различных разрядных схем соединяются так, чтобы выпол-

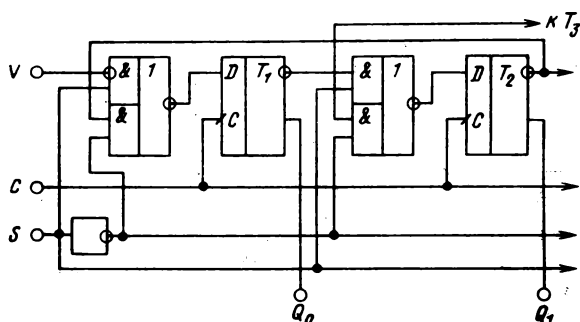


Рис. 17.28. Фрагмент схемы реверсивного сдвигающего регистра:
 $S=1$ — сдвиг влево, $S=0$ — сдвиг вправо

нять сдвиг информации влево. При $S=0$ информация сдвигается вправо.

Следует отметить, что в сдвигающих регистрах используются только двухступенчатые триггеры или триггеры с динамическим управлением. Это гарантирует сдвиг информации строго на один разряд по каждому импульсу синхронизации. При использовании других триггеров процесс сдвига становится неуправляемым и за один импульс синхронизации информация может быть сдвинута на несколько разрядов.

Организация межрегистровых связей. В реальных цифровых устройствах информация, подлежащая обработке, хранится в регистрах. Обработка информации предполагает передачу ее из регистра в регистр. Эта передача может быть выполнена различными способами.

В простейшем случае между всеми регистрами может быть организована индивидуальная связь. Этот способ реализует пространственное разделение цепей передачи информации, при котором обмен между несколькими регистрами может производиться одновременно, что обеспечивает получение максимально высокого быстродействия ее обработки. Однако при большом числе регистров реализация данного способа наталкивается на большие технические трудности ввиду громоздкости линий связи.

В микропроцессорных системах обмен информацией между несколькими регистрами осуществляется по последовательному принципу. При этом используется единственная линия связи (общая шина DB — Data Bus). К этой шине подключены входы и выходы всех регистров. При этом реализуется принцип разделения информации во времени, при котором в каждый конкретный момент обмен возможен только между двумя регистрами. Путь передачи

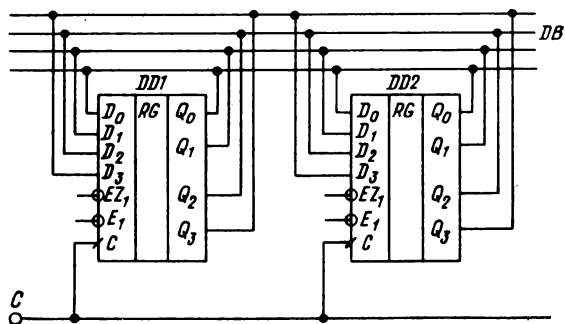


Рис. 17.29. Организация обмена информацией между регистрами по общей шине

информации в каждый конкретный момент определяется значениями управляющих сигналов (рис. 17.29).

Параллельное соединение нескольких входов и выходов различных регистров возможно только при использовании в них специальных схемотехнических решений, обеспечивающих выбор требуемого пути передачи информации. Этой цели в статическом регистре, показанном на рис. 17.23, служат элементы $DD6\ 2 \times 2И-ИЛИ$, разрешающие запись информации только при подаче соответствующего сигнала на входы E_1 или E_2 и выходные Z -элементы $DD8$, соединяющие выходы триггеров разрядных схем с выводами микросхемы только при наличии управляющего сигнала на входах EZ_1 или EZ_2 .

В табл. 17.11 приведены значения управляющих сигналов, обеспечивающих в схеме, приведенной на рис. 17.29, заданное направление передачи информации между статическими регистрами типа 555ИР15. При этом полагается, что $EZ_2 = E_2 = 0$.

17.9.2. СЧЕТЧИКИ

Счетчиком называется последовательностное устройство, предназначенное для счета входных импульсов и фиксации их числа в двоичном коде.

Таблица 17.11

Направление передачи	$DD1 \rightarrow DD2$				$DD1 \leftarrow DD2$			
	EZ_1	E_1	EZ_1	E_1	EZ_1	E_1	EZ_1	E_1
Управляющие входы								
Управляющие сигналы	0	1	1	0	1	0	0	1

Счетчики так же, как и сдвиговые регистры, строятся на основе N однотипных связанных между собой разрядных схем, каждая из которых в общем случае состоит из триггера и некоторой комбинационной схемы, предназначенной для формирования сигналов управления триггером.

В цифровых схемах счетчики могут выполнять следующие микрооперации над кодовыми словами:

- 1) установка в исходное состояние (запись нулевого кода);
- 2) запись входной информации в параллельной форме;
- 3) хранение информации;
- 4) выдача хранимой информации в параллельной форме;
- 5) инкремент — увеличение хранящегося кодового слова на единицу;
- 6) декремент — уменьшение хранящегося кодового слова на единицу.

Основные параметры и классификация счетчиков. Основным статическим параметром счетчика является *модуль счета* M , который характеризует максимальное число импульсов, после прихода которого счетчик устанавливается в исходное состояние.

Основным динамическим параметром, определяющим быстродействие счетчика, является *время установления* выходного кода t_k , характеризующее временной интервал между моментом подачи входного сигнала и моментом установления нового кода на выходе.

Счетчики могут классифицироваться по многим параметрам. Рассмотрим основные из них.

По значению модуля счета счетчики подразделяют на:

двоичные, модуль счета которых равен целой степени числа $2 (M=2^n)$;

двоично-кодированные, в которых модуль счета может принимать любое, не равное целой степени числа 2, значение.

По направлению счета счетчики подразделяют на:

суммирующие, выполняющие микрооперацию инкремента над хранящимся кодовым словом;

вычитающие, выполняющие микрооперацию декремента над хранящимся кодовым словом;

реверсивные, выполняющие в зависимости от значения управляющего сигнала над хранящимся кодовым словом либо микрооперацию декремента, либо инкремента.

По способу организации межразрядных связей счетчики делятся на:

счетчики с последовательным переносом, в которых переключение триггеров разрядных схем осуществляется последовательно один за другим;

счетчики с параллельным переносом, в которых переключение всех триггеров разрядных схем осуществляется одновременно по сигналу синхронизации;

счетчики с комбинированным последовательно-параллельным переносом, при котором используются различные комбинации способов переноса.

Двоичные счетчики. Для определения структуры двоичного счетчика рассмотрим последовательность двоичных чисел, ограничившись для простоты 3-разрядным кодом (табл. 17.12).

Так как в счетчике значения Q ассоциируются с выходными сигналами соответствующих триггеров, то для получения счетчика с модулем счета $M=8$ необходимо как минимум три триггера. Рассматривая табл. 17.12 нетрудно заметить, что Q_0 , соответствующее младшему разряду двоичного числа, изменяет свое значение с приходом каждого импульса синхронизации; Q_1 — с приходом каждого второго импульса синхронизации, а Q_2 — с приходом каждого четвертого импульса. Данный алгоритм можно легко реализовать, используя асинхронные T -триггеры, причем синхронизацию каждого последующего триггера осуществляют выходным сигналом предыдущего, а переключение первого триггера, формирующего значение Q_0 — непосредственно последовательностью синхроимпульсов. Временные диаграммы, поясняющие такой алгоритм работы, приведены на рис. 17.30.

Из таблицы и временных диаграмм также следует, что для организации микрооперации инкремента переключение каждого последующего триггера должно происходить в момент изменения выходного сигнала предыдущего триггера из 1 в 0, т. е. по срезу импульса. Следовательно, для получения суммирующего счетчика последовательно включенные асинхронные T -триггеры должны быть снабжены инверсными динамическими входами (рис. 17.31).

Если исходные асинхронные T -триггеры снабжены прямыми динамическими входами, то счетчик превращается в вычитающий и выполняет микрооперацию декремента. Временные диаграммы, поясняющие данный режим работы, приведены на рис. 17.32.

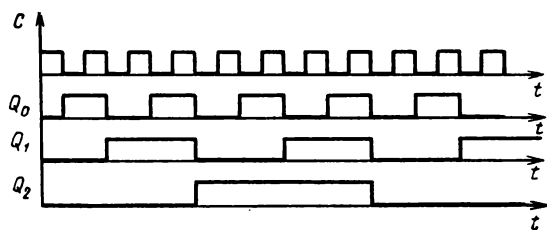


Рис. 17.30. Временные диаграммы работы суммирующего счетчика

Таблица 17.12

Таблица 3-разрядных двоичных чисел

C	Q_2	Q_1	Q_0
1	0	0	0
1	0	0	1
1	0	1	0
1	0	1	1
1	1	0	0
1	1	0	1
1	1	1	0
1	1	1	1

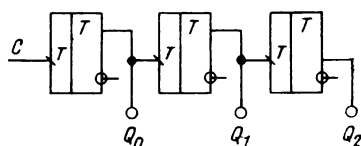


Рис. 17.31. Схема трехразрядного суммирующего счетчика с последовательным переносом

Сказанное справедливо, если для синхронизации каждого последующего асинхронного T -триггера использовать прямой выход предыдущего триггера (вывод Q). Если для этой цели использовать инверсный выход триггера, то суммирующий счетчик реализуется на T -триггерах с прямыми динамическими входами, а вычитающий — на T -триггерах с инверсными динамическими входами.

Таким образом, в счетчиках на синхронных T -триггерах направление счета зависит как от того, какой из выходов используется для синхронизации последующего триггера, так и от типа входа синхронизации. В табл. 17.13 приведены все возможные комбинации соединения триггеров с различными типами входов синхронизации и получаемые при этом виды счетчиков.

Из сказанного так же следует, что направление счета счетчика может изменяться путем изменения вида межразрядных связей. Последнее легко достигается включением в состав каждой разрядной схемы счетчика мультиплексора (рис. 17.33), как это было сделано в реверсивном сдвиговом регистре.

Сигнал на входе V данного счетчика определяет вид межразрядных связей, а следовательно, и тип получаемого счетчика. Вре-

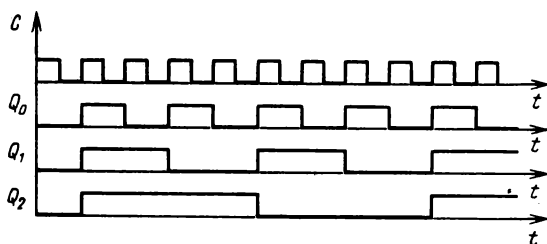


Рис. 17.32. Временные диаграммы работы вычитающего счетчика

Таблица 17.13

**Зависимость типа выполняемой микрооперации
от вида межразрядных связей**

Тип входа T	Используемый выход	
	Q	\overline{Q}
Прямой динамический	Декремент	Инкремент
Инверсный динамический	Инкремент	Декремент

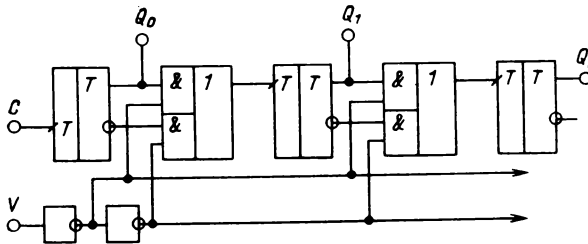


Рис. 17.33. Фрагмент структурной схемы реверсивного счетчика

менные диаграммы, поясняющие работу такого счетчика при различных значениях сигнала V , приведены на рис. 17.34.

Все рассмотренные выше счетчики являются счетчиками с последовательным переносом, так как переключение каждого последующего триггера может произойти только после переключения предыдущего. Данный тип счетчика отличается простотой внутренней структуры. Однако следствием такой организации является большое время установления выходного кода, которое к тому же не остается постоянным в процессе работы и зависит от конкрет-

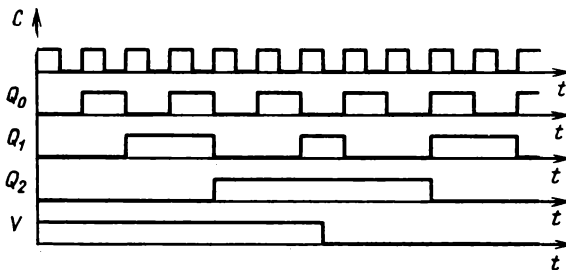


Рис. 17.34. Временные диаграммы работы реверсивного счетчика

ного значения его выходного кода. Максимальное значение t_k наблюдается в случае необходимости переключения всех триггеров счетчика, например при изменении выходного кода со значения 111 ... в 000 ... или наоборот. Численно

$$t_{k \max} = N t_{k \text{ TO}}, \quad (17.13)$$

где N — число разрядов счетчика; $t_{\text{к тр}}$ — время переключения (установления выходного кода) одного разряда счетчика.

Уменьшить время установления выходного кода счетчика можно при условии, что все триггеры его разрядных схем будут переключаться одновременно. Для этого необходимо отказаться от применения асинхронных триггеров в пользу синхронных и сформировать сигналы, регламентирующие требуемый порядок переключения триггеров разрядных схем до прихода импульса синхронизации.

Для получения алгоритма переключения триггеров разрядных схем вернемся еще раз к таблице последовательности двоичных чисел (см. табл. 17.12). Анализируя таблицу, нетрудно заметить, что переключение каждого последующего триггера при приходе очередного импульса синхронизации происходит только тогда, когда все предыдущие триггеры установлены, т. е. на выходах присутствуют единичные сигналы. Математически данный алгоритм можно записать следующей ФАЛ:

$$Q_{i,n+1} = \bar{Q}_{i,n} p_i + Q_{i,n} \bar{p}_i = Q_i \oplus p_i, \quad (17.14)$$

где $Q_{i,n+1}$ — значение i -го разряда выходного кода счетчика в $(n+1)$ -й момент времени; $Q_{i,n}$ — значение i -го разряда выходного кода счетчика в n -й момент времени; $p_i = Q_{0,n}Q_{1,n}Q_{i-1,n}$ — сигнал переноса.

Итак, для одновременного переключения триггеров всех разрядных схем в счетчике необходимо сформировать сигнал переноса. Схемотехническая реализация такого алгоритма переключения приведена на рис. 17.35. Следует отметить, что в данной структуре

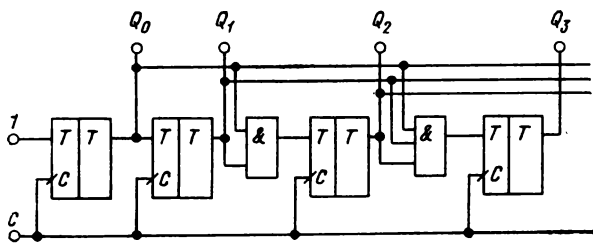


Рис. 17.35. Фрагмент схемы счетчика с параллельным переносом

триггер, формирующий сигнал Q_0 , по-прежнему остался асинхронным. Поэтому его входной сигнал $T \equiv 1$.

Очевидно, что в данной схеме время установления выходного кода $t_{к\max}$ будет равно времени переключения одного триггера

$$t_{к\max} = t_{к\text{тр}} \quad (17.15)$$

Однако если счетчик с последовательным переносом непосредственно после установления нового значения выходного кода готов к следующему переключению, то при реализации данного алгоритма для подготовки счетчика к следующему переключению должно пройти некоторое время $t_{\text{под}}$. Это время необходимо для формирования нового сигнала переноса и определяется временем задержки распространения логических элементов И ($t_{\text{под}} = t_{\text{эп}}$), использующихся в цепях формирования сигналов p_i . Так как это время всегда меньше времени установления выходного кода одиночного триггера, быстродействие полученного счетчика всегда выше быстродействия счетчика с последовательным переносом.

Счетчики, реализующие описанный алгоритм работы, называются счетчиками с параллельным переносом.

Следует отметить, что в счетчиках с параллельным переносом направление счета не зависит от того, какой (прямой или инверсный) динамический вход имеют триггеры, составляющие его разрядные схемы. Направление счета определяется исключительно тем, какой (прямой или инверсный) выход триггера используется для формирования сигнала переноса. Так, счетчик, схема которого показана на рис. 17.35, будет суммирующим. Если же для формирования сигнала переноса будут использованы инверсные выходы триггеров разрядных схем, счетчик будет вычитающим (табл. 17.14).

Следовательно, и при использовании параллельного переноса введением в разрядные схемы мультиплексоров на элементах $2 \times 2/\text{И}$ —ИЛИ можно легко построить реверсивный счетчик.

Сложность практической реализации счетчиков с параллельным переносом состоит в том, что при увеличении числа разрядов

Таблица 17.14

Зависимость типа операции, реализуемой счетчиком с параллельным переносом, от вида межразрядных связей

Сигнал связи	Выполняемая микрооперация
Q_i \bar{Q}_i	Инкремент Декремент

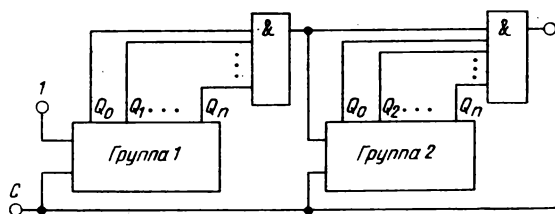


Рис. 17.36. Структура счетчика с комбинированным переносом

пропорционально увеличивается число входов логических элементов И, используемых в цепях формирования сигнала переноса. Поэтому при увеличении числа разрядов используют структуры счетчиков с комбинированным, как правило, последовательно-параллельным или параллельно-параллельным переносом.

Идея построения счетчиков с комбинированным переносом состоит в разбиении разрядных схем счетчика на группы, внутри которых осуществляют либо последовательный, либо параллельный перенос. Формирование сигнала переноса между группами выполняется элементами И лишь в случае, когда триггеры всех входящих в данную группу разрядных схем установлены в единичное состояние, т. е. по параллельному принципу (рис. 17.36). Время установки выходного кода в такой структуре

$$t_{к \max} = t_{к \text{ тр гр}}, \quad (17.16)$$

где $t_{к \text{ тр гр}}$ — время установки выходного кода в пределах одной группы. При использовании в пределах одной группы последовательного переноса $t_{к \text{ тр гр}} = t_{\text{тр}} N_j$, где N_j — число триггеров в j -й группе.

Очевидно, что упрощение счетчика с последовательно-параллельным переносом достигается за счет некоторого снижения его быстродействия.

При организации внутри группы параллельного переноса быстродействие счетчика увеличивается. Это происходит за счет уменьшения времени $t_{к \text{ тр гр}}$, которое в данном случае равно

$$t_{к \text{ тр гр}} = t_{\text{тр}}. \quad (17.17)$$

Максимальное время подготовки счетчика с комбинированным переносом к следующему переключению

$$t_{\text{под max}} = t_{\text{зр}} (l - 1), \quad (17.18)$$

где l — число групп в счетчике.

Максимально возможная частота переключения счетчика с комбинированным переносом определяется выражением

$$f_{\max} = 1 / (t_{к \text{ тр гр}} + t_{\text{под max}}). \quad (17.19)$$

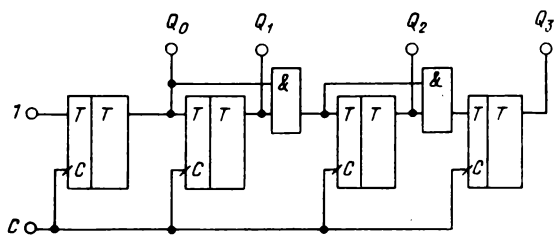


Рис. 17.37. Схема четырехразрядного счетчика со сквозным переносом

Следует отметить, что число разрядных схем в каждой группе может быть произвольным. В частном случае каждая группа может содержать только одну разрядную схему, и схема с комбинированным переносом вырождается в так называемую схему счетчика со *сквозным переносом* (рис. 17.37).

В данной схеме переключение всех триггеров происходит одновременно, однако для подготовки к следующему переключению должно пройти время, необходимое для последовательного формирования на выходах всех элементов И новых значений сигнала переноса. Это время, как и время установления выходного кода в счетчиках с последовательным переносом, зависит от конкретного кода, записанного в счетчик. Получаемый в данном случае выигрыш по быстродействию определяется меньшим временем распространения сигнала в элементе И по сравнению с временем установления выходного кода в отдельном триггере.

Двоично-кодированные счетчики. Как уже отмечалось ранее, двоично-кодированный счетчик имеет модуль счета, отличный от целой степени числа 2. Примером такого счетчика может служить счетчик с модулем счета 10, т. е. двоично-десятичный счетчик.

При построении таких счетчиков получили распространение в основном два метода: *метод исключения лишних состояний*; *метод управляемого сброса*.

Первый метод заключается в использовании описанной в § 17.7 методики синтеза последовательностных устройств. Полученная в этом случае схема однозначно определяет виды связей между ее отдельными элементами и не может быть оперативно изменена. Любое изменение требует выполнения в полном объеме всего цикла проектирования. Поэтому такой подход используется только при проектировании часто встречающихся устройств, выпускаемых большими партиями. В иных случаях его применение становится экономически нецелесообразным.

На практике, как правило, желательно иметь схему-полуфабрикат, которая без особых сложностей и дополнительных элемен-

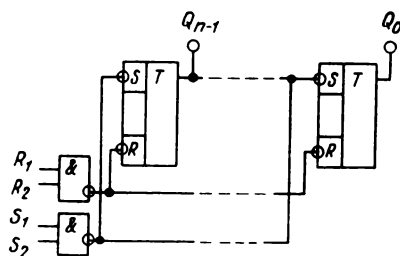


Рис. 17.38. Организация цепей предварительной установки счетчика

тов позволила бы гибко изменять алгоритм работы устройства. Этого легко добиться, если разрядные схемы счетчика строить с учетом возможности предварительной асинхронной установки исходного состояния. В качестве примера на рис. 17.38 приведен фрагмент схемы 4-разрядного десятичного счетчика 555IE2. Данный счетчик снабжен двумя парами равноценных входов установки R_1, R_2 и S_1, S_2 , позволяющими записать в триггеры всех разрядных схем либо нулевые, либо единичные значения.

Разрядные схемы некоторых счетчиков допускают запись не определенной, а произвольной информации. Примером такого решения является счетчик типа 555IE9, в котором возможна параллельная асинхронная запись произвольного начального состояния. Кроме этого, данный счетчик, подобно параллельному регистру, снабжен входом сброса, что значительно расширяет его возможности.

Используя счетчики с входами предварительной установки, легко можно построить устройство с любым наперед заданным модулем счета. Для этого используют *метод управляемого сброса*.

Идея данного метода состоит в принудительном формировании сигнала сброса триггеров разрядных схем двоичного счетчика при появлении на его выходе кода, совпадающего с требуемым модулем счета M . Проиллюстрируем сказанное на примере преобразования двоичного 4-разрядного счетчика со сквозным переносом в двоично-десятичный счетчик (рис. 17.39).

Для этого необходимо на входы дополнительного логического элемента 4И—НЕ подать комбинацию выходных сигналов разрядных схем, соответствующую коду 1010, т. е. $Q_3 \overline{Q_2} Q_1 \overline{Q_0}$. В этом случае при появлении на выходе одиннадцатого по счету выходного кода (1010) элемент 4И—НЕ через время, равное времени его задержки распространения, сформирует сигнал сброса и на выходе счетчика установится нулевой код. На рис. 17.40 приведены временные диаграммы, иллюстрирующие работу такого счетчика.

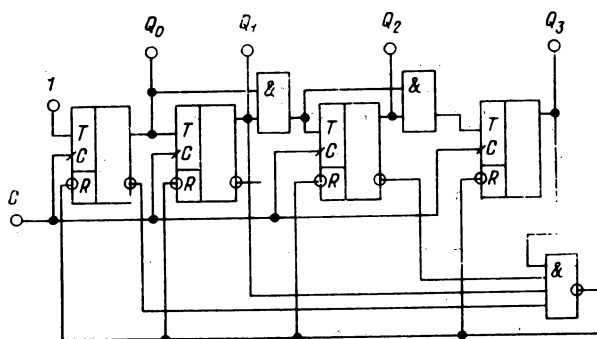


Рис. 17.39. Использование метода управляемого сброса для преобразования двоичного счетчика в двоично-десятичный

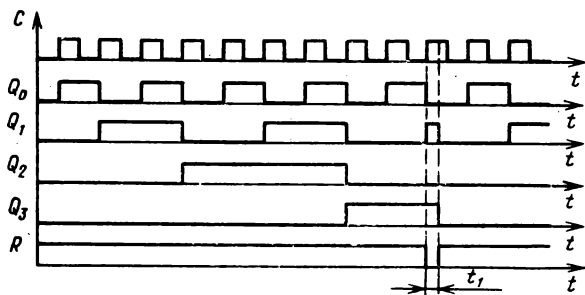


Рис. 17.40. Временные диаграммы работы двоично-десятичного счетчика, реализующего метод управляемого сброса

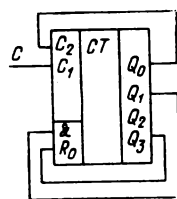


Рис. 17.41. Двоично-десятичный счетчик на основе микросхем типа ИЕ5

Следует подчеркнуть, что при использовании метода управляемого сброса на выходе счетчика на время t_1 , равное сумме времени задержки распространения сигнала в дополнительном элементе 4И—НЕ и времени установления выходного кода счетчика по входу R , устанавливается лишнее выходное состояние. Это является платой за универсальность метода. Если по условию работы счетчика даже кратковременное появление на его выходе лишнего состояния является недопустимым, при проектировании необходимо пользоваться методом исключения лишних состояний, например, по выходному коду $M-1$ формировать управляющие сигналы, обеспечивающие по следующему импульсу синхронизации сброс всех триггеров счетчика.

При соответствующем выборе исходной ИС счетчика решение описанной задачи можно упростить. Так, при проектировании на 598

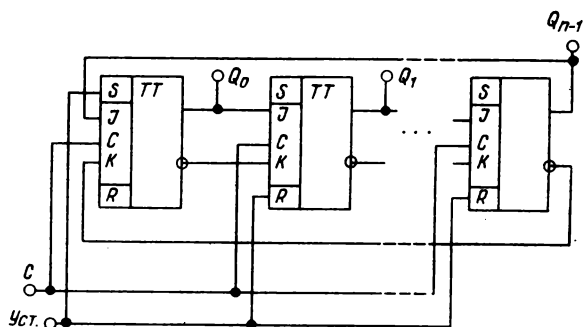


Рис. 17.42. Кольцевой счетчик

основе двоичного счетчика двоично-десятичного на его выходе не должны существовать любые коды, начиная с 1010. Поэтому число входов дополнительного элемента может быть уменьшено до двух, на которые достаточно подать значения Q_3 и Q_1 . Стандартные счетчики типа ИЕ4, ИЕ5 содержат по два входа асинхронного сброса, объединенных операций И—НЕ. Поэтому, например, для получения двоично-десятичного счетчика на основе ИС ИЕ5 достаточно соответствующим образом соединить ее выходы (рис. 17.41).

17.9.3. РАСПРЕДЕЛИТЕЛИ ТАКТОВ

Число импульсов, поступающих на вход ранее рассмотренных счетчиков, отображается на выходе в двоичном коде. В ряде случаев, например при построении устройств памяти или различных программно-временных устройств, необходимо, чтобы каждому входному импульсу соответствовал сигнал на определенном выходе устройства. Эта задача может быть решена несколькими различными способами. Например, выход счетчика с заданным модулем счета

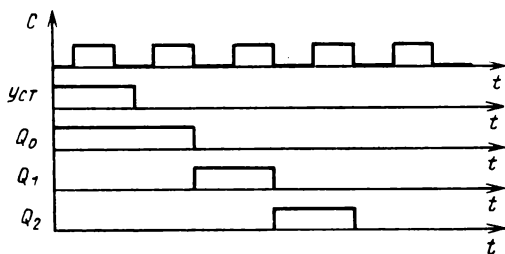


Рис. 17.43. Временные диаграммы работы кольцевого счетчика

можно подключить к входу дешифратора, на выходе которого и будет сформирована требуемая последовательность импульсов.

С наименьшими затратами данная задача может быть решена при использовании кольцевых счетчиков, представляющих собой сдвиговый регистр, выход последнего разряда которого подсоединен к входу первого разряда (рис. 17.42).

В данном регистре по сигналу на входе установки «Уст» все триггеры, кроме первого, устанавливаются в нулевое состояние, а в первый записывается сигнал лог. 1. Далее, по первому импульсу синхронизации лог. 1 из первого триггера переписывается во второй, в первый триггер из последнего разряда записывается сигнал лог. 0. По второму импульсу синхронизации лог. 1 из второго триггера переписывается в третий, уступая место переписываемому в него из второго триггера сигналу лог. 0 и т. д. Процесс переключения триггеров схемы поясняют временные диаграммы, показанные на рис. 17.43.

Контрольные вопросы

1. Каково назначение и состав триггерных устройств?
2. Чем различаются между собой одно- и двухступенчатые триггеры разных типов?
3. Проиллюстрируйте выполнение триггеров разных типов на основе JK-триггера.
4. Как строятся триггеры с динамическим управлением?
5. Из каких частей состоит обобщенная структурная схема цифрового автомата? Каково назначение этих частей?
6. Как определить необходимый объем памяти цифрового автомата?
7. Какие существуют способы описания поведения цифрового автомата?
8. Сформулируйте последовательность действий, оговоренных методикой синтеза структурной схемы цифрового автомата.
9. Объясните, как по логической схеме цифрового автомата построить таблицу или граф переходов.
10. По каким признакам можно провести классификацию регистров?
11. Приведите структурные схемы и условные обозначения параллельного, сдвигающего и реверсивного регистров.
12. Как организован обмен информацией между регистрами?
13. Назовите основные параметры и признаки классификации счетчиков.
14. Опишите способы связи между разрядными схемами счетчиков. Чем они различаются между собой?
15. Каким образом достигается повышение быстродействия счетчиков?
16. Как осуществляется предварительная установка счетчиков?
17. Приведите схему кольцевого счетчика.

ГЛАВА 18.

АРИФМЕТИКО-ЛОГИЧЕСКИЕ УСТРОЙСТВА

18.1. НАЗНАЧЕНИЕ И ОСНОВНЫЕ ПАРАМЕТРЫ

Арифметико-логическим устройством (АЛУ) называется функционально законченный узел ЭВМ, предназначенный для реализации логических и арифметических операций по обработке информации. Эти операции могут выполняться либо аппаратным способом — с использованием соответствующих электронных устройств, построенных на логических элементах, либо программным способом — с применением последовательного исполнения нескольких операций, выполняемых аппаратным способом. В соответствии со сказанным, АЛУ является одним из основных узлов ЭВМ.

Вне зависимости от того, насколько широк круг операций, реализуемых современными АЛУ, главными среди них остаются операции арифметического сложения и умножения. Важность этих операций подтверждается тем, что при описании характеристик новых машин продолжительность этих операций, как правило, указывается в качестве основных характеристик ЭВМ.

Для выполнения арифметических и логических операций над входными переменными они должны быть введены в АЛУ, поэтому его дополняют вспомогательными устройствами, предназначенными для промежуточного хранения как исходных данных, так и результатов выполнения той или иной операции. Функции этих устройств возлагают на дополнительные регистры.

На рис. 18.1 приведен вариант схемы соединения АЛУ с дополнительными регистрами. По существу эта схема является упрощенной схемой микропроцессора.

Как правило, АЛУ снабжается двумя группами входных и одной группой выходных выводов данных, а также группой выходов, предназначенных для получения вспомогательной информации. Обе группы входных выводов (входных портов) снабжаются буферными регистрами, предназначенными для временного хранения данных. Каждый буферный регистр способен хранить одно слово информации. Разрядность этого слова определяет конкретным типом устройства. Один входной порт АЛУ позволяет принимать данные непосредственно с шины данных, а второй — либо с шины данных, либо из специализированного регистра, называемого *аккумулятором*. Вход этого регистра соединен с выходным портом.

В ряде случаев аккумулятор снабжается вторым входом, подключаемым к шине данных. Поэтому в общем случае в аккумуляторе могут храниться как данные, полученные в результате выполнения предыдущей операции, так и данные, переданные по шине данных. Группа выводов, предназначенных для получения вспомо-

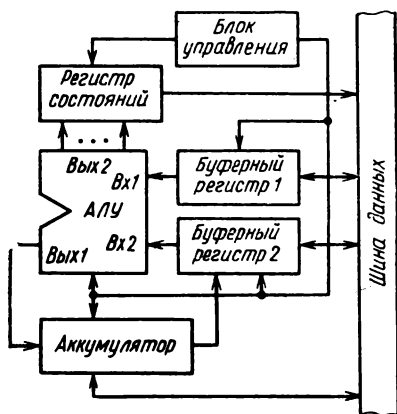


Рис. 18.1. Подключение АЛУ к внешним регистрам

могательной информации о работе АЛУ, подключается к специальному регистру, называемому регистром состояния, кода условий или индикатором. В его разрядах хранится служебная информация о результате исполнения последней операции, например, указание о том, что аккумулятор сброшен, в ходе последней операции получен отрицательный результат и т. д.

В зависимости от типа операции АЛУ может оперировать одним или двумя словами данных и, следовательно, пользоваться одним или двумя входными портами. Например, при выполнении операции арифметического сложения используются два порта, а операции получения обратного кода (инвертирование кода) нужен только один порт. Результат операции всегда оказывается в аккумуляторе.

Конкретный перечень операций, реализуемых АЛУ, может быть достаточно обширным и различен для устройств разных классов. Однако среди этого разнообразия можно выделить ряд операций, выполняемых АЛУ всех типов. К таким операциям относятся: арифметическое сложение, арифметическое вычитание, логическое умножение, логическое сложение, сумма по модулю два (Исключающее ИЛИ), инверсия, сдвиг вправо, сдвиг влево, приращение положительное (инкремент), приращение отрицательное (декремент):

Перечисленные операции выполняются с использованием только аппаратных средств (схем на ЛЭ), заложенных в АЛУ, и поэтому являются элементарными. Более сложные операции, например такие, как арифметические умножение и деление выполняются, как правило, программно путем комбинаций описанных элементарных операций (микропрограммным способом).

Следует отметить, что по своему построению АЛУ относится к разряду комбинационных устройств, так как не содержит собственных элементов памяти. Поэтому значения его выходных сигналов определяются исключительно комбинацией входных сигналов, а время выполнения конкретной элементарной операции зависит от времени задержки распространения сигнала, т. е. определяется частотными свойствами используемой элементной базы и видом реализуемых ФАЛ.

Анализ работы ЭВМ показал, что до 50% выполняемых ею операций являются операциями арифметического умножения, а до 45% — операциями арифметического сложения. Отсюда становится понятным, почему времена выполнения операций арифметического сложения и умножения относят к основным параметрам ЭВМ. Первое определяет совершенство применяемой элементной базы, второе — совершенство используемых алгоритмов. Ниже рассмотрим только вопросы, связанные с построением логических схем, используемых при выполнении логических и арифметических операций аппаратным способом.

18.2. СУММАТОРЫ

Сумматором называется комбинационное логическое устройство, предназначенное для выполнения операции арифметического сложения чисел, представленных в виде двоичных кодов.

Сумматоры являются одним из основных узлов арифметико-логического устройства. Термин сумматор охватывает широкий спектр устройств, начиная с простейших логических схем, до самых сложных цифровых узлов. Общим для всех этих устройств является арифметическое сложение чисел, представленных в двоичной форме. Рассмотрим более подробно некоторые конкретные схемотехнические решения, предназначенные для реализации поставленной задачи.

18.2.1. АЛГОРИТМ ДВОИЧНОГО СЛОЖЕНИЯ

Для начала получим ФАЛ, описывающие операции арифметического сложения двух одноразрядных двоичных кодов x_1 и x_0 . Алгоритм ее выполнения поясняется таблицей истинности (табл. 18.1). В графе s приведено значение результата сложения (суммы), а в графе p — полученное при этом значение переноса в старший разряд. Следует обратить внимание на отличия результатов, получаемых при арифметическом и логическом сложениях. При логическом сложении в последней строке столбца s присутствовало бы значение 1. Это отличие результатов данных операций не позволяет применить для арифметического суммирования элемент ИЛИ, а требует разработки специализированного устройства.

Значение сигнала переноса, равного единице в последней строке таблицы 18.1 говорит о том, что результат, полученный при выполнении операции арифметического сложения, в этом случае не может быть представлен двоичным кодом, разрядность которого равна разрядности слов слагаемых. Для представления ре-

Таблица 18.1

Таблица истинности сложения
двух одноразрядных
двоичных кодов

x_1	x_0	s	p
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Таблица 18.2

Таблица истинности сложений
разрядов многоразрядных двоичных
кодов

x_1	x_0	P_{-1}	s	p
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

результата необходимо слово, имеющее на один разряд больше, чем коды слагаемых.

Используя приведенную таблицу, легко записать систему ФАЛ, описывающих алгоритм операции арифметического сложения

$$s = \bar{x}_1 x_0 + x_1 \bar{x}_0, \quad (18.1)$$

$$p = x_1 x_0. \quad (18.2)$$

Функция, описываемая выражением (18.1), очень часто встречается при разработке цифровых устройств. Ее называют функцией Искключающее ИЛИ, или *суммой по модулю два*. Таким образом, для суммирования двух двоичных одноразрядных кодов необходимо выполнить логическую операцию Искключающее ИЛИ.

С целью упрощения выражение (18.1) обычно записывают следующим образом:

$$s = x_1 \oplus x_0. \quad (18.3)$$

Операция $\overline{x_1 \oplus x_0}$ называется операцией Искключающее ИЛИ—НЕ. Используя выражение (18.3), легко записать

$$\begin{aligned} \bar{s} &= \overline{x_1 \oplus x_0} = \overline{\bar{x}_1 x_0 + x_1 \bar{x}_0} = (\overline{\bar{x}_1 x_0}) (\overline{x_1 \bar{x}_0}) = (\bar{x}_1 + x_0) (x_1 + x_0) = \\ &= x_1 \bar{x}_1 + x_1 x_0 + \bar{x}_1 \bar{x}_0 + \bar{x}_0 x_0 = \bar{x}_1 \bar{x}_0 + x_1 x_0. \end{aligned} \quad (18.4)$$

Отметим, что выражение (18.4) тождественно полученному при рассмотрении цифровых компараторов соотношению для сигнала F равенства двух кодов (см. выражение 16.9).

Логические элементы, выполняющие операции Искключающее ИЛИ и Искключающее ИЛИ—НЕ, всегда имеют только два входа, т. е. операции всегда выполняются только над двумя переменными.

Таблица 18.1 применима только для сложения одноразрядных двоичных кодов или младших разрядов многоразрядных слов. Таблица сложения старших разрядов многоразрядных двоичных слов должна быть дополнена переменной возможного переноса из более младшего разряда (табл. 18.2). ФАЛ, описывающие результаты сложений, в этом случае будут иметь вид

$$s = (x_1 \oplus x_0) \bar{p}_1 + \overline{(x_1 \oplus x_0)} p_{-1}, \quad (18.5)$$

$$p = x_1 x_0 + (x_1 \oplus x_0) p_{-1}. \quad (18.6)$$

Из выражения (18.5) следует, что для получения суммы двух старших разрядов необходимо сначала выполнить операцию Искключающее ИЛИ над исходными слагаемыми x_1 и x_0 и затем еще одну операцию Искключающее ИЛИ над результатом первой операции Искключающее ИЛИ и сигналом переноса из предыдущего разряда. Для получения сигнала переноса также необходимо воспользоваться результатом операции Искключающее ИЛИ над слагаемыми x_1 и x_0 .

18.2.2. КЛАССИФИКАЦИЯ СУММАТОРОВ

Классификация сумматоров может быть выполнена по различным признакам. Рассмотрим наиболее часто встречающиеся из них.

По числу выводов различают: полусумматоры, одноразрядные сумматоры, многоразрядные сумматоры.

Полусумматором называется устройство, предназначенное для сложения двух одноразрядных кодов, имеющее два входа и два выхода и формирующее из сигналов входных слагаемых сигналы суммы и переноса в старший разряд.

Однозарядным сумматором называется устройство, предназначенное для сложения двух одноразрядных кодов, имеющее три входа и два выхода, и формирующее из сигналов входных слагаемых и сигнала переноса из младших разрядов сигналы суммы и переноса в старший разряд.

Многоразрядным сумматором называется устройство, предназначенное для сложения двух многоразрядных кодов, формирующее на выходе код суммы и сигнал переноса в случае, если результат сложения не может быть представлен кодом, разрядность которого совпадает с разрядностью кодов слагаемых.

В свою очередь, многоразрядные сумматоры подразделяются на *последовательные* и *параллельные*. В последовательных сумматорах операция сложения выполняется последовательно разряд за разрядом, начиная с младшего. В параллельных все разряды входных кодов суммируются одновременно.

Различают *комбинационные* сумматоры — устройства, не имеющие собственной памяти, и *накапливающие* сумматоры, снабженные собственной внутренней памятью, в которой аккумулируются результаты выполненной операции. При этом каждое очередное слагаемое прибавляется к уже имевшемуся в устройстве значению.

По способу тактирования различают синхронные и асинхронные сумматоры. В *синхронных* сумматорах время выполнения операции арифметического суммирования двух кодов не зависит от вида самих кодов и всегда остается постоянным. В *асинхронных* сумматорах время выполнения операции зависит от вида слагаемых. Поэтому по завершении выполнения суммирования необходимо вырабатывать специальный сигнал завершения операции.

В зависимости от используемой системы счисления различают двоичные, двоично-десятичные и другие типы сумматоров.

18.2.3. ДВОИЧНЫЙ ПОЛУСУММАТОР

Согласно определению, выходные сигналы двоичного полусумматора должны соответствовать системе ФАЛ (18.1) и (18.2). Для ее технической реализации необходимы логические элементы И и Исключающее ИЛИ. Так как ранее элемент Исключающее ИЛИ не был описан, рассмотрим возможность его построения на уже известных элементах. Для этого преобразуем выражение (18.1) к базису И—НЕ

$$s = x_1 \oplus x_0 = \bar{x}_1 x_0 + x_1 \bar{x}_0 = (\bar{x}_1 | x_0) | (x_1 | \bar{x}_0).$$

Техническая реализация полученного выражения приведена на рис. 18.2. На этом же рисунке показано условное обозначение элемента Исключающее ИЛИ.

С использованием сказанного легко можно синтезировать логическую схему двоичного полусумматора (рис. 18.3, а). Время сум-

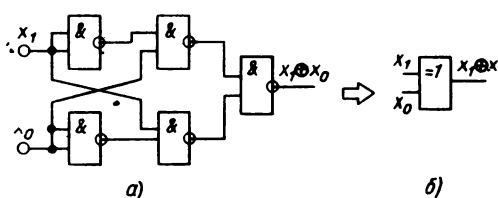


Рис. 18.2. Структурная схема реализации операции Исключающее ИЛИ (а) и ее условное обозначение (б)

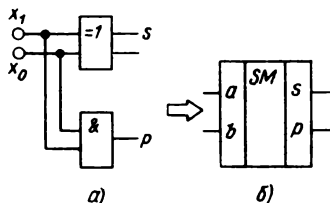


Рис. 18.3. Полусумматор (а) и его условное обозначение (б)

мирования для схемы рис. 18.3 определяется временем выполнения операции Иключающее ИЛИ

$$t_{пз} = 3t_{зр}, \quad (18.7)$$

где $t_{зр}$ — время задержки распространения для элемента И—НЕ.

Если регистры, хранящие слагаемые коды, снабжены как прямыми, так и инверсными выходами, входные инверторы из схемы рис. 18.2 можно исключить. Тогда общее время сложения уменьшится до $t_{пз} = 2t_{зр}$. Условное графическое изображение двоичного полусумматора показано на рис. 18.3, б.

18.2.4. ОДНОРАЗРЯДНЫЙ СУММАТОР

Функционирование одnorазрядного сумматора определяется системой ФАЛ (18.5), (18.6). Техническая реализация данной ФАЛ может быть выполнена на ЛЭ любого типа. Рассмотрим, например, построение одnorазрядного сумматора с использованием схем двоичных полусумматоров (рис. 18.4, а). Очевидно, что для этой цели необходимо два полусумматора и элемент ИЛИ.

Следует отметить, что если синтезировать схему одnorазрядного сумматора непосредственно по табл. 18.2, относительно элементарных ЛЭ, можно получить более простое техническое решение.

Время суммирования в приведенной схеме также определяется временем выполнения операции Иключающее ИЛИ

$$t_{0з} = 2t_{пз} = 6t_{зр}. \quad (18.8)$$

Формирование сигнала переноса в старший разряд выполняется быстрее. Для этого необходимо время

$$t_{сн} = 5t_{зр}. \quad (18.9)$$

Условное графическое обозначение одnorазрядного сумматора приведено на рис. 18.4, б.

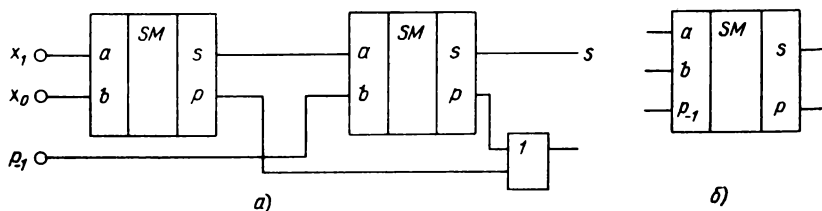


Рис. 18.4. Одnorазрядный сумматор (а) и его условное обозначение (б)

18.2.5. МНОГОРАЗРЯДНЫЙ СУММАТОР ПАРАЛЛЕЛЬНОГО ДЕЙСТВИЯ

В этом сумматоре, согласно данному ранее определению, операции суммирования должны выполняться одновременно по всем разрядам исходных двоичных чисел. Из этого следует, что такой сумматор должен иметь отдельные аппаратные средства для выполнения суммирования в каждом разряде.

Рассмотрим приведенную на рис. 18.5 типовую структуру 4-разрядного сумматора, выполненного с использованием трех одноразрядных сумматоров и одного полусумматора. Разряды кодов слагаемых подаются на соответствующие входы сумматоров, выходы суммы которых подсоединяются к первым входам ЛЭ И, используемых в качестве выходных ключей, на вторые входы которых подается сигнал Z , определяющий момент считывания результата. Выход сигнала переноса сумматора нулевого разряда подается на вход переноса сумматора первого разряда и т. д.

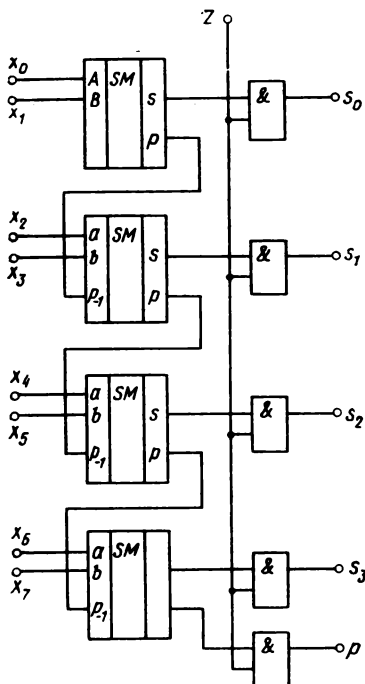


Рис. 18.5. Структурная схема параллельного многоразрядного сумматора с последовательным переносом

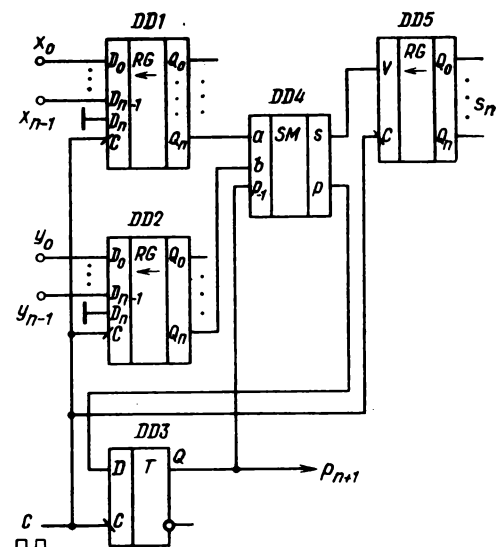


Рис. 18.6. Структурная схема многоразрядного сумматора последовательного действия

Из сказанного следует, что для получения на выходе сигнала, равного реальной сумме входных кодов, необходимо, чтобы сигнал переноса последовательно сформировался на выходах сумматоров всех разрядов. Следовательно, не зависимо от того, что для суммирования в каждом разряде используется отдельный сумматор, реальное время выполнения операции в данной схеме определяется последовательным переносом сигнала P из разряда в разряд. Поэтому результат, который может быть снят с выхода схемы через время, равное времени суммирования в одном разряде, не будет являться реальным значением искомой суммы.

Для исключения получения ложного результата на выходе схемы установлены элементы И. Сигнал Z на входах этих элементов должен появляться не ранее, чем после последовательной передачи сигнала переноса по всем разрядам сумматоров.

Следует отметить, что реально схемы многоразрядных сумматоров строятся только с применением одnorазрядных сумматоров, что позволяет, используя их последовательное включение, увеличить разрядность кодов слагаемых.

В этом случае, с учетом выражений (18.7)—(18.9) общее время формирования сигнала результата в рассматриваемой схеме

$$t_{\Sigma} = t_{3p} [6 + 2(n - 1)], \quad (18.10)$$

где n — разрядность кодов слагаемых.

Реальное время суммирования для 4-разрядного сумматора рассматриваемого типа равно $12t_{3p}$, что в два раза больше времени суммирования одnorазрядного сумматора. Выходной сигнал переноса, именуемый также сигналом переполнения, формируется за время $t_{\Sigma n} = 11t_{3p}$, т. е. несколько быстрее.

18.2.6. МНОГОРАЗРЯДНЫЙ СУММАТОР ПОСЛЕДОВАТЕЛЬНОГО ДЕЙСТВИЯ

Операцию сложения двух многоразрядных слов можно реализовать с использованием только одного одnorазрядного сумматора. Этот сумматор последовательно разряд за разрядом, начиная с младшего, выполняет операцию сложения в соответствующих разрядах. Однако получаемое таким образом упрощение аппаратных средств приводит к существенному снижению быстродействия устройства.

Рассмотрим приведенную на рис. 18.6 типовую схему многоразрядного сумматора последовательного действия.

Для реализации такого устройства необходимы три сдвиговых регистра, один D -триггер и один одnorазрядный сумматор. При этом входы синхронизации одного из регистров и D -триггера

Размещение кодов слагаемых во входных регистрах
последовательного сумматора

Разряд регистра	Q_0	Q_1	\dots	Q_{n-2}	Q_{n-1}	Q_n
Записанное значение весового коэффициента	x_{n-1}	x_{n-2}	\dots	x_1	x_0	0

должны быть инверсны соответствующим входам двух оставшихся сдвиговых регистров.

В общем случае регистры могут не являться собственно принадлежностью устройства. Два из них необходимы для хранения кодов слагаемых и последовательной поразрядной подачи их на входы одноразрядного сумматора. Третий используется для приема результата в последовательной форме.

Рассмотрим работу данной схемы. Для суммирования двух кодов они предварительно должны быть записаны в сдвиговые регистры $DD1$ и $DD2$. При этом неважно, каким образом (параллельным или последовательным) это выполняется. Главным требованием является такое размещение кода в разрядных схемах регистров, при котором в его старшие разряды Q_n записываются сигналы лог. 0, в разряды Q_{n-1} — младшие разряды кодов слагаемых и т. д. (табл. 18.3).

Следовательно, для сложения двух n -разрядных кодов необходимы $(n+1)$ -разрядные регистры. Указанные условия размещения должны выполняться при использовании регистров, сдвигающих влево.

Перед выполнением операции D -триггер должен быть сброшен. Состояние разрядных схем регистра $DD5$ приема результата — безразличное.

Суммирование требует подачи на тактовый вход устройства n импульсов синхронизации. Причем начальный перепад первого импульса синхронизации должен быть активным для входов C регистров $DD1$ и $DD2$ хранения кодов слагаемых.

По фронту импульса синхронизации на выходах Q_n сдвиговых регистров $DD1$ и $DD2$ появляются значения младших разрядов кодов слагаемых (x_0 и y_0). Так как на выходе Q D -триггера $DD3$ присутствует нулевой сигнал, на выходе одноразрядного сумматора $DD4$ через время $t_{0\Sigma}$ будут сформированы сигналы суммы и переноса для младших разрядов. По срезу импульса синхронизации полученные значения переписутся соответственно в младший разряд сдвигового регистра $DD5$ и D -триггер $DD3$. Таким образом, к приходу следующего импульса синхронизации в D -триггере^а будет храниться сигнал переноса, полученный при суммировании

младших разрядов исходных кодов, а в разряде Q_0 сдвигового регистра $DD5$ — младший разряд суммы.

Фронт второго импульса синхронизации переписшет из Q_{n-1} разрядов сдвигающих регистров $DD1$ и $DD2$ на входы одноразрядного сумматора значения сигналов вторых разрядов кодов слагаемых (x_1 и y_1). Совместно с сигналом переноса, снимаемым с выхода D -триггера, это приведет к формированию на его выходах новых значений сигналов суммы и переноса, которые по срезу импульса синхронизации переписнутся соответственно в сдвиговый регистр $DD5$ и D -триггер $DD3$.

Таким образом, по фронту каждого импульса синхронизации на входе одноразрядного сумматора будут последовательно появляться значения разрядов кодов слагаемых, начиная с младшего, и сигналы переноса от результата сложения предыдущих разрядов. По каждому срезу импульса синхронизации значение новой суммы переписывается в выходной сдвиговый регистр, а значение сигнала переноса, которое необходимо учесть в следующем разряде, запоминается в D -триггере. После окончания n -го импульса синхронизации результат сложения будет храниться в регистре $DD5$. Причем в его старшем разряде будет находиться младший разряд результата.

Согласно описанному алгоритму, минимальное время суммирования в данной схеме для двух n -разрядных кодов определяется выражением

$$t_{\text{рез}} = 6nt_{\text{з.р.}} \quad (18.11)$$

При суммировании 4-разрядных кодов, это время в два раза больше, чем полученное при использовании описанного в предыдущем разделе параллельного сумматора. Из описанного алгоритма работы следует, что сложность технической реализации последовательного сумматора не зависит от разрядности кодов слагаемых.

При увеличении разрядности кодов слагаемых проигрыш в быстродействии и выигрыш в простоте технической реализации будут увеличиваться. Поэтому применение многоразрядных сумматоров последовательного действия оправдано лишь в тех случаях, когда определяющим фактором является требование максимального упрощения технической реализации устройства при предъявлении низких требований к его быстродействию. Примером такого устройства является калькулятор.

18.3. ПОВЫШЕНИЕ БЫСТРОДЕЙСТВИЯ СУММАТОРОВ

Как следует из сравнения характеристик рассмотренных многоразрядных сумматоров, для повышения быстродействия необходимо применять параллельные сумматоры, скорость суммирования

которых ограничивается только использованием последовательного принципа передачи сигнала переноса. В этом смысле схема параллельного сумматора подобна схеме счетчика с последовательным переносом. В худшем случае сигнал переноса, сформированный при сложении младших разрядов кодов слагаемых, должен быть последовательно перенесен в старший разряд. Следствием этого является зависимость реального времени суммирования от конкретных значений кодов слагаемых. В этом смысле выражение (18.10) определяет максимально возможное время суммирования. Увеличение разрядности кодов слагаемых только ухудшает положение. По этой причине задача минимизации времени суммирования при разработке быстродействующих цифровых устройств всегда стоит очень остро.

Подобие способов передачи сигнала переноса многоразрядных сумматоров и счетчиков позволяет при разработке быстродействующих сумматоров заимствовать использованные в счетчиках технические решения. К таким решениям относятся:

- уменьшение числа элементов и разветвленности цепей, используемых для формирования сигнала переноса;

- применение в цепях формирования сигнала переноса элементов с повышенным быстродействием;

- использование цепей переноса не в последовательной, а в параллельной формах;

- выделение групп сумматоров с организацией дополнительных цепей передачи сигнала переноса.

Рассмотрим некоторые примеры практической реализации перечисленных методов.

18.3.1. СУММАТОРЫ С ПАРАЛЛЕЛЬНЫМ ПЕРЕНОСОМ

Суть построения сумматоров с параллельным переносом состоит в отказе от использования при суммировании i -х разрядов кодов слагаемых сигнала переноса, сформированного при суммировании предыдущих $(i-1)$ -х разрядов. В каждом разряде как сигнал суммы, так и сигнал переноса непосредственно формируются из входных переменных.

Устройство, формирующее сигналы переноса непосредственно из значений входных кодов, обычно называют блоком ускоренного переноса (БУП). Для пояснения возможности реализации такого решения вернемся к исходному выражению для формирования сигнала переноса в i -м разряде (18.6)

$$p_i = x_i y_i + (x_i \oplus y_i) p_{i-1}.$$

Используя теорему 11 из § 14.6, преобразуем его к виду, содержа-

щему логические суммы и произведения переменных i -го разряда кода в слагаемых

$$\begin{aligned} p_i &= x_i y_i + (\bar{x}_i y_i + x_i \bar{y}_i) p_{i-1} = x_i y_i + p_{i-1} \bar{x}_i y_i + p_{i-1} x_i \bar{y}_i = \\ &= x_i (y_i + p_{i-1} \bar{y}_i) + p_{i-1} \bar{x}_i y_i = x_i (p_{i-1} + y_i) + p_{i-1} \bar{x}_i y_i = \\ &= x_i y_i + p_{i-1} (x_i + \bar{x}_i y_i) = x_i y_i + p_{i-1} (x_i + y_i). \end{aligned}$$

Для упрощения математической записи введем следующие понятия:

$g_i = x_i y_i$ — функция переноса;

$h_i = x_i + y_i$ — функция передачи переноса.

Согласно табл. 18.2 $g_i = 1$ только в том случае, если сигнал переноса формируется в i -м разряде независимо от наличия переноса из более младшего разряда. Из тех же соображений сигнал h_i равен единице в том случае, если хотя бы одно из слагаемых равно 1. Если $h_i = 1$, то сигнал переноса будет сформирован только при наличии переноса из более младшего разряда. Если $x_i = y_i = 1$, то $g_i = h_i = 1$.

Используя введенные понятия, перепишем выражение для p_i в виде

$$p_i = g_i + p_{i-1} h_i. \quad (18.12)$$

Вполне очевидно, что и сигнал переноса p_{i-1} подчиняется выражению (18.12) $p_{i-1} = g_{i-1} + p_{i-2} h_{i-1}$. Подставляя полученное выражение в (18.12), получаем

$$p_i = g_i + h_i (g_{i-1} + p_{i-2} h_{i-1}) = g_i + h_i g_{i-1} + h_i h_{i-1} p_{i-2}.$$

Выполняя аналогичные действия вплоть до нулевого разряда, найдем обобщенную ФАЛ, описывающую закон формирования сигнала переноса в произвольном разряде

$$p_i = g_i + h_i g_{i-1} + h_i h_{i-1} g_{i-2} + \dots + h_i h_{i-1} h_{i-2} \dots h_0 p, \quad (18.13)$$

где p — сигнал переноса, переданный на вход схемы при последовательном соединении нескольких однотипных устройств.

Используя (18.13), запишем выражения для формирования сигналов переноса в 4-разрядном сумматоре. Полученные ФАЛ приведем к базису элементов И—НЕ

$$\begin{aligned} p_0 &= g_0 + h_0 p = \overline{(x_0 y_0)} \overline{(x_0 + y_0)} p = (x_0 | y_0) | [(x_0 | y_0) | p], \\ p_1 &= g_1 + h_1 g_0 + h_1 h_0 p = x_1 y_1 + (x_1 + y_1) x_0 y_0 + (x_1 + y_1) (x_0 + y_0) p = \\ &= (x_1 y_1) + (\overline{x_1 y_1}) x_0 y_0 + (\overline{x_1 y_1}) (\overline{x_0 y_0}) (\overline{x_0 y_0}) p = \\ &= (x_1 | y_1) | \{(\overline{x_1} | \overline{y_1}) | x_0 | y_0\} | \{(\overline{x_1} | \overline{y_1}) | (\overline{x_0} | \overline{y_0}) | p\}, \end{aligned}$$

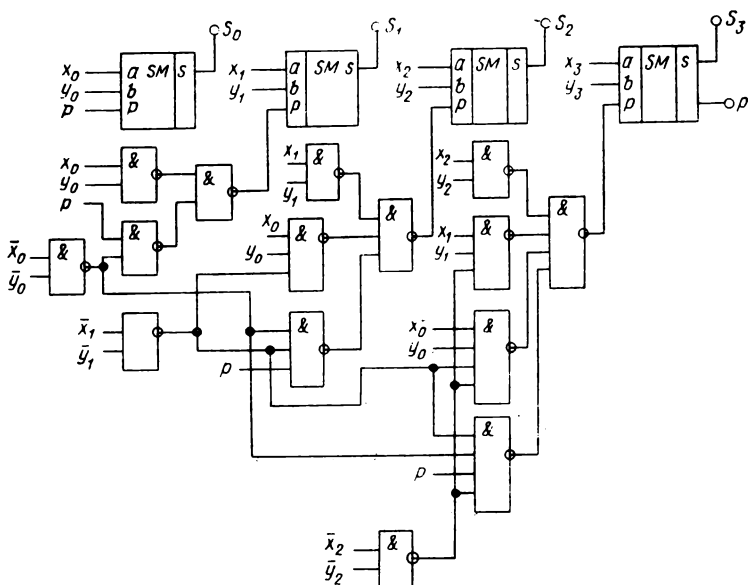


Рис. 18.7. Структурная схема 4-разрядного сумматора с параллельным переносом

$$\begin{aligned}
 p_2 &= g_2 + h_2g_1 + h_2h_1g_0 + h_2h_1h_0p + x_2y_2 + (x_2 + y_2)x_1y_1 + \\
 &+ (x_2 + y_2)(x_1 + y_1)x_0y_0 + (x_2 + y_2)(x_1 + y_1)(x_0 + y_0)p = \\
 &= (x_2 | y_2) | \{(x_2 | \bar{y}_2) | x_1 | y_1\} | \{(x_2 | \bar{y}_2) | (x_1 | \bar{y}_1) | x_0 | y_0\} | \\
 &| \{(x_2 | \bar{y}_2) | (x_1 | \bar{y}_1) | (x_0 | \bar{y}_0) | p\}.
 \end{aligned}$$

Техническая реализация 4-разрядного сумматора с параллельным переносом показана на рис. 18.7. Нетрудно посчитать, что с учетом получения инверсных значений разрядов кодов слагаемых, время формирования сигнала переноса для любого разряда постоянно и равно $t_{\text{п.н.}} = 4t_{\text{з.р.}}$. Поэтому общее время суммирования для схемы с параллельным переносом

$$t_{\text{п.н.}} = t_{\text{у.н.}} + t_{\text{н.з.}} = 7t_{\text{з.р.}} \quad (18.14)$$

Очевидно, что при увеличении разрядности кодов слагаемых применение описанного технического решения позволяет значительно увеличить скорость суммирования.

Недостатком метода, так же как и в счетчиках с параллельным переносом, является значительное усложнение схемы устройства при повышении разрядности кодов слагаемых. Поэтому схемы сумматоров с параллельным переносом обычно реализуют для

малого числа разрядов (обычно не более четырех). При необходимости разработки сумматоров с большей разрядностью обычно применяют устройства с групповой структурой.

18.3.2. СУММАТОРЫ С ГРУППОВОЙ СТРУКТУРОЙ

Идея построения сумматоров с групповой структурой повторяет принцип, использованный в счетчиках с комбинированным переносом. Одноразрядные сумматоры многоразрядного устройства разбиваются на группы так, чтобы выполнялось условие $n = ml$, где n — общее число разрядов сумматора; l — число выделенных групп; m — число одноразрядных сумматоров в одной группе.

При этом как в каждой группе, так и между группами возможны различные виды переноса. Среди подобных структур наибольшее распространение получили схемы с цепным и параллельно-параллельным переносом.

Сумматоры с цепным переносом реализуют внутри выделенных групп параллельный перенос, в то время как между группами использован принцип последовательного переноса. Такой подход, повышая быстродействие многоразрядного сумматора, позволяет значительно упростить его схему. Это достигается за счет ограничения числа входных сигналов БУП только сигналами данной группы сумматоров.

На рис. 18.8 приведен пример реализации данного принципа. Каждая из l групп, кроме последней, состоит из m -разрядного сумматора с параллельным переносом и БУП, формирующего входной сигнал переноса для последующей группы сумматоров. Особенностью используемого БУП является формирование только одного сигнала переноса, что упрощает его структуру. На рис. 18.9 в качестве примера приведена спроектированная с использованием ФАЛ (18.13) логическая схема такого БУП для $m=4$

$$\begin{aligned} p_m &= g_3 + h_3 g_2 + h_3 h_2 g_1 + h_3 h_2 h_1 h_0 + h_3 h_2 h_1 h_0 p \dots \\ &= (x_3 | y_3) | \{(\bar{x}_3 | \bar{y}_3) | x_2 | y_2\} | \{(\bar{x}_3 | \bar{y}_3) | (\bar{x}_2 | \bar{y}_2) | x_1 | y_1\} | \\ &\quad | \{(\bar{x}_3 | \bar{y}_3) | (\bar{x}_2 | \bar{y}_2) | (\bar{x}_1 | \bar{y}_1) | x_0 | y_0\} | \\ &\quad | \{(\bar{x}_3 | \bar{y}_3) | (\bar{x}_2 | \bar{y}_2) | (\bar{x}_1 | \bar{y}_1) | (\bar{x}_0 | \bar{y}_0) | p\}. \end{aligned}$$

Результирующее время суммирования в схемах рассматриваемого типа определяется соотношением

$$t_{\Sigma} = [7 + 4(l - 1)] t_{3p}. \quad (18.15)$$

Так, при построении по схеме рис. 18.8 16-разрядного сумматора ($m=l=4$) $t_{\Sigma} = 19t_{3p}$.

Для сравнения аналогичная схема с использованием принципа последовательной передачи сигнала переноса обеспечит задержку

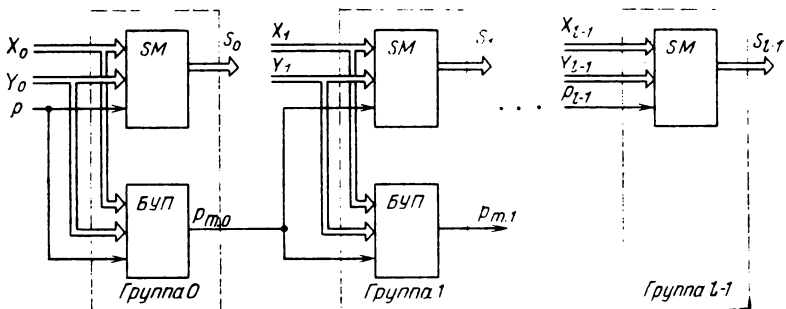


Рис. 18.8. Структурная схема многоразрядного сумматора с цепным переносом

получения результата $t_{\Sigma} = [6 + 2(16 - 1)t_{3p}] = 36t_{3p}$, т. е. в 1,94 раза больше.

Сумматор с параллельно-параллельным переносом реализует как внутри групп, так и между группами принцип параллельного переноса. Это позволяет без излишнего усложнения схемы устройства получить максимально высокое быстродействие. По сути в данной схеме один и тот же принцип формирования сигналов переноса применен дважды: один раз — внутри каждой группы, второй — между группами. Поэтому для формирования сигнала переноса между группами используются функция переноса g_i и передачи переноса h_i , аналогичные рассмотренным в п. 18.3.1.

Структурная схема, реализующая данный принцип, приведена на рис. 18.10. Суммарное время выполнения операции суммирования в рассматриваемой структуре $t_{\Sigma} = 11t_{3p}$.

Увеличение разрядности кодов слагаемых приводит к необходимости увеличения либо числа групп сумматоров, либо числа сумматоров в каждой группе, что чрезмерно усложняет техническую реализацию схемы блока ускоренного переноса. Упрощения этой схемы можно добиться объединением групп сумматоров в

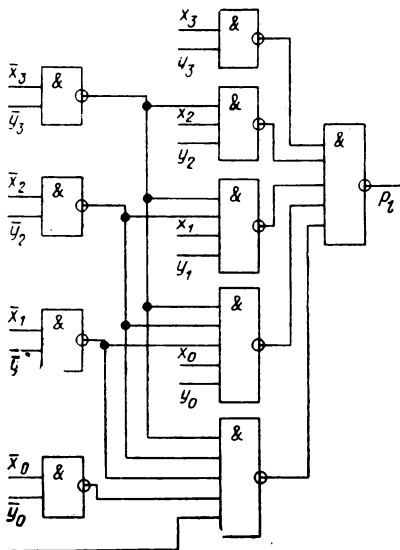


Рис. 18.9. Структурная схема блока ускоренного переноса 4-разрядного сумматора с цепным переносом

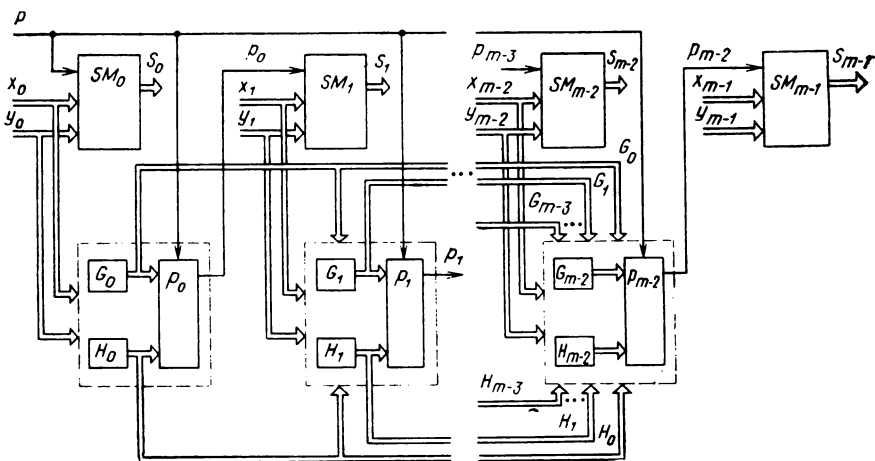


Рис. 18.10. Структурная схема многоразрядного сумматора с параллельно-параллельным переносом

подгруппы при организации между этими подгруппами параллельного переноса, т. е. принцип параллельного переноса в таких схемах применяется трижды.

Строго говоря, при увеличении разрядности кодов слагаемых этот принцип можно применять и большее число раз, что позволяет получить высокое быстродействие сумматора при относительно простых технических решениях блока ускоренного переноса.

Частным случаем сумматора с параллельно-параллельным переносом является *сумматор с условным переносом*. Суть его построения заключается в следующем: N -разрядный сумматор разбивают на две подгруппы. В подгруппе младших разрядов суммирование ведется как в обычной схеме. Суммирование в подгруппе старших разрядов выполняется для $p=1$ и $p=0$. К моменту окончания суммирования в подгруппе младших разрядов результат суммирования в подгруппе старших разрядов для обоих значений сигнала переноса уже готов. В зависимости от полученного значения сигнала переноса в подгруппе младших разрядов остается выбрать нужный результат от суммирования в подгруппе старших разрядов.

18.4. АЛГОРИТМ ВЫЧИТАНИЯ ДВОИЧНЫХ ЧИСЕЛ

Из математики известно, что операцию вычитания двух чисел можно заменить операцией сложения, если в качестве вычитаемого взять число, знак которого противоположен исходному. Ис-

пользование такого подхода позволяет значительно упростить техническую реализацию АЛУ, так как для выполнения операции вычитания можно использовать схемы сумматоров. При этом весьма актуальным является вопрос представления отрицательных чисел в виде двоичных кодов.

На практике для представления отрицательных чисел наибольшее распространение получил метод, в котором для обозначения знака используется старший разряд его двоичного кода. Так, если используется 8-разрядный двоичный код, то семь его разрядов содержат информацию о величине (модуле) числа, а восьмой (старший) — о его знаке. Обычно присутствие в этом разряде нуля означает, что число положительное, присутствие единицы — что число отрицательное. Следовательно, используя 8-разрядный код, можно записать числа с десятичными эквивалентами от -127 до $+127$.

Однако присутствие знакового разряда непосредственно не позволяет использовать рассмотренные ранее схемы сумматоров для выполнения операции вычитания чисел, представленных в прямом двоичном коде. Наиболее часто для записи отрицательного числа используется дополнительный код.

Алгоритм получения дополнительного кода двоичного числа сводится к следующему:

записывают обратный код исходного числа, для чего все его разряды инвертируют (заменяют дополнениями);

к полученному после инвертирования коду добавляют единицу.

В дальнейшем, при сложении полученного таким образом кода вычитаемого с кодом уменьшаемого будет реализована операция вычитания. При этом знак результата определяется старшим разрядом полученного кода. Если старший разряд равен нулю, получено положительное число, представленное в прямом коде. Если старший разряд равен единице, получено отрицательное число, представленное в дополнительном коде. Проиллюстрируем сказанное на примере.

Пример 8.1. Используя дополнительный код, найти разность $31-12$.

Решение. 1. Прямые двоичные коды заданных чисел

$$31_{10} = 00011111_2; 12_{10} = 00001100_2.$$

2. Обратный код вычитаемого 11110011.

3. Дополнительный код вычитаемого $11110011 + 00000001 = 11110100$.

4. Сложение

$$\begin{array}{r} 00011111 \\ + \\ 11110100 \\ \hline 100010011 \end{array}$$

Полученный результат представлен 9-разрядным двоичным кодом. В этом случае самый старший девятый разряд отбрасывают. Полученное двоичное число содержит нуль в старшем разряде. Поэтому результат положителен и представлен в прямом коде. Нетрудно видеть, что его десятичный эквивалент равен 19.

Пример 18.2. Используя дополнительный код, найти разность 12—31.

Решение. 1. Обратный код вычитаемого 11100000.

2. Дополнительный код вычитаемого $11100000 + 00000001 = 11100001$.

3. Сложение

$$\begin{array}{r} 00001100 \\ + \\ 11100001 \\ \hline 11101101 \end{array}$$

Старший разряд полученного результата равен единице. Следовательно, получено отрицательное число, записанное в дополнительном коде. Для получения прямого кода можно воспользоваться приведенным выше алгоритмом преобразования прямого кода в дополнительный. Однако существует более простое правило такого преобразования: дополнительный код просматривают справа налево, оставляя без изменения все встретившиеся при этом значения лог. 0. Первую встретившуюся лог. 1 также пропускают, а далее все цифры инверсируют. Результатом такого преобразования будет прямой код числа.

Проделав описание действия с полученным кодом, получим код 00010011, что с учетом знака эквивалентно числу —19₁₀.

Следует отметить, что аналогично можно выполнить и преобразование прямого кода в дополнительный. Таким образом, использование при представлении отрицательных чисел дополнительного кода позволяет применить для выполнения операции сложения и вычитания единую логическую схему.

18.5. РЕАЛИЗАЦИЯ ОПЕРАЦИЙ АРИФМЕТИЧЕСКОГО СЛОЖЕНИЯ И ВЫЧИТАНИЯ

Рассмотрим часть структурной схемы логического устройства (рис. 18.11), предназначенного для выполнения операций арифметического сложения и вычитания. Для упрощения приведено только два разряда устройства. Схема состоит из общего управляющего узла на элементе 2ИЛИ (DD1) и блоков сложения-вычитания (БСВ), число которых равно разрядности кодов слагаемых (в данном случае двум). Схема имеет два входа управления: вход сложения «+» и вход вычитания «—», а также входы для ввода слов данных. С выхода устройства снимаются сигналы суммы и переноса в более старшие разряды. Между сумматорами БСВ реализован принцип последовательного переноса.

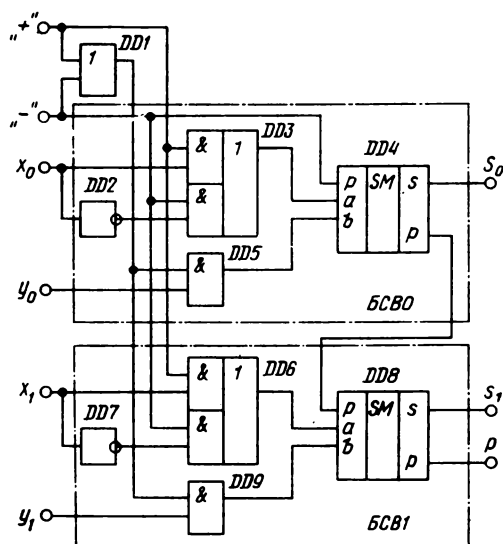


Рис. 18.11. Структурная схема сложения-вычитания 2-разрядных кодов

В исходном состоянии на входы управления режимом работы устройства поданы сигналы лог. 0. При этом на первые входы элементов 2И $DD5$, $DD9$ и элементов 2И сложной логики $DD3$ и $DD6$ поданы активные логические сигналы. Вследствие этого на всех входах одноразрядных сумматоров независимо от значения входных кодов слагаемых присутствуют нулевые сигналы. Соответственно равны нулю и выходные сигналы схемы.

Предположим, что на вход сложения «+» подан сигнал лог. 1. В этом случае на первые входы элементов 2И $DD5$ и $DD9$, а также первые входы верхних элементов 2И элементов сложной логики $DD3$ и $DD6$ будут поданы пассивные логические сигналы (сигналы лог. 1). На первые входы нижних элементов 2И в $DD3$ и $DD6$ по-прежнему будут поданы активные логические сигналы. Поэтому на входах сумматоров $DD4$ и $DD8$ будут присутствовать сигналы, значения которых определены кодами слагаемых. С выхода устройства будут сняты сигналы, равные результату сложения, и сигнал переноса.

Если сигнал лог. 1 будет подан на вход вычитания, то на первые входы элементов 2И $DD5$ и $DD9$ по-прежнему будет подан пассивный логический сигнал и на входы «b» сумматоров поступит прямой код уменьшаемого. На первые входы верхних элементов 2И в $DD3$ и $DD6$ придут активные, а на аналогичные входы нижних элементов 2И — пассивные логические сигналы. В резуль-

тате этого код вычитаемого попадает на входы «а» сумматоров через инверторы, т. е. инвертированным. Одновременно на входе переноса сумматора *DD4* нулевого разряда появится единичный сигнал. Учитывая сказанное в предыдущем разделе, можно сказать, что на входы «а» сумматоров будет подан дополнительный код вычитаемого. Поэтому на выходах сумматоров будет сформирован сигнал разности двух кодов $Y-X$.

Очевидно, что подача на оба управляющих входа схемы сигналов лог. 1 является недопустимой, так как это нарушает ее работу.

Таким образом, рассмотренная схема позволяет получить на выходе сигнал либо суммы, либо разности двух двоичных кодов. Вид выполняемой операции определяется значением управляющего сигнала.

18.6. ДВОИЧНО-ДЕСЯТИЧНЫЕ СУММАТОРЫ

Кроме двоичных, в вычислительной технике часто используются так называемые двоично десятичные коды. Они отображают выраженные в виде последовательности двоичных разрядов десятичные числа. Очевидно, что для представления десятичных цифр необходимо, как минимум, 4-разрядный двоичный код. При этом из 16 возможных его комбинаций используется только 10. Это предполагает разработку большого числа различных двоично-десятичных кодов.

На практике большое распространение получил класс так называемых *взвешенных кодов*. В этих кодах каждому разряду двоичного числа приписывается вполне определенный весовой коэффициент. В качестве примера в табл. 18.4 приведено соответствие десятичных чисел и их двоичных и двоично-десятичных эквивалентов. Весовые коэффициенты его двоичных разрядов соответственно равны 8, 4, 2, 1.

Из приведенной таблицы следует, что 4-разрядные двоичные коды с 1010 по 1111 не имеют 4-разрядного двоично-десятичного эквивалента. Так, число 12 в двоично-десятичном коде представляется 8-разрядным кодом 00010010, а число 16 — кодом 00010110.

Описанная особенность двоично-десятичного кода предполагает использование для суммирования специальных логических схем. Смысл их построения состоит в том, что сначала двоично-десятичные коды суммируются как двоичные. Если результатом суммирования является несуществующий двоично-десятичный код, его необходимо уменьшить на 10, и дополнительно сформировать сигнал переноса. Уменьшение кода на 10 может выполняться его суммированием с дополнительным кодом числа 10 (0110).

Необходимость выполнения такого суммирования согласно табл. 18.4 выражается ФАЛ: $F = x_3(x_1 + x_2)$. Очевидно, что такое

Двоично-десятичный код

Двоичный код $x_3x_2x_1x_0$				Двоично-десятичный код				Десятичное число			
1				2				3			
0	0	0	0				0 0 0 0				0
0	0	0	1				0 0 0 1				1
0	0	1	0				0 0 1 0				2
0	0	1	1				0 0 1 1				3
0	1	0	0				0 1 0 0				4
0	1	0	1				0 1 0 1				5
0	1	1	0				0 1 1 0				6
0	1	1	1				0 1 1 1				7
1	0	0	0				1 0 0 0				8
1	0	0	1				1 0 0 1				9
1	0	1	0		0 0 0 1		0 0 0 0				10
1	0	1	1		0 0 0 1		0 0 0 1				11
1	1	0	0		0 0 0 1		0 0 1 0				12
1	1	0	1		0 0 0 1		0 0 1 1				13
1	1	1	0		0 0 0 1		0 1 0 0				14
1	1	1	1		0 0 0 1		0 1 0 1				15

же суммирование необходимо выполнять и в случае, если в результате первого суммирования получен сигнал переноса в старший разряд. С учетом сказанного, ФАЛ необходимости выполнения дополнительного суммирования имеет вид

$$F = x_3(x_1 + x_2) + P. \quad (18.16)$$

Таким образом, для реализации операции сложения двух двоично-десятичных кодов необходимы два многоразрядных сумматора и логическая схема, обеспечивающая формирование выходного сигнала в соответствии с ФАЛ (18.16).

Пример реализации такого устройства показан на рис. 18.12. Четырехразрядный сумматор *DD1* выполняет арифметическое сложение исходных двоично-десятичных кодов. Логическая схема на элементах *DD2*, *DD3* и *DD4*, реализуя ФАЛ (18.16), определяет необходимость дополнительного суммирования, выполняемого сумматором *DD5*.

Работу схемы рассмотрим на примере суммирования кодов 0111 и 0100. При подаче этих кодов на вход сумматора *DD1* на его выходе формируется сигнал 1011, не имеющий двоично-десятичного эквивалента. Одновременно в соответствии с ФАЛ (18.16) на выходе элемента *DD4* появится сигнал лог. 1 и на входах b_2 , b_1 , b_0 сумматора *DD5* сформируется код 011. Этот код просуммируется с кодом 101, снимаемым с выводов s_3 , s_2 , s_1 элемента *DD1*. В результате на выходах сумматора *DD5* будет сформирован код 000, а общим резуль-

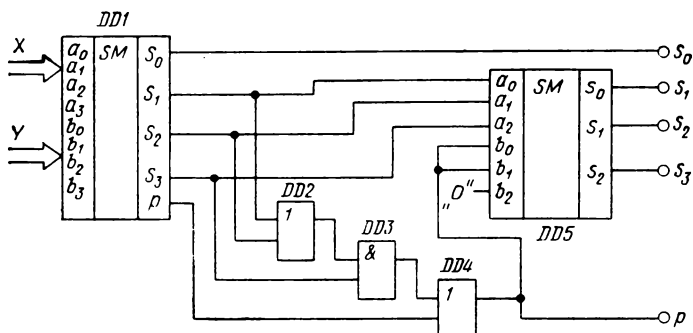


Рис. 18.12. Двоично-десятичный сумматор

татом суммирования исходных двоично-десятичных кодов будет код 0001 и сигнал переноса, снимаемый с выхода элемента *DD4*.

Если в результате суммирования на выходе элемента *DD1* будет сформирован допустимый (существующий) двоично-десятичный код, на выходе элемента *DD4* будет присутствовать нулевой логический сигнал, и сумматор *DD5* выполнит суммирование выходного кода *DD1* с кодом нуля, что не изменит его значения.

Из описанного алгоритма следует, что при любых комбинациях входных кодов к значению младшего разряда S_0 сумматора *DD1* добавляется код нуля. Это не изменяет его значения и поэтому в качестве *DD5* можно использовать 3-разрядный сумматор. Однако на практике для выполнения данной операции отдается предпочтение программным методам.

18.7. ВЫПОЛНЕНИЕ ЛОГИЧЕСКИХ ОПЕРАЦИЙ

Как уже отмечалось, кроме операций арифметического сложения и вычитания АЛУ должно выполнять ряд логических операций. В качестве примера рассмотрим схему, обеспечивающую реализацию операций логического сложения и умножения, суммы по модулю два и инверсии. Общим для всех перечисленных операций является то, что они исполняются над каждым разрядом входных кодов отдельно без связи с другими разрядами. То есть это операции между разрядами регистров, хранящих исходную информацию. Полученный результат хранится в одном из этих же регистров.

На рис. 18.13 приведена схема, иллюстрирующая выполнение перечисленных операций для одного разряда входных кодов. Триггер TT_A (*DD4*) принадлежит регистру аккумулятора (*A*), а триггер TT_1 (*DD5*) — буферному регистру 1 (см. рис. 18.1). Выбор исполняемой операции осуществляется подачей сигнала лог. 1 на соответствующий управляющий вывод устройства.

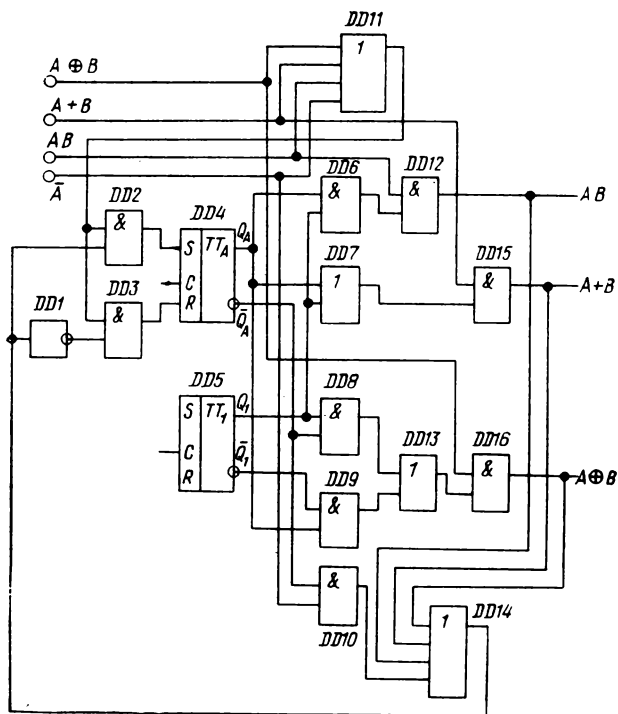


Рис. 18.13. Структурная схема реализации операций логического сложения, вычитания, суммы по модулю два и инверсии

Суть построения схемы заключается в том, что она содержит цепи, одновременно выполняющие все четыре указанные логические операции. Элемент $DD6$ формирует на выходе сигнал $Q_A Q_1$, элемент $DD7$ — сигнал $Q_A + Q_1$, элементы $DD8$, $DD9$ и $DD13$ — сигнал $\bar{Q}_A Q + Q_A \bar{Q}_1$. Значение \bar{Q}_A берется непосредственно с инверсного выхода триггера $DD4$. При подаче соответствующего управляющего сигнала при помощи элементов 2И $DD12$, $DD15$, $DD16$ и $DD10$, выполняющих роль логических ключей, происходит выбор нужного результата и с помощью элементов 4ИЛИ ($DD14$) 2И $DD2$, и $DD3$ и инвертора $DD1$ его последующая запись по тактовому импульсу в триггер $DD4$.

В исходном состоянии на все управляющие входы схемы поданы сигналы лог. 0. При этом на выходе элемента 4ИЛИ $DD11$ также формируется нулевой сигнал. В результате на первые входы элементов 2И $DD2$, $DD3$, $DD12$, $DD15$, $DD16$ и $DD10$ поданы

активные логические сигналы. Поэтому их выходные сигналы имеют низкий уровень, что предполагает хранение в триггере *DD4* исходной информации.

Допустим, на управляющий вход *AB* подан сигнал лог. 1. При этом на верхний вход элемента *2И DD12* подается пассивный логический сигнал и его выходной уровень повторяет значение выходного сигнала элемента *DD6*, реализующего операцию логического умножения. Этот сигнал через элемент *4ИЛИ DD14* и инвертор *DD1* поступает на нижние входы элементов *2И DD2* и *DD3*. Сигнал элемента *4ИЛИ DD11*, поступающий на верхние входы элементов *2И DD2* и *DD3*, равен лог. 1 и на входах *R* и *S* триггера *DD4* формируются сигналы, определяемые результатом выполнения операции логического умножения. С приходом на вход *C* триггера *DD4* очередного импульса синхронизации произойдет запись в него новой информации.

Принцип действия схемы при подаче сигнала лог. 1 на другие управляющие входы подобен вышеописанному. Дополнив устройство узлами, выполняющими другие логические операции, можно легко расширить функциональные возможности схемы. Следует отметить, что, как и в схеме рис. 18.11, одновременная подача нескольких управляющих сигналов в рассматриваемом устройстве является недопустимой.

18.8. ИНТЕГРАЛЬНЫЕ СХЕМЫ АЛУ

В настоящее время практически все АЛУ выполняются в интегральном исполнении и промышленностью выпускаются различные серии соответствующих ИС. Проиллюстрируем функциональные возможности таких схем на примере ИС *K555ИПЗ*. Ее условное обозначение приведено на рис. 18.14.

Данная схема оперирует с двумя 4-разрядными входными кодами и способна выполнять 16 логических и 16 арифметических операций. Тип выполняемой операции (логическая или арифметическая) определяется уровнем управляющего сигнала на входе *M* (mode control). Если *M=1*, то в схеме блокируются все внутренние переносы и она поразрядно выполняет логические операции. При *M=0* разблокируются внутренние переносы и ИС выполняет арифметические операции над 4-разрядными входными кодами. Конкретный вид выполняемой операции определяется управляющим кодом, присутствующим на выводах *S₃*, *S₂*, *S₁*, *S₀*. Результаты выполненной операции снимаются с выходных выводов *F₃*, *F₂*, *F₁*, *F₀*. Схема снабжена входом *P₀* и выходом *P_n* переноса, а также выходами *G* и *H*, используемыми при построении многоразрядных АЛУ соответ-

<i>P₀</i>	<i>ALU</i>	<i>G</i>
<i>a₀</i> <i>b₀</i>		<i>H</i>
<i>a₁</i> <i>b₁</i>		<i>P_n</i>
<i>a₂</i> <i>b₂</i>		<i>F₀</i>
<i>a₃</i> <i>b₃</i>		<i>F₁</i>
<i>S₀</i>		<i>F₂</i>
<i>S₁</i>		<i>F₃</i>
<i>S₂</i>		<i>K</i>
<i>S₃</i>		
<i>M</i>		

Рис. 18.14. Условное обозначение АЛУ

ственно с последовательным и параллельным переносами. В последнем случае к выходам G и H подключается специализированная ИС блока ускоренного переноса (например К555ИП4). Вывод K является выходом встроенного компаратора, формирующего сигнал $K=1$ при $A=B$.

В табл. 18.5 приведен перечень выполняемых рассматриваемой ИС операций и необходимые для этого значения управляющих сигналов S и M .

Функции, выполняемые ИС К555ИП3

Таблица 18.5

Управляющие сигналы $S_3S_2S_1S_0$	Логические операции $M=1$	Арифметические операции $M=0$
0 0 0 0	\overline{A}	A
0 0 0 1	$\overline{A \vee B}$	$A \vee B$
0 0 1 0	$\overline{A \wedge B}$	$A \vee \overline{B}$
0 0 1 1	0	-1
0 1 0 0	$A \wedge B$	$A + A \wedge \overline{B}$
0 1 0 1	\overline{B}	$(A \vee B) + A \wedge \overline{B}$
0 1 1 0	$A + B$	$A - B - 1$
0 1 1 1	$A \wedge \overline{B}$	$A \wedge \overline{B} - 1$
1 0 0 0	$\overline{A \vee B}$	$A + A \wedge B$
1 0 0 1	$\overline{A + B}$	$A + B$
1 0 1 0	B	$(A \vee \overline{B}) + A \wedge B$
1 0 1 1	$A \wedge B$	$A \wedge B - 1$
1 1 0 0	1	$A + A$
1 1 0 1	$A \vee \overline{B}$	$(A \vee B) + A$
1 1 1 0	$A \vee B$	$(A \vee \overline{B}) + A$
1 1 1 1	A	$A - 1$

Примечание. 1. При условии $M=0$ ИС может одновременно выполнять как логические, так и арифметические операции. Для исключения путаницы в табл. 18.5 для обозначения операций логического сложения и умножения соответственно использованы знаки « \vee » и « \wedge ».

2. Знаками « $+$ » и « $-$ » обозначены операции арифметического сложения и вычитания. Поэтому выражение $A \vee B + A \wedge \overline{B}$ следует понимать как арифметическую сумму двух кодов, первый из которых получен в результате логического сложения, а второй — логического умножения исходных кодов A и B .

18.9. ВЫПОЛНЕНИЕ ОПЕРАЦИЙ АРИФМЕТИЧЕСКОГО УМНОЖЕНИЯ

Традиционно операции арифметического умножения и деления в ЭВМ выполнялись с использованием последовательностей описанных ранее элементарных функций. Однако в последнее время

в связи с успехами технологии были разработаны специализированные ИС, выполняющие эти операции аппаратным способом. Применение таких устройств позволило значительно увеличить быстродействие вычислительных систем.

Логика построения аппаратных умножителей неразрывно связана с традиционным алгоритмом выполнения операции умножения, базирующемся на суммировании частных произведений разрядов сомножителей. Проиллюстрируем сказанное на примере умножения 2-разрядных двоичных кодов

$$\begin{array}{r}
 \begin{array}{cc}
 \times & \begin{array}{c} a_1 \\ b_1 \end{array} \\
 \hline
 & \begin{array}{c} a_0 \\ b_0 \end{array}
 \end{array} \\
 + & \begin{array}{cc} b_1 a_1 & b_1 a_0 \\ & b_0 a_1 & b_0 a_0 \end{array} \\
 \hline
 \begin{array}{cccc}
 & & & \\
 M_3 & M_2 & M_1 & M_0
 \end{array}
 \end{array}$$

Структурная схема устройства показана на рис. 18.15. Частные произведения разрядов сомножителей формируются ЛЭ 2И DD1—DD4. Суммируя эти произведения сумматорами DD5 и DD6 находят значение кода результата. Приведенная структура носит название *матричного множительного блока*

Используя аналогичный подход, можно синтезировать матричный множительный блок, работающий с входными кодами произвольной разрядности.

При разработке ИС желательно использовать структуру, позволяющую увеличивать разрядность входных кодов путем исполь-

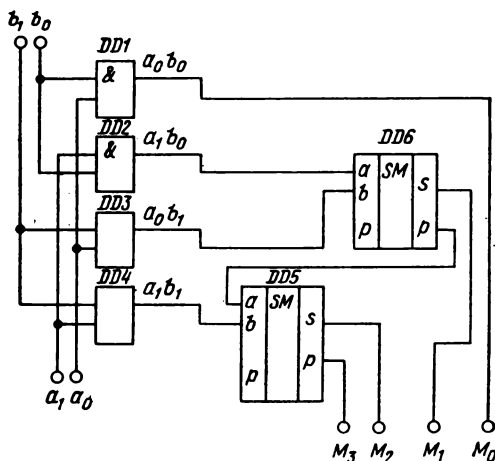


Рис. 18.15. Структурная схема матричного умножителя двухразрядных кодов

зования нескольких однотипных схем. Устройство, приведенное на рис. 18.15, этому требованию не удовлетворяет. Для нахождения структурной схемы умножителя, удовлетворяющей указанному требованию, рассмотрим алгоритм умножения двух 4-разрядных кодов.

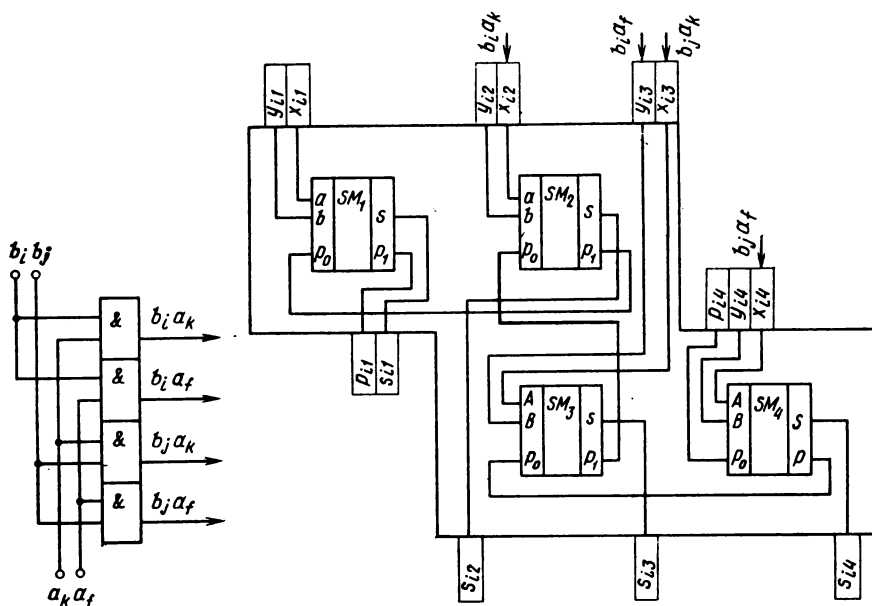
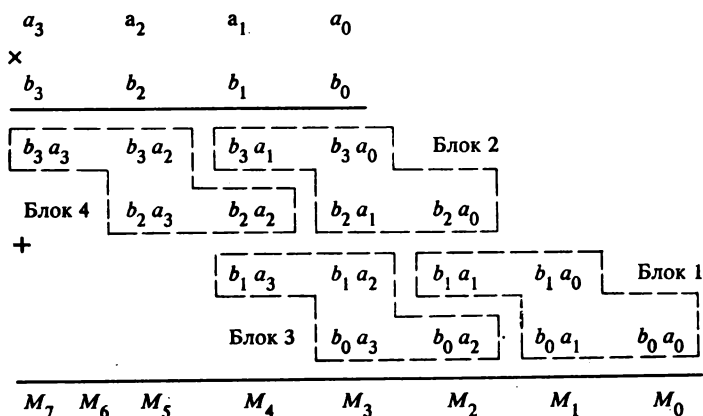


Рис. 18.16. Структурная схема матричного умножителя двоичных кодов, допускающая увеличение разрядности сомножителей

Очевидно, что приведенный алгоритм можно представить в виде комбинации четырех однотипных блоков (выделены штриховой линией), соответствующих рассмотренному выше умножению 2-разрядных кодов. Однако для такого представления, кроме получения частного произведения, каждый из выделенных блоков должен выполнять дополнительную операцию сложения. Так, для получения значения разряда M_2 результата умножения 4-разрядных кодов к частному произведению b_1a_1 , кроме сигнала переноса, полученного при суммировании частных произведений b_1a_0 и b_0a_1 в самом блоке, необходимо добавить частные произведения b_2a_0 и b_0a_2 , полученные в соседних блоках. Аналогичные действия необходимо выполнить и для нахождения значений других разрядов произведения. Поэтому, в общем случае, для получения резуль-

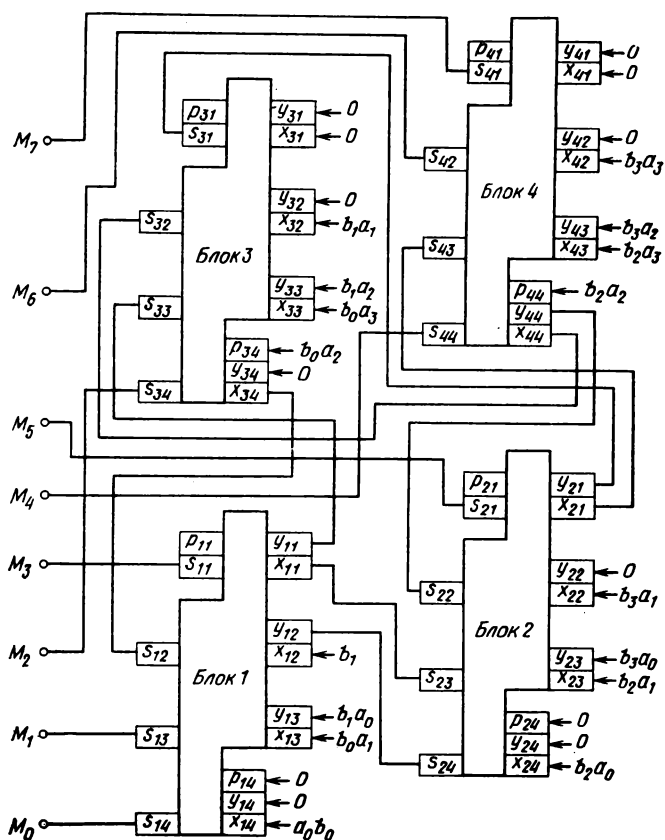


Рис. 18.17. Структурная схема матричного умножителя 4-разрядных кодов

тата в каждом блоке должна быть реализована ФАЛ вида $M_i = AB + C + D$, где C и D — дополнительные слагаемые, которые получены в соседних блоках.

Реализация приведенной ФАЛ требует введения в схему умножителя рис. 18.15 двух дополнительных сумматоров. На рис. 18.16 приведена полученная таким образом схема блока матричного умножителя 2-разрядных кодов, допускающая увеличение разрядности кодов сомножителей, а на рис. 18.17 — выполненная на основе таких блоков схема матричного умножителя 4-разрядных кодов.

Длительность получения результата в такой схеме определяется самым длинным путем прохождения сигнала и в общем случае равна

$$t_{\text{умн}} = [1 + 12(n + 1)] t_{\text{э.р.}}, \quad (18.17)$$

где n — разрядность кодов сомножителей.

На практике используются и другие схемы умножителей.

Контрольные вопросы

1. Почему времена арифметического суммирования и умножения относятся к основным характеристикам ЭВМ?
2. Перечислите основные элементарные операции, выполняемые аппаратно любым АЛУ.
3. Какая информация хранится в регистре аккумулятора?
4. Запишите ФАЛ, реализующие арифметическое суммирование одноразрядных двоичных кодов.
5. Составьте таблицу истинности для элемента Иключающее ИЛИ.
6. Чем отличаются полусумматор и одноразрядный сумматор?
7. Почему время получения результата на выходе одноразрядного сумматора больше, чем в полусумматоре?
8. В чем основное отличие многоразрядных сумматоров параллельного и последовательного действий?
9. С какой целью формируются функции переноса и передачи переноса.
10. Перечислите основные способы повышения быстродействия сумматоров.
11. Поясните принципы, реализуемые в БУП.
12. Почему время формирования сигнала переноса в БУП не зависит от разрядности входных кодов слагаемых?
13. Какие сумматоры с групповой структурой Вы знаете?
14. Определите время суммирования 32-разрядного сумматора с цепным переносом.
15. Как представляются отрицательные числа в двоичном коде?

16. Используя двоичные коды, определите разность десятичных чисел 24 и 56.

17. С какой целью при вычитании двоичных кодов на вход переноса сумматора младших разрядов подают сигнал лог. 1?

18. Запишите двоично-десятичный код числа 21.

19. Поясните принцип работы двоично-десятичного сумматора.

20. Реализуйте аппаратным способом операцию Искключающее ИЛИ—НЕ.

21. Какие операции выполняет АЛУ в случае блокировки межразрядных переносов?

22. Синтезируйте схему матричного множительного блока двух 3-разрядных двоичных кодов.

ГЛАВА 19.

БАЗОВЫЕ ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ

19.1. СПОСОБЫ ПРЕДСТАВЛЕНИЯ ЛОГИЧЕСКИХ ПЕРЕМЕННЫХ ЭЛЕКТРИЧЕСКИМИ СИГНАЛАМИ

Значениям логических функций и аргументов в электрических схемах могут быть поставлены в соответствие различные характеристики токов или напряжений. Это могут быть как их некоторые установившиеся величины, так и параметры электрических импульсов. В соответствии с этим различают потенциальный и импульсный способы представления логических переменных.

При *потенциальном способе представления* значениям лог. 0 и лог. 1 ставят в соответствие два различных уровня напряжения или тока. В зависимости от того, какой именно из этих уровней конкретно ставят в соответствие значениям 0 и 1, различают положительную и отрицательную логику.

В *положительной логике* значению лог. 1 ставят в соответствие большее, а значению лог. 0 — меньшее значение напряжения или тока. В *отрицательной логике* наоборот — большим значениям электрического сигнала соответствуют значения лог. 0, меньшим — значения лог. 1. Это определение справедливо для любой полярности используемого напряжения или любых направлениях протекания токов.

Из рис. 19.1, *а* видно, что при положительной логике и условии $U_{\text{вых}} \geq 0$ значению лог. 1 соответствует большее по абсолютному значению напряжение, в то время как при $U_{\text{вых}} < 0$ большее абсолютное напряжение соответствует значению лог. 0. Однако с учетом знака уровня, показанные на рис. 19.1, *а, б* полностью соответствуют данному выше определению типов логики. Важно отме-

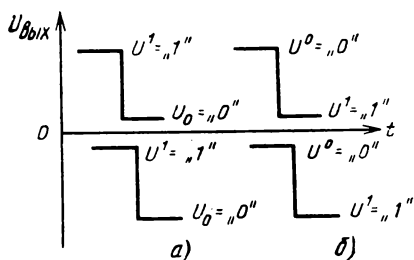


Рис. 19.1. Потенциальный способ представления лог. 0 и лог. 1:

а — положительная логика; б — отрицательная логика

тить, что если некоторое логическое устройство относительно положительной логики реализует операцию И, то относительно отрицательной логики это будет операция ИЛИ и наоборот.

При *импульсном способе* представления значению лог. 1, например, может быть поставлен в соответствие сам факт наличия импульса или его положительный перепад, а значению лог. 0 — отсутствие импульса или его отрицательный перепад.

Следует отметить, что при потенциальном способе представления значение логической переменной может быть определено в любой произвольный момент времени. При импульсном же представлении это может быть сделано только в строго определенные дискретные моменты времени. Другими словами, при потенциальном представлении возможен как синхронный, так и асинхронный съем информации. При импульсном же представлении возможен только синхронный съем информации. Последнее определяет преимущества и недостатки указанных методов представления логических переменных.

В дальнейшем остановимся, в основном, на потенциальном способе представления логических переменных, использующем положительную логику, который получил наибольшее распространение на практике.

19.2. ОСНОВНЫЕ ТРЕБОВАНИЯ К БАЗОВЫМ ЛЭ

В реальных цифровых устройствах электрические сигналы, отображающие значения логических переменных, проходят через большое число последовательно соединенных однотипных электронных блоков, реализующих их преобразование в соответствии с аксиомами основных логических операций. Для надежного функционирования таких схем необходимо, чтобы каждый отдельный электронный блок, не зависимо от своего расположения в схеме и различных комбинаций входных сигналов и выходных нагрузок, безошибочно выполнял заданную логическую функцию. При этом должна гарантироваться передача неискаженного сигнала, соответствующего требуемому значению логической переменной. Возникшие в процессе преобразования искажения, во-первых, не долж-

ны влиять на работу устройства, если они лежат в пределах некоторых допустимых зон изменения этого сигнала, и, во-вторых, самоустраняться по мере дальнейшего преобразования сигнала.

Функциональная сложность реальных логических устройств, множество различных сочетаний входных сигналов и нагрузок, а также использование при их изготовлении гибридной и полупроводниковой технологий, не позволяют рассчитывать на индивидуальную регулировку и настройку каждого отдельного элементарного электронного блока. Поэтому для надежной работы реальных цифровых устройств необходимо, чтобы все входящие в его состав элементарные электронные блоки обладали рядом фундаментальных свойств, к основным из которых относятся:

- совместимость уровней входных и выходных сигналов;
- нагрузочная способность;
- формирующее свойство (свойство квантования сигнала);
- помехоустойчивость.

Рассмотрим более подробно каждое из этих свойств.

Совместимость уровней входных и выходных сигналов. Для совместного использования большого числа логических элементов, выполненных, например, в виде ИС, должно гарантироваться согласование уровней сигналов, отображающих значения логических переменных. Это означает, что установившиеся отклонения выходного напряжения ЛЭ, вызванные действием различных внешних дестабилизирующих факторов и собственным разбросом параметров входящих в его состав элементов не должны превышать некоторые наперед заданные значения (рис. 19.2). Таким образом, должны выполняться неравенства

$$\begin{aligned} U_{\min}^1 &\leq U_{(t)}^1 \leq U_{\max}^1, \\ U_{\min}^0 &\leq U_{(t)}^0 \leq U_{\max}^0. \end{aligned} \quad (19.1)$$

где $U_{(t)}$ — текущее значение выходного напряжения ЛЭ.

Следовательно, формирование на выходе сигнала,

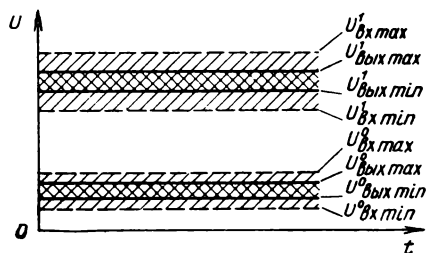


Рис. 19.2. Области отображений входных и выходных сигналов

$$U_{\max}^0 < U_{(i)} < U_{\min}^1 \quad (19.2)$$

не удовлетворяющего системе неравенств (19.1), недопустимо.

Для повышения надежности работы цифровых устройств допустимая область изменения входного сигнала ЛЭ, распознаваемая как соответствующий логический уровень, должна быть шире выходной

$$\begin{aligned} U_{\text{вых max}}^{1,0} &< U_{\text{вх max}}^{1,0}, \\ U_{\text{вых min}}^{1,0} &> U_{\text{вх min}}^{1,0}. \end{aligned} \quad (19.3)$$

Таким образом, допустимая область изменения входных сигналов ЛЭ должна включать область изменения выходных сигналов (рис. 19.2).

Нагрузочная способность ЛЭ характеризует его способность получать сигнал от нескольких источников информации и одновременно быть источником информации для ряда других элементов. При этом его входные и выходные сигналы должны удовлетворять неравенствам (19.1) и (19.3). Для численной характеристики нагрузочной способности ЛЭ используются два коэффициента: коэффициент объединения по входу и коэффициент разветвления по выходу.

Коэффициент объединения по входу $K_{об}$ численно равен максимальному числу выходов одностипных ЛЭ, которые могут быть подключены ко входу данного ЛЭ, не вызывая при этом искажений формы и амплитуды его сигнала, выходящих за границы зон отображения уровней лог. 0 и лог. 1.

Коэффициент разветвления по выходу $K_{раз}$ численно равен максимальному числу входов одностипных ЛЭ, которые могут быть подключены к выходу данного ЛЭ, не вызывая при этом искажений формы и амплитуды его сигнала, выходящих за границы зон отображения уровней лог. 0 и лог. 1.

Типовые значения коэффициентов $K_{об} = 2 \dots 8$, $K_{раз} = 4 \dots 10$. В выпускаемых сериях ИС существуют элементы с повышенной нагрузочной способностью, для которых $K_{раз} = 20 \dots 30$.

Квантование сигнала. При прохождении электрического сигнала по цепочке последовательно включенных ЛЭ его амплитуда и форма не должны претерпевать недопустимых изменений. Для этого каждый ЛЭ должен обладать формирующими свойствами.

Сигнал, установившийся после прохождения по цепочке последовательно включенных ЛЭ (рис. 19.3, а), называют *стандартным* или *асимптотическим*.

Формирующее свойство ЛЭ определяется видом его амплитудной передаточной характеристики, под которой понимают зависимость его выходного напряжения от входного: $U_{\text{вых}} = f(U_{\text{вх}})$. Рас-

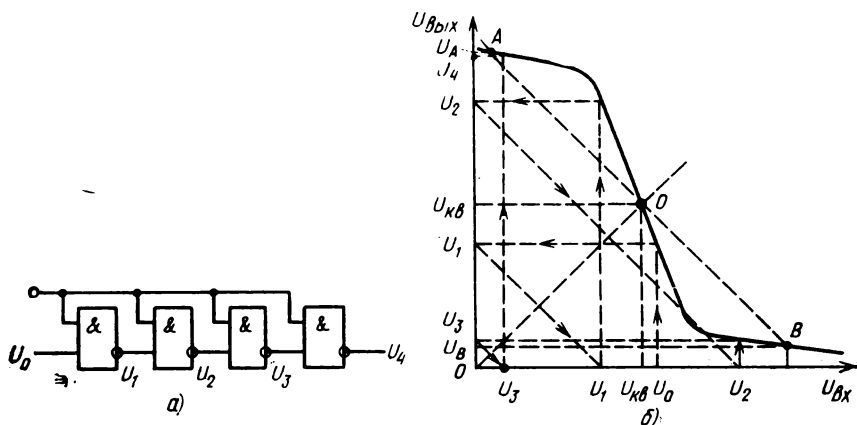


Рис. 19.3. Цепочки последовательно соединенных ЛЭ (а) и формирование сигнала на ее выходе (б)

Точка «0» данной характеристики соответствует пересечению характеристики ЛЭ с прямой $U_{\text{вых}} = U_{\text{вх}}$. Точки A и B получены как пересечения характеристики ЛЭ с прямой, перпендикулярной к зависимости $U_{\text{вых}} = U_{\text{вх}}$ в точке 0. Следует отметить, что полученные в результате такого построения значения напряжений U_A и U_B являются асимптотическими.

Следовательно, исходный искаженный сигнал, пройдя через цепочку из последовательно включенных ЛЭ, стремится к своему асимптотическому значению.

каких изменений. Таким образом, $U_{\text{кв}}$ делит характеристику ЛЭ на две области, соответствующие зонам отображения сигналов лог. 0 и лог. 1. Если $U > U_{\text{кв}}$, то этот сигнал воспринимается как сигнал лог. 1, если $U < U_{\text{кв}}$ — то как сигнал лог. 0. Следует заметить, что точка 0 является точкой неустойчивого равновесия и любое сколь угодно малое отклонение напряжения от значения $U_{\text{кв}}$ приведет к формированию на выходе цепочки элементов сигнала U_A или U_B .

Амплитудная передаточная характеристика реального ЛЭ существенно нелинейна, что обеспечивает быстрое формирование асимптотических значений логических сигналов.

Помехоустойчивость ЛЭ. Очевидно, что даже кратковременное искажение логических сигналов в силу формирующих свойств ЛЭ может привести к потере истинности получаемых результатов. Поэтому ЛЭ должны обладать высокой помехоустойчивостью.

Под помехоустойчивостью понимается свойство нечувствительности ЛЭ к отклонениям его входных сигналов от асимптотических значений. Эти отклонения обычно вызываются действием различных помех на логическое устройство. Степень их влияния во многом определяется типом используемых схемотехнических решений.

Помехи в цифровых устройствах носят, как правило, характер кратковременных импульсов. Принято различать внешние и внутренние помехи.

К первым относятся помехи, вызванные внешними воздействиями: электромагнитное воздействие промышленной сети электропередачи, силовых переключателей и электродвигателей, городского транспорта и т. п. Уменьшить влияние этих помех можно как конструктивными, так и схемотехническими средствами, например экранированием или соответствующим выбором уровней лог. 0 и лог. 1.

Ко вторым относятся помехи, амплитуда и длительность которых зависит от амплитуды и длительности перепадов напряжений на выходах самих ЛЭ, а также видом и длиной соединительных линий между ними.

Зона помехоустойчивости ЛЭ определяется по его АПХ. Уровень допустимой входной помехи для комбинационных устройств задается как разность между порогом квантования и соответствующим асимптотическим уровнем сигналов лог. 0 и лог. 1. В соответствии с этим различают уровни помехи по сигналам лог. 0 и лог. 1, которые находятся из соотношений:

$$\begin{aligned} U_{\text{пом к}}^0 &= |U_{\text{кв}} - U_B|, \\ U_{\text{пом к}}^1 &= |U_{\text{кв}} - U_A|. \end{aligned} \tag{19.4}$$

Если $U(t)_{\text{пом}} < U_{\text{пом к}}$, то на выходе ЛЭ появится сигнал, амплитуда помехи в котором меньше, чем на входе, и в силу формирующих свойств при прохождении по цепочке последовательно включенных ЛЭ сигнал помехи быстро затухнет.

Последовательностные устройства, как было показано ранее, содержат внутренние цепи обратной связи. Поэтому для их надежного функционирования необходимо, чтобы в процессе работы модуль коэффициента передачи разомкнутого контура не превышал единицу. В противном случае возможно лавинообразное переключение устройства в новое устойчивое состояние, что приведет к потере информации. Поэтому в таких устройствах допустимая амплитуда помехи меньше, чем в комбинационных, и определяется выражениями (рис. 19.4):

$$U_{\text{пом п}}^0 = |U_{\text{п}}^0 - U_B|, \quad (19.5)$$

$$U_{\text{пом п}}^1 = |U_{\text{п}}^1 - U_A|,$$

где $U_{\text{п}}^0$ и $U_{\text{п}}^1$ — входные напряжения, соответствующие точкам характеристики, для которых $dU_{\text{вых}}/dU_{\text{вх}} = -1$ (см. рис. 19.4).

При определении реальной зоны помехоустойчивости необходимо учитывать существующий разброс АПХ ЛЭ. Последнее еще больше уменьшает допустимую амплитуду сигнала помехи.

Следует отметить, что допустимая амплитуда помехи также зависит от ее длительности. Эту зависимость определяет характеристика импульсной помехоустойчивости, связывающая допустимую амплитуду помехи с ее длительностью (рис. 19.5).

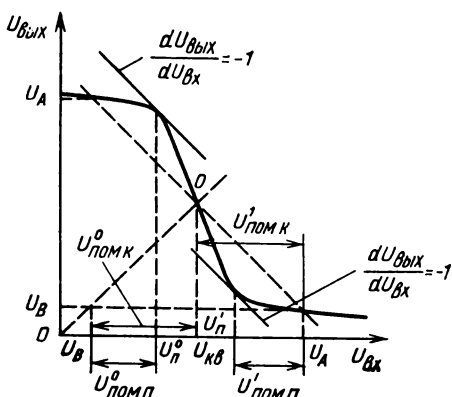


Рис. 19.4. Зона импульсной помехоустойчивости ЛЭ

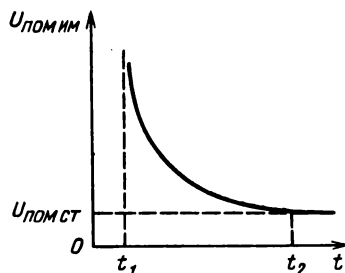


Рис. 19.5. Характеристика импульсной помехоустойчивости

Из приведенной зависимости следует, что для ЛЭ существует некоторая граничная длительность $t_{\text{пом}} = t_2$, начиная с которой допустимая амплитуда сигнала помехи начинает увеличиваться относительно уровней, рассчитанных с использованием выражений (19.4) и (19.5). При очень малых длительностях $t_{\text{пом}} \leq t_1$ ЛЭ перестает быть чувствительным к сигналу помехи любой амплитуды.

19.3. КЛАССИФИКАЦИЯ И ОБЛАСТИ ПРИМЕНЕНИЯ ОСНОВНЫХ ТИПОВ БАЗОВЫХ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ

На начальном этапе развития цифровой электроники было разработано большое число всевозможных схемотехнических решений, реализующих основные логические операции. Однако широкое практическое использование получили только некоторые из них. Эти элементы наилучшим образом сочетают ряд важных как для потребителя, так и изготовителя характеристик.

В настоящее время при разработке ИС наибольшее распространение получили следующие базовые логические элементы (БЛЭ):

транзисторно-транзисторная логика (ТТЛ);

эмиттерно-связанная логика (ЭСЛ);

интегрально-инжекционная логика (И²Л);

логика на однотипных полевых транзисторах (*n*-МОП и *p*-МОП);

логика на комплектарных полевых транзисторах (КМОП).

Первые три типа используют биполярные транзисторы, последние два — полевые.

Распространение нескольких типов логики, выполняющих одни и те же логические функции, объясняется различием их основных характеристик, что в зависимости от технических требований и условий эксплуатации позволяет строить электронные средства с требуемыми параметрами.

Самыми распространенными на сегодняшний день являются ИС, реализующие ТТЛ и ее разновидности. Этот тип ИС, судя по прогнозам специалистов, останется наиболее массовым и в ближайшем будущем. Интегральные схемы данного типа обладают средним быстродействием ($F_{\text{max}} = 20 \dots 50$ МГц) и средней потребляемой мощностью.

Интегральные схемы, реализующие ЭСЛ, являются наиболее быстродействующими, но мощность, потребляемая этими элементами, превышает мощность элементов ТТЛ. Однако гибкость ее схемотехнических решений позволяет достаточно просто реализовывать сложные логические функции.

Базовые элементы И²Л были разработаны специально для использования в БИС. Их отличает высокая, недоступная для ТТЛ и ЭСЛ, степень интеграции, пониженное напряжение питания, про-

стота согласования с элементами ТТЛ и возможность регулировать в широких пределах быстродействие путем изменения потребляемой мощности.

Особенностью ИС, выполненных на полевых транзисторах, является малая потребляемая мощность. Однако по быстродействию эти элементы пока уступают логике на биполярных транзисторах. Данный тип логики также обладает высокой помехоустойчивостью. В сравнении с биполярными, полевые транзисторы имеют меньшие размеры и проще в изготовлении, что позволяет разместить на единице площади кристалла больше элементов. В соответствии с этими особенностями область их применения ограничивается функционально сложными устройствами невысокого быстродействия и малого токопотребления.

Прогнозы показывают, что по мере совершенствования технологии, направленной на повышение их быстродействия, этот класс ИС постепенно станет самым массовым. В первую очередь это касается ИС КМОП.

19.4. БЛЭ ТРАНЗИСТОРНО-ТРАНЗИСТОРНОЙ ЛОГИКИ

19.4.1. СОСТАВ, СХЕМОТЕХНИКА И ПРИНЦИП ДЕЙСТВИЯ БЛЭ

Схемотехнически большинство ИС, входящих в состав серий ТТЛ, выполнено на основе комбинации двух базовых схем: элемента И—НЕ (штрих Шеффера) и расширителя по ИЛИ.

Элемент И—НЕ (рис. 19.6) может быть представлен последовательным соединением трех каскадов:

входного многоэмиттерного транзистора $VT1$ с резистором $R1$ и диодами $VD_0—VD_{n-1}$, реализующих логическую операцию И;

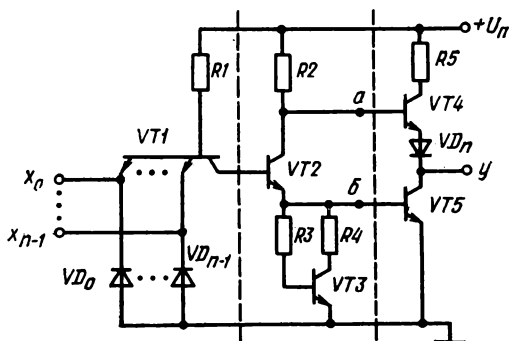


Рис. 19.6. Принципиальная электрическая схема ЛЭ И—НЕ ТТЛ (штрих Шеффера)

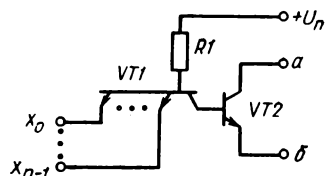


Рис. 19.7. Принципиальная электрическая схема расширителя по ИЛИ серии ТТЛ

фазорасщепителя на транзисторе VT_2 , резисторе R_2 и цепи нелинейной коррекции R_3 , R_4 и VT_3 ;

двухтактного выходного усилителя на транзисторах VT_4 и VT_5 , резисторе R_5 и диоде VD_n .

Расширитель по ИЛИ (рис. 19.7) по сути повторяет первые два каскада элемента И—НЕ и содержит входной многоэмиттерный транзистор VT_1 с резистором R_1 и транзистор VT_2 фазорасщепителя.

Объединение элементов И—НЕ и расширителя по ИЛИ путем соединения точек a и b позволяет получить ЛЭ, реализующий последовательность операций И—ИЛИ—НЕ.

Рассмотрим работу элемента И—НЕ (рис. 19.6). Предположим, что хотя бы один вход элемента x_0, \dots, x_{n-1} непосредственно подключен к общей шине, т. е. на него подано напряжение лог. 0. В этом случае многоэмиттерный транзистор VT_1 оказывается насыщенным током, протекающим от источника питания через резистор R_1 . Напряжение на его коллекторе будет мало отличаться от нулевого. Поэтому транзистор VT_2 фазорасщепителя оказывается запертым. Так как эмиттерный ток транзистора VT_2 практически равен нулю, будет заперт и транзистор VT_5 . Ток, протекающий через резистор R_2 , втекает в базу транзистора VT_4 , насыщая его. Поэтому напряжение, присутствующее на выходе y , ЛЭ, близко к напряжению питания и определяется выражением

$$U_{\text{вых}}^1 = U_{\text{п}} - I_{\text{в.лх}} R_5 - U_{\text{кэ } VT_4} - U_{VD_n}. \quad (19.6)$$

Таким образом, при наличии на любом из входов схемы напряжения низкого уровня, напряжение на его выходе будет иметь высокий уровень.

Предположим теперь, что на все входы ЛЭ подан высокий уровень напряжения. В этом случае все эмиттерные переходы многоэмиттерного транзистора VT_1 оказываются запертыми. При этом его коллекторный переход смещается в прямом направлении и по цепи резистор R_1 , коллекторный переход транзистора VT_1 и последовательно соединенные эмиттерные переходы транзисторов VT_2 и VT_5 будет протекать ток. Этот ток насытит транзисторы VT_2 и VT_5 , и на выходе y ЛЭ установится низкое напряжение, численно равное напряжению насыщения транзистора VT_5 :

$$U_{\text{вых}}^0 = U_{\text{кэ } VT_5} = I_{\text{в.лх}} r_{\text{в.лх } VT_5}. \quad (19.7)$$

Так как транзистор VT_2 насыщен, присутствующее на его коллекторе напряжение оказывается недостаточным для прямого смещения двух последовательно включенных p - n -переходов (эмиттерный переход VT_4 и диод VD_n). Транзистор VT_4 будет заперт.

Таким образом, если на всех входах схемы присутствует высокое напряжение, на выходе БЛЭ будем иметь напряжение низкого уровня.

Из приведенного описания следует, что в общем случае параллельное соединение нескольких выходов таких элементов недопустимо, так как формирование на них сигналов различных уровней приведет к выходу из строя транзисторов выходного усилителя мощности. Параллельно можно соединять выходы только синхронно работающих элементов.

Для положительной логики описанный алгоритм работы соответствует определению операции И—НЕ:

$$y = \overline{x_0 x_1 x_{n-1}}. \quad (19.8)$$

Рассмотрим более подробно назначение отдельных элементов схемы.

Выполнение выходного каскада элемента по двухтактной схеме позволяет одновременно решить две задачи:

повысить быстродействие элемента. Нагрузка БЛЭ, как правило, носит емкостной характер и применение двухтактного выходного каскада позволяет увеличить ток перезаряда емкости нагрузки;

снизить потребление. В установившемся режиме лог. 0 через выходной каскад протекает только ток нагрузки.

Во входной цепи многоэмиттерного транзистора $VT1$ включены дополнительные диоды $VD_0—VD_{n-1}$, которые защищают элемент от появления на его входе недопустимых напряжений обратной полярности.

Нелинейная цепь коррекции $R3$, $R4$ и $VT3$ позволяет увеличить быстродействие элемента и приблизить его АПХ к прямоугольной. Последнее улучшает формирующие свойства элемента. Рассмотрим ее работу. Принцип действия данной цепи основан на зависимости ее сопротивления от состояния транзистора $VT5$. Если этот транзистор заперт, то транзистор нелинейной цепи коррекции $VT3$ также заперт. Суммарное сопротивление цепи, шунтирующей эмиттерный переход транзистора $VT5$, в основном определяется сопротивлением резистора $R3$, которое велико. Поэтому на начальном этапе формирования на выходе элемента напряжения лог. 0 весь эмиттерный ток транзистора $VT2$ втекает в базу транзистора $VT5$, что форсирует его включение. После включения $VT5$ насыщается и $VT3$, шунтируя эмиттерный переход транзистора $VT5$ низкоомным сопротивлением резистора $R4$. Это, во-первых, уменьшает степень насыщения транзистора $VT5$ и, во-вторых, при последующем выключении увеличивает ток, удаляющий из базовой

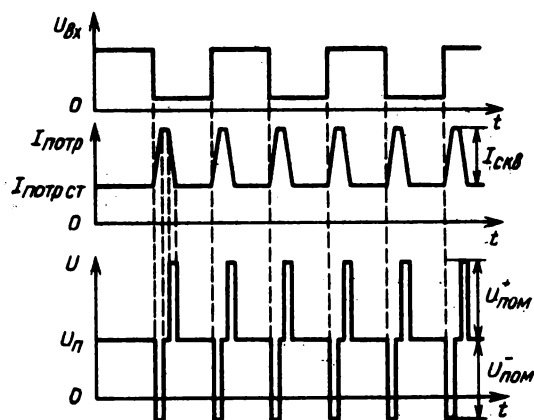


Рис. 19.8. Временные диаграммы тока потребления и напряжения питания БЛЭ ТТЛ

области этого транзистора избыточный заряд неосновных носителей. Оба этих фактора способствуют снижению времени рассасывания транзистора VT_5 , что повышает быстродействие элемента.

Следует отметить, что в момент переключения БЛЭ в его выходной цепи протекает так называемый «сквозной ток», обусловленный тем, что в течение интервала рассасывания запираемого транзистора оба транзистора выходного двухтактного усилителя оказываются насыщенными. Это приводит к тому, что ток потребления элемента имеет явно выраженный импульсный характер (рис. 19.8). Поэтому с увеличением частоты переключения среднее значение тока, потребляемого элементом, растет. Растет и его суммарная потребляемая мощность. Кроме этого, протекание импульсов тока за счет действия индуктивности соединительных проводов ($L_{пр}$ на рис. 19.9) может привести к появлению ложных срабатываний соседних элементов (внутренние помехи).

Для ограничения величины «сквозного тока» в коллекторную цепь VT_4 включен резистор R_5 . Однако чрезмерное увеличение сопротивления этого резистора, во-первых, увеличивает мощность, рассеиваемую в элементе, и, во-вторых, уменьшает его нагрузочную способность. Поэтому для исключения действия помех шины питания должны выполняться с малой собственной индуктивностью и по всей длине шунтироваться дополнительными конденсаторами $C_{доп}$ с малой паразитной индуктивностью (как правило, керамическими) (рис. 19.9). Использование такого технического решения позволяет свести к минимуму действие на устройство внутренних помех.

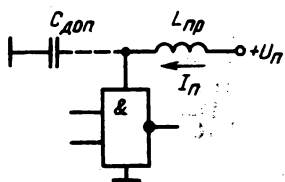


Рис. 19.9. Шунтирование шины питания БЛЭ ТТЛ дополнительными конденсаторами

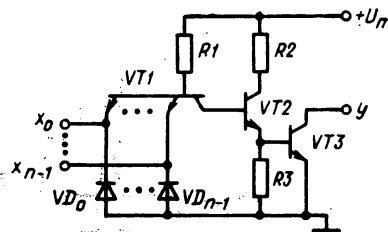


Рис. 19.10. Принципиальная электрическая схема ЛЭ И—НЕ ТТЛ с открытым коллектором

Следует отметить еще одну особенность применения БЛЭ ТТЛ. Согласно приведенному алгоритму работы, если вход элемента остается неподключенным к источнику сигнала, можно считать, что на него подан сигнал лог. 1. Однако на практике неиспользуемые входы элементов ТТЛ рекомендуется не оставлять свободными, а через дополнительный резистор $R_{\text{доп}}$ подключать к выводу $+U_n$. В противном случае, так как в состоянии лог. 1 по входу элемент обладает большим входным сопротивлением, резко увеличивается вероятность воздействия на него помех, что снижает надежность работы логического устройства. Обычно один резистор используется для подключения нескольких входов ЛЭ. В этом случае его сопротивление может быть найдено из условия

$$R_{\text{доп}} \leq \frac{U_n - U'_{\text{вх min}}}{n I'_{\text{вх max}}},$$

где n — число входов БЛЭ, подключаемых к резистору.

19.4.2. РАЗНОВИДНОСТИ СХЕМОТЕХНИКИ ЭЛЕМЕНТОВ ТТЛ

Кроме рассмотренных, универсальные серии ИС ТТЛ включают в свой состав некоторые специализированные элементы. Они предназначены для расширения функциональных возможностей этих серий. Рассмотрим некоторые из них.

Элемент И—НЕ с открытым коллектором предназначен для согласования логических схем с внешними исполнительными и индикаторными устройствами, например светодиодными индикаторами, лампочками накаливания, обмотками реле и т. д. Его отличие от ранее рассмотренного заключается в выполнении выходного усилителя мощности по одноконтурной схеме без собственного нагрузочного резистора. Принципиальная электрическая схема такого элемента приведена на рис. 19.10.

В данном элементе так же отсутствует цепь нелинейной коррекции. Это связано с тем, что элемент ставится на выходе логического устройства и к нему в меньшей степени предъявляется требование квантования сигнала. Обычно выходной транзистор $VT3$ схемы выполняется с большими допустимыми значениями коллекторного тока и напряжения, чем обычный элемент.

В отличие от стандартных, элементы ТТЛ с открытым коллектором допускают параллельное включение выходных выводов. При этом относительно выходных сигналов каждого элемента реализуется логическая операция И: $Y = y_1 y_2 \dots y_n$.

Это позволяет решить две задачи:

упростить схему проектируемого устройства за счет исключения дополнительных элементов, реализующих операцию И;

обеспечить работу нескольких выходов на общую шину, т. е. реализовать режим работы с разделением информации по времени (см. рис. 17.29).

Элемент И—НЕ с повышенной нагрузочной способностью предназначен для использования в случаях, когда коэффициента разветвления стандартного элемента ТТЛ недостаточно для передачи выходного сигнала всем потребителям. Схемотехнически данный элемент отличается от стандартного выполнением выходного каскада (рис. 19.11).

Для увеличения мощности сигнала лог. 1, снимаемого с выхода элемента, в выходном каскаде использована схема составного транзистора $VT4$. Коэффициент разветвления по выходу для таких элементов в три раза превышает значение $K_{\text{раз}}$ для стандартного БЛЭ.

Элемент И—НЕ с третьим (высокоимпедансным) состоянием предназначен для совместной работы нескольких элементов на об-

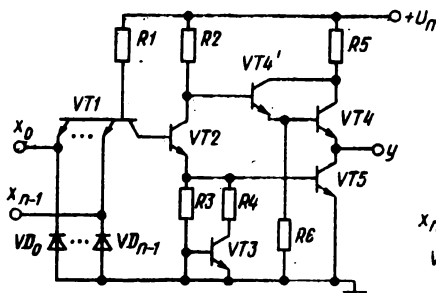


Рис. 19.11. Принципиальная электрическая схема ЛЭ И—НЕ ТТЛ с повышенной нагрузочной способностью

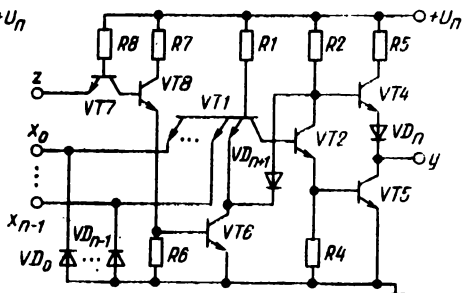


Рис. 19.12. Принципиальная электрическая схема ЛЭ И—НЕ ТТЛ с третьим (высокоимпедансным) состоянием

щую шину. Необходимость такого решения обсуждалась ранее при рассмотрении организации межрегистровых связей (см. раздел 17.9.1). Уже отмечалось, что непосредственное объединение выходов нескольких стандартных элементов ТТЛ не представляется возможным, так как может привести к выходу из строя транзисторов выходного усилителя мощности. Появление на выходе хотя бы одного из параллельно включенных элементов сигнала лог. 0 переводит остальные элементы, пытающиеся формировать на выходе сигнал лог. 1, в режим короткого замыкания по выходу, что недопустимо.

Принципиальная электрическая схема элемента И—НЕ с третьим (высокоимпедансным) состоянием по выходу приведена на рис. 19.12.

В основном данная схема повторяет схемотехнику стандартного элемента И—НЕ. Для организации третьего (высокоимпедансного) выходного состояния многоэмиттерный транзистор VT_1 , выполняющий операцию И, снабжается n -м эмиттером, который через вспомогательный транзисторный ключ VT_6 соединен с общей шиной. Для управления транзисторным ключом используется схема, повторяющая входной каскад стандартного элемента ТТЛ. Она включает входной транзистор VT_7 и усилитель на транзисторе VT_8 , включенном по схеме эмиттерного повторителя. Эмиттер транзистора VT_7 является входом управления третьим состоянием элемента (вход z). Его база через резистор R_8 соединена с шиной питания, а коллектор подключен к входу усилителя на транзисторе VT_8 . Сигнал, снимаемый с резистора R_6 , управляет состоянием транзисторного ключа VT_6 . Дополнительно коллектор VT_6 через диод VD_{n+1} подсоединен к базе транзистора VT_4 выходного усилителя мощности.

Рассмотрим работу БЛЭ при различных значениях управляющего сигнала на входе z .

Если $z=1$, то эмиттерный переход транзистора VT_7 оказывается смещенным в обратном, а коллекторный — в прямом направлении. Ток от шины питания через резистор R_8 втекает в базу транзистора VT_8 , насыщая его. Одновременно насыщается и транзисторный ключ VT_6 . При этом один из эмиттеров многоэмиттерного транзистора VT_1 подключается к общей шине, что эквивалентно подаче на вход элемента сигнала лог. 0. Поэтому не зависимо от значений остальных входных переменных элемент пытается сформировать на выходе сигнал лог. 1, т. е. его транзисторы VT_2 и VT_5 оказываются запертыми. Транзистор VT_4 также оказывается запертым из-за шунтирования его входной цепи последовательно включенными прямо смещенным диодом VD_{n+1} и насыщенным транзистором VT_6 . Поэтому при $z=1$ оба транзистора выходного двухтактного усилителя мощности оказываются

запертыми и ЛЭ фактически отключен от выходного вывода. Это соответствует высокоимпедансному состоянию, при котором выходной сигнал элемента при любых комбинациях его входных сигналов не попадает на его выход.

Если $z=0$, то ток резистора $R8$ насыщает транзистор $VT7$. Транзисторы $VT8$ и $VT6$ оказываются запертыми, и на дополнительный вход многоэмиттерного транзистора $VT1$ подается сигнал, который не влияет на работу элемента. В этом случае выходной сигнал определяется исключительно комбинацией логических переменных, действующих на входах x_0, \dots, x_{n-1} , и работа элемента аналогична работе стандартного ТТЛ БЛЭ (рис. 19.6).

19.4.3. СТАТИЧЕСКИЕ ХАРАКТЕРИСТИКИ И ДИНАМИЧЕСКИЕ ПАРАМЕТРЫ БЛЭ

Амплитудная передаточная характеристика (АПХ) согласно описанию работы БЛЭ ТТЛ соответствует характеристике инвертирующего усилителя. Она измеряется при подаче на $(n-2)$ входа элемента пассивных (единичных) логических уровней и характеризует изменение выходного напряжения элемента при плавном изменении от 0 до U_n напряжения на $(n-1)$ -м его входе при условии, что нагрузка на выходе остается постоянной. Так как элемент питается однополярным напряжением, вся характеристика находится в первом квадранте и имеет вид, показанный на рис. 19.13. Точки A и B на характеристике являются соответственно выходными асимптотическими значениями лог. 1 и лог. 0.

Для нормальной работы элемента необходимо, чтобы входному напряжению $U_{вх}(t) \leq U_{вх\max}^0$ соответствовало $U_{вых}(t) \geq U_{вых\min}^1$, а напряжению $U_{вх}(t) \geq U_{вх\min}^1$ напряжение $U_{вых}(t) \leq U_{вых\max}^0$.

Эти неравенства отображают допустимые области изменения входного и выходного сигналов при заданной нагрузке ЛЭ.

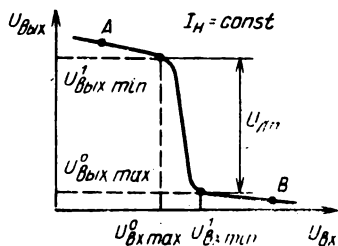


Рис. 19.13. Амплитудная передаточная характеристика БЛЭ ТТЛ

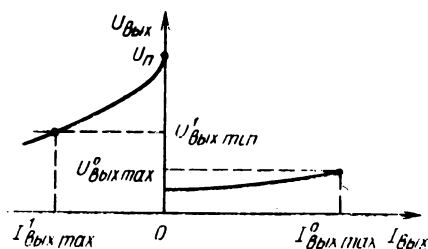


Рис. 19.14. Выходные характеристики БЛЭ ТТЛ

Как отмечалось в § 19.1, входное напряжение в диапазоне $U_{\text{вх max}}^0 < U_{\text{вх}}(t) < U_{\text{вх min}}^1$ является недопустимым для данного элемента, так как в этой области выходное напряжение БЛЭ не определено (лежит вне области отображения сигналов лог. 1 и лог. 0).

Таким образом, для нормального функционирования БЛЭ его входное напряжение не должно удовлетворять неравенству (19.2).

Реально $U_{\text{вх max}}^0$ доп меньше $U_{\text{вх max}}^0$, а $U_{\text{вх min}}^1$ доп больше $U_{\text{вх min}}^1$ на величину допустимой помехи, что необходимо для обеспечения требуемого уровня помехоустойчивости

$$\begin{aligned} U_{\text{вх max}}^0 - U_{\text{вх max доп}}^0 &= U_{\text{пом max}}^0, \\ U_{\text{вх min доп}}^1 - U_{\text{вх min}}^1 &= U_{\text{пом max}}^1. \end{aligned}$$

Разность напряжений

$$U_{\text{вх min}}^1 - U_{\text{вх max}}^0 = U_{\text{лп}} \quad (19.9)$$

называется напряжением логического перепада БЛЭ.

Выходная характеристика отражает изменение выходного напряжения БЛЭ от тока, протекающего в цепи нагрузки при неизменной комбинации входных логических переменных. Так как БЛЭ может устойчиво формировать на выходе два установившихся напряжения — лог. 0 и лог. 1, различают две его выходные характеристики. Отличаются они направлением протекания тока. В режиме лог. 1 ток вытекает из элемента. Такое направление принято считать отрицательным. В режиме лог. 0 ток втекает в элемент и его принято считать положительным. Согласно оговоренным соглашениям выходная характеристика для режима лог. 1 лежит во втором квадранте, а для лог. 0 — в первом квадранте (рис. 19.14).

Аналитически выходные характеристики БЛЭ ТТЛ были описаны ранее выражениями (19.6) и (19.7). Из этих выражений следует, что увеличению $I_{\text{вых}}$ соответствует уменьшение $U_{\text{вых}}^1(t)$ и увеличение $U_{\text{вых}}^0(t)$. Поэтому, имея выходную характеристику и зная значения $U_{\text{вых min}}^1$ и $U_{\text{вых max}}^0$, всегда можно найти токи $I_{\text{вых max}}^1$ и $I_{\text{вых max}}^0$. По найденным токам для данного БЛЭ можно рассчитать коэффициенты разветвления по выходу для значений лог. 0 и лог. 1.

Выходные характеристики позволяют также рассчитать выходные сопротивления БЛЭ для режимов лог. 0 и лог. 1. Из приведенных характеристик видно, что выходное сопротивление при изменении тока нагрузки остается практически постоянным. Исключение составляет начальный участок выходной характеристики для лог. 1. Значительная нелинейность характеристики в этом месте определяется сильной нелинейностью начального участка вольт-амперной характеристики диода VD_n (рис. 19.6).

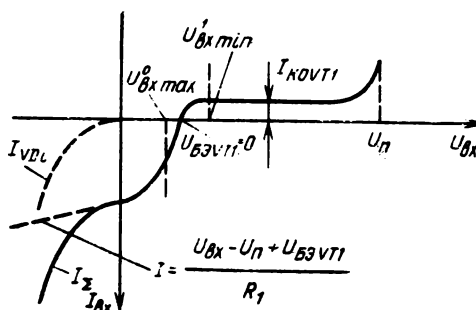


Рис. 19.15. Входная характеристика БЛЭ ТТЛ

Входная характеристика отражает зависимость входного тока одного из входов БЛЭ от изменения его входного напряжения при условии, что на все остальные входы поданы значения пассивного логического уровня, а нагрузка на выходе постоянна. Из принципа работы БЛЭ следует, что в режиме лог. 1 входной ток элемента равен току обратно смещенного эмиттерного перехода многоэмиттерного транзистора VT1 (рис. 19.6). Этот ток утекает в элемент. В режиме лог. 0 входной ток равен току прямо смещенного эмиттерного перехода и определяется сопротивлением резистора R1, включенного в базовую цепь многоэмиттерного транзистора VT1 (рис. 19.6), входным напряжением и напряжением питания. При этом он отрицателен, так как вытекает из элемента. Поэтому входная характеристика БЛЭ ТТЛ лежит в первом и четвертом квадрантах (рис. 19.15).

Максимальный входной ток в режиме лог. 0

$$I_{\max}^0 = (U_{\text{п}} - U_{\text{БЭ VT1}}) / R_1. \quad (19.10)$$

При изменении полярности входного напряжения ток i -го входа складывается из двух составляющих: тока эмиттерного перехода транзистора VT1 и тока защитного диода VD_i. Поэтому с увеличением обратного напряжения входной ток из-за действия второй составляющей резко увеличивается.

Динамические свойства БЛЭ определяются типовыми динамическими параметрами: временами задержки распространения импульса и временем переключения выходного сигнала.

Временем задержки распространения $t_{\text{зр}}$ называется временной интервал между перепадами входного и выходного напряжений, измеренный по заданному их уровню. Обычно этот уровень равен полусумме асимптотических напряжений лог. 0 и лог. 1 (рис. 19.16).

В общем случае различают два времени задержки распространения:

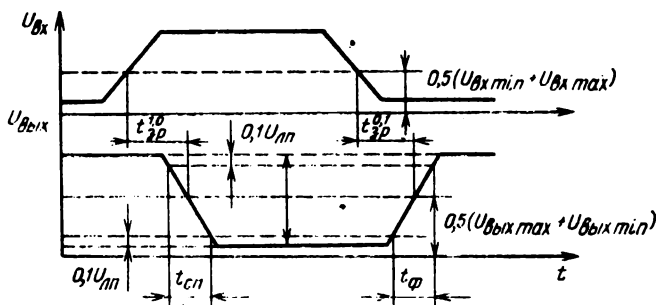


Рис. 19.16. Временные параметры БЛЭ

$t_{зп}^{1,0}$ при переходе выходного напряжения БЛЭ от значения лог. 1 к лог. 0;

$t_{зп}^{0,1}$ при переходе от значения лог. 0 к лог. 1.

Очевидно, это эти времена в общем случае не равны. Как правило

$$t_{зп}^{1,0} < t_{зп}^{0,1}. \quad (19.11)$$

Различие задержек вызывается следующими причинами.

В режиме лог. 0 элемент допускает протекание на выходе тока, как минимум в 10 раз превышающего ток в режиме лог. 1. К тому же при наихудших сочетаниях параметров транзисторов и условий эксплуатации должно выдерживаться оговоренное в технических условиях значение $U_{вых max}^0$. Все это требует, при прочих равных условиях, задания в базу транзистора VT5 (рис. 19.6) большего избыточного базового тока. А так как элемент обычно не работает в предельном режиме, то следствием этого является большее время рассасывания транзистора VT5 по сравнению с VT4, а следовательно, и выполнение неравенства (19.11).

При расчетах часто пользуются средним значением времени задержки распространения импульса

$$t_{зп ср} = (t_{зп}^{1,0} + t_{зп}^{0,1})/2. \quad (19.12)$$

Длительностью переключения выходного сигнала называют временной интервал, в течение которого выходное напряжение БЛЭ изменяется от 0,1 до 0,9 значения напряжения логического перепада.

Различают длительности фронта $t_{ф}^{0,1}$ и спада $t_{сп}$ или $t_{ф}^{1,0}$ выходного напряжения. Часто пользуются средним значением времени изменения выходного напряжения

$$t_{ф ср} = (t_{ф}^{1,0} + t_{ф}^{0,1})/2. \quad (19.13)$$

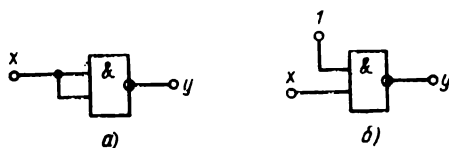


Рис. 19.17. Подключение неиспользуемых входов базовых ЛЭ:

а) $C_{вх\Sigma} = 2C_{вх}$; б) $C_{вх\Sigma} = C_{вх}$

Следует отметить, что численные значения приведенных параметров сильно зависят как от условий эксплуатации, так и от конкретного вида межсоединений БЛЭ. Увеличение емкости нагрузки приводит к увеличению численного значения указанных параметров, т. е. снижает быстродействие элемента, поскольку при постоянном токе перезаряд большей емкости требует большего времени. В свою очередь, увеличению емкостей нагрузки способствует неправильный монтаж элементов и использование для уменьшения реального числа входов БЛЭ параллельного включения нескольких однотипных выводов ИС. Поэтому с точки зрения повышения быстродействия предпочтительней на неиспользуемые входы БЛЭ подавать пассивные логические константы, а не включать параллельно несколько входных выводов (рис. 19.17).

Указанные динамические параметры определяют максимальную частоту сигнала, допустимую для данного типа БЛЭ. При увеличении частоты входного сигнала выше этого значения алгоритм работы устройства нарушается и появляются ошибки в обработке информации — ложные «0» и «1». Данные нарушения исчезают при снижении частоты входного сигнала. Появление ошибок обработки обусловлено тем, что за время действия входного сигнала выходное напряжение БЛЭ не успевает достичь значения, соответствующего зонам отображения требуемого логического уровня (рис. 19.18).

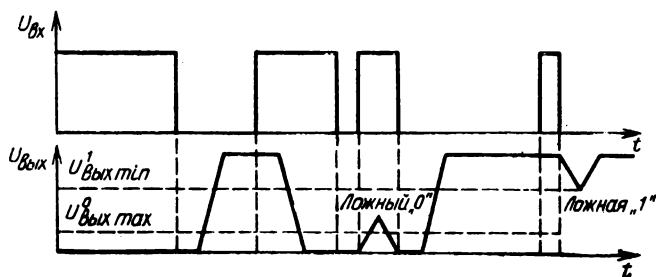


Рис. 19.18. Появление ошибок в информации при увеличении частоты входного сигнала

Поэтому всегда при увеличении частоты входного сигнала необходимо, чтобы на выходе БЛЭ до очередного изменения входной переменной переходный процесс переключения закончился и установился статический режим работы.

19.4.4. СПОСОБЫ ПОВЫШЕНИЯ БЫСТРОДЕЙСТВИЯ

Быстродействие БЛЭ серий ИС ТТЛ в основном определяется инерционными свойствами применяемых биполярных транзисторов и нагрузки. Инерционность, обусловленная параметрами нагрузки, как было показано ранее, зависит от конкретной схемы и конструктивного выполнения логического устройства. Инерционность, связанная с собственными частотными свойствами элементов БЛЭ, может быть уменьшена изменением схемотехники и режимов работы самого элемента. Анализ процессов переключения биполярных дрейфовых транзисторов, проведенный в § 10.3, показал, что основными причинами инерционности транзисторных ключей на биполярных транзисторах являются перезаряд его коллекторной емкости и время рассасывания. Эти параметры определяются как технологией изготовления транзисторов, так и режимами их работы в ключевой схеме. В частности, уменьшения длительностей переключения, обусловленных перезарядом коллекторной емкости при ее неизменном значении, можно добиться уменьшением сопротивления коллекторной нагрузки. Действительно, суммарная постоянная времени, определяющая скорость изменения коллекторного напряжения,

$$\tau_{\text{пер}} = R_k C_{\text{кб}}. \quad (19.14)$$

Уменьшение R_k уменьшает $\tau_{\text{пер}}$, а следовательно, и времена изменения коллекторных тока и напряжения транзистора.

Данное техническое решение, повышая быстродействие ключа, приводит к увеличению тока коллектора, протекающего через насыщенный транзистор и, следовательно, к увеличению мощности, рассеиваемой в БЛЭ.

Таким образом, повышение быстродействия БЛЭ ТТЛ за счет уменьшения длительности перезаряда емкости $C_{\text{кб}}$ связано с увеличением мощности, рассеиваемой в элементе.

Данное техническое решение нашло применение, например, в ИС ТТЛ серии 531 повышенного быстродействия.

Желание уменьшить время рассасывания, которое при пассивном выключении составляет значительную часть времени выключения биполярного транзистора, привело к применению в БЛЭ диодов и транзисторов Шотки. Напомним, что наиболее радикальным методом уменьшения инерционности ключа на биполярном транзисторе обусловленной рассасыванием неосновных носителей

из базовой области является использование ненасыщенного режима его работы. Последнее наиболее просто достигается шунтированием коллекторного перехода диодом Шотки (см. рис. 10.18).

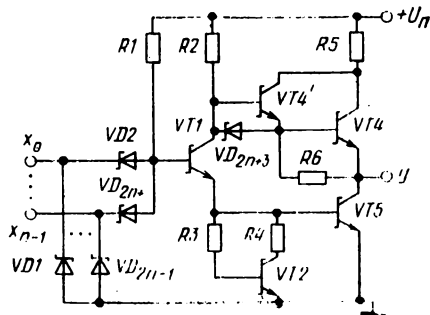
Действие включенного таким образом диода было подробно рассмотрено в § 10.3.

Диод Шотки имеет существенно меньшее пороговое напряжение открывания, чем p - n -переход транзистора. Поэтому во время действия входного импульса диод Шотки открывается раньше, чем коллекторный переход транзистора, предотвращая накопление избыточного заряда в его базовой области. Накопление заряда в самом диоде Шотки не происходит, так как ток этого диода обусловлен переносом основных носителей заряда. Таким образом, включение параллельно коллекторному переходу транзистора диода Шотки при подаче насыщающего входного напряжения автоматически фиксирует напряжение коллектор — база на уровне, близком к нулевому. Транзистор при этом работает вблизи границы режима насыщения.

Работа транзистора с диодом Шотки в активном режиме приводит к увеличению напряжения на его переходах, что несколько снижает потребляемую элементом мощность и изменяет асимптотические уровни лог. 0 и лог. 1.

Данное схемотехническое решение реализовано в разновидности БЛЭ ТТЛ, именуемой ТТЛШ.

На рис. 19.19 приведена принципиальная электрическая схема БЛЭ ТТЛШ серии 555. От схемы стандартного БЛЭ она отличается применением в выходном двухтактном усилителе мощности составного транзистора, что способствует повышению быстродействия, и выполнением входного каскада, реализующего логическую операцию И. Операция И в данном элементе выполняется с использованием диодных ключей на элементах $VD1, VD2, \dots, VD_{2n-1}, VD_{2n}$. При подаче на все входные выводы элемента напряжения высокого уровня, четные диоды $VD2, \dots, VD_{2n}$ входных диодных ключей смещаются в обратном направлении. Поэтому ток рези-



стора $R1$ насыщает транзисторы $VT1$ и $VT5$, формируя на выходе элемента сигнал низкого уровня.

Если хотя бы на один вход схемы подано низкое напряжение, соответствующий диод смещается в прямом направлении. Ток резистора $R1$ замыкается на общую шину, минуя эмиттерные переходы транзисторов $VT1$ и $VT5$. Последние запираются. При этом ток резистора $R2$ насыщает составной транзистор $VT4'$, $VT4$, формируя на выходе напряжение высокого уровня.

Благодаря такому построению, входные выводы элемента могут непосредственно подключаться к шине источника питания, что не рекомендуется делать для стандартных элементов ТТЛ.

Следует отметить, что повышение быстродействия, достигнутое применением в схеме БЛЭ диодов и транзисторов Шотки, позволило разработать серию ИС ТТЛ с уменьшенным потреблением при быстродействии, соизмеримом со стандартными элементами. Последнее важно с точки зрения повышения функциональных возможностей ИС.

Действительно, при использовании заданного корпуса, мощность, которую может рассеять одна ИС при заданных параметрах окружающей среды, строго задана. Это значит, что задано и то предельное количество полупроводниковых приборов, которое может быть размещено в данной ИС независимо от совершенства используемой технологии их изготовления. Следовательно, ограничена и конечная функциональная сложность схемы, которая может быть реализована на этих элементах.

Мощность, необходимая для работы схем ТТЛШ с уменьшенным потреблением, примерно в 5 раз меньше, чем у стандартной схемы ТТЛ. Поэтому, если позволяет технология, в том же корпусе можно разместить в 5 раз больше полупроводниковых элементов и значительно повысить сложность разрабатываемой ИС и круг решаемых с ее помощью задач.

По этой причине при создании БИС и СБИС находит практическое применение только данный тип базовых схем.

19.4.5. ИНТЕГРАЛЬНЫЕ ПАРАМЕТРЫ И РАЗНОВИДНОСТИ СЕРИЙ БЛЭ ТТЛ

Интегральные параметры БЛЭ определяют уровень развития и совершенства технологии и схемотехники, а также качество ИС. Рассмотрим два из них — энергию переключения и степень (уровень) интеграции.

Энергия переключения определяется как произведение средней мощности, потребляемой ЛЭ, на среднее время задержки распространения импульса

$$W_{\tau} = P_{\text{потр}} t_{\tau \text{ ср}}, \quad (19.15)$$

Обычно она измеряется в пикоджоулях (мВт·нс).

По мере совершенствования схемотехники и технологии энергия W_t уменьшается. По имеющейся на сегодняшний день статистике уменьшение происходит со скоростью полтора порядка за десять лет.

Уровень W_t свидетельствует о том, что на данном этапе развития технологии и схемотехники увеличение быстродействия ИС всегда связано с увеличением потребляемой мощности и, наоборот, снижение потребляемой мощности одновременно ведет к падению быстродействия.

Сказанное можно проиллюстрировать на примере рассмотренных выше БЛЭ ТТЛ. Так, увеличение быстродействия, достигнутое в серии 531 по сравнению со стандартной серией 155, получено за счет увеличения потребляемой мощности. Физические причины, приведшие к увеличению мощности, были подробно рассмотрены выше.

Степень интеграции N характеризует число элементарных ЛЭ (обычно двухвходовых), расположенных на одном кристалле ИС. Численное значение N определяется выражением

$$N = \lg K, \quad (19.16)$$

где K — количество элементов в ИС. В настоящий момент существуют ИС 6-й степени интеграции.

Все ИС ТТЛ, выпускаемые отечественной промышленностью в настоящий момент, можно разделить на следующие группы:

стандартные — серия 155;

быстродействующие с диодами Шотки — серии 530, 531, 1531;

маломощные с диодами Шотки — серии 533, 555, 1533.

Элементы всех этих серий практически выполнены по единой схеме. Существующие небольшие схемотехнические отличия были подробно рассмотрены ранее. Основное различие данных серий заключается в их быстродействии и потребляемой мощности. Типовые параметры БЛЭ различных серий ТТЛ приведены в табл. 19.1.

Напряжение всех БЛЭ ТТЛ равно $+5\text{В} \pm 5\%$ или $+5\text{В} \pm 10\%$ в зависимости от типа исполнения.

Таблица 19.1

Серия ИС	$t_{зр\text{ ср}}$, нс	$P_{\text{потр}}$, мВт	$U^1_{\text{вых}}$, В	$U^0_{\text{вых}}$, В	$I^1_{\text{вых}}$, мА	$I^0_{\text{вых}}$, мА
K155	10	10	2,4	0,4	—0,4	16
K531	3	20	2,7	0,5	—1,0	20
K555	10	2,0	2,7	0,5	—0,4	8,0

Серия ИС	$U_{вх\ max}^0, В$	$U_{вх\ min}^1, В$	$I_{вх}^0, МА$	$I_{вх}^1, МА$	$K_{раз}$	$f_{max}, МГц$
K155	0,8	2,0	—1,6	0,04	10	10
K531	0,8	2,0	—2,0	0,05	10	50
K555	0,8	2,0	—0,36	0,02	20	10

19.5. БЛЭ ЭМИТТЕРНО-СВЯЗАННОЙ ЛОГИКИ (ЭСЛ)

19.5.1. ОСОБЕННОСТИ СХЕМОТЕХНИКИ

Причиной появления БЛЭ ЭСЛ явилось желание повысить быстродействие цифровых устройств. Это желание привело к использованию в них совершенно отличного от ТТЛ схемотехнического решения. Как было показано выше, основными причинами инерционности ключей, выполненных на биполярных транзисторах, являются время рассасывания неосновных носителей из его базовой области и постоянная времени перезаряда выходной емкости. Если время рассасывания транзистора при работе последнего в активной области может быть полностью исключено, то от влияния постоянной времени перезаряда выходной емкости транзистора полностью избавиться не представляется возможным. Это влияние можно лишь уменьшить путем увеличения коллекторного тока транзистора, как это было сделано в БЛЭ ТТЛ серии 531. При неизменном постоянном токе перезаряда выходной емкости транзистора, длительность его перехода из состояния, классифицируемого как лог. 0, в состояние, классифицируемое как лог. 1 и обратно может быть уменьшено только за счет уменьшения логического перепада. Такое решение позволяет повысить быстродействие. Однако дается оно за счет снижения помехоустойчивости БЛЭ, что требует создания схем при прочих равных условиях менее подверженных действию помех. Этот принцип и использован при построении БЛЭ ЭСЛ.

Основой БЛЭ ЭСЛ является токовый ключ, выполненный на двух транзисторах (рис. 19.20). На базу одного из них, например VT_2 , подано некоторое постоянное опорное напряжение $U_{оп}$. Изменение напряжения, подаваемого на вход x_0 ниже или выше $U_{оп}$ приводит к перераспределению постоянного тока $I_э$, заданного токостабилизирующим резистором $R_э$, между транзисторами VT_1 и VT_2 . При этом транзисторы не попадают в режим насыщения и, следовательно, в ключе принципиально отсутствует интервал рассасывания их неосновных носителей. Таким образом, особенностью

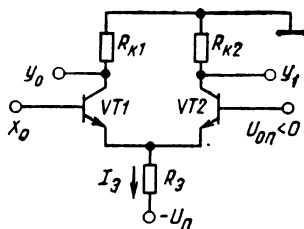


Рис. 19.20. Принципиальная электрическая схема токового ключа БЛЭ ЭСЛ

БЛЭ ЭСЛ является постоянство потребляемого тока не зависимо от значения выходного сигнала ключа.

Эта особенность выгодно отличает БЛЭ ЭСЛ от БЛЭ ТТЛ, в котором в момент переключения ток, потребляемый элементом, резко возрастает, создавая внутренние помехи, ухудшающие помехозащищенность цифрового устройства.

Нетрудно заметить, что общей шиной для элемента является шина $+U_n$, в результате чего все потенциалы точек схемы отрицательны относительно общей шины. Однако в схеме токового ключа так же, так и в схемах ТТЛ, реализован принцип положительной логики, при котором большему выходному напряжению соответствует сигнал лог. 1, а меньшему — сигнал лог. 0 (см. рис. 19.1).

Быстродействие токового ключа весьма велико, так как, во-первых, транзисторы принципиально не заходят в область насыщения, и, во-вторых, мал логический перепад напряжений между значениями лог. 0 и лог. 1. Последнее реализовано выбором малых сопротивлений резисторов $R_{к1}$ и $R_{к2}$ схемы, что крайне полезно с точки зрения уменьшения постоянной времени перезаряда выходной емкости транзистора.

С токового ключа снимаются одновременно два сигнала — прямой и инверсный, связанные с сигналом x_0 на входе схемы соотношениями:

$$\begin{aligned} y_1 &= x_0, \\ y_0 &= \overline{x_0}. \end{aligned} \quad (19.17)$$

Следует отметить, что схемотехнически токовый ключ на рис. 19.20 повторяет схему дифференциального усилителя постоянного тока (см. § 6.8).

Выходное напряжение, снимаемое с выходов y_1 и y_0 всегда больше $U_{он}$, так как транзисторы VT1 и VT2 всегда работают в ненасыщенном режиме. Поэтому непосредственное последовательное включение нескольких таких ключей невозможно. Для этого

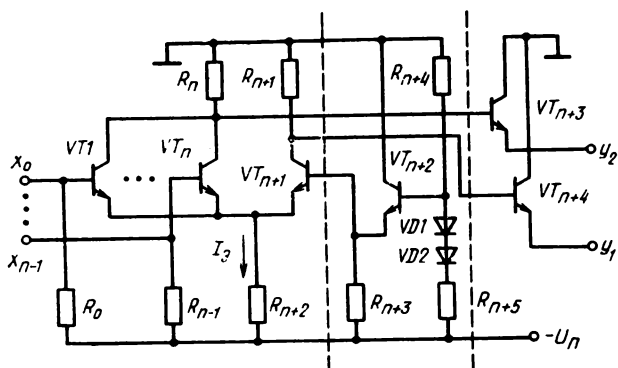


Рис. 19.21. Принципиальная электрическая схема БЛЭ ЭСЛ ИС серии 500

необходим согласующий каскад. В качестве такого согласующего каскада используются схемы эмиттерных повторителей, включенных между выходами токового ключа и выходами элемента.

Полная схема БЛЭ, выполненного на основе токового ключа, приведена на рис. 19.21 (элемент серии 500). Базовый элемент получен путем замены входного транзистора VT_1 токового ключа группой параллельно включенных транзисторов $VT_1—VT_n$.

Функционально схему БЛЭ можно разбить на три узла:

токовый ключ на транзисторах $VT_1—VT_{n+1}$ и резисторе R_{n+2} ;

источник эталонного напряжения, включающий параметрический стабилизатор на элементах R_{n+4} , VD_1 , VD_2 , R_{n+5} и эмиттерный повторитель на VT_{n+2} и R_{n+3} ;

выходные эмиттерные повторители на транзисторах VT_{n+3} и VT_{n+4} .

Цепь нагрузок транзисторов VT_{n+3} и VT_{n+4} вынесена из ИС БЛЭ, что способствует снижению рассеиваемой в ней мощности и расширению функциональных возможностей.

Диоды VD_1 , VD_2 в задающей цепи источника эталонного напряжения служат для термокомпенсации напряжения $U_{оп}$.

19.5.2. ПРИНЦИП ДЕЙСТВИЯ И ФУНКЦИОНАЛЬНЫЕ ВОЗМОЖНОСТИ БЛЭ ЭСЛ

Предположим, что на все входы схемы рис. 19.21 x_0, \dots, x_{n-1} подано напряжение, близкое к $-U_n$. Тогда транзисторы $VT_1—VT_n$ будут заперты. Весь ток резистора R_{n+2} протекает через транзистор VT_{n+1} , к выводу базы которого приложено напряжение $U_{оп}$. Этот транзистор поддерживается в активном режиме работы за счет действия глубокой последовательной отрицательной обратной

связи по току. Если не учитывать обратные токи коллекторных переходов транзисторов $VT_1—VT_n$, через резистор R_n протекает только базовый ток транзистора VT_{n+3} выходного эмиттерного повторителя. Следовательно, напряжение на выходе близко к нулевому

$$U_{y2} = -I_{Б\ VT_{n+3}} R_n - U_{БЭ\ VT_{n+3}}. \quad (19.18)$$

Численно напряжение U_{y2} примерно равно $-0,9$ В.

Через резистор R_{n+1} кроме базового тока транзистора VT_{n+4} протекает ток $I_{К\ VT_{n+1}}$, примерно равный $I_Э$. Эти токи создают на резисторе R_{n+1} падение напряжения, равное

$$U_{R_{n+1}} = (I_{К_{n+1}} + I_{Б_{n+4}}) R_{n+1} = [(I_Э h_{21Э}) / (h_{21Э} + 1) + I_{Б_{n+4}}] R_{n+1} \approx I_Э R_{n+1}.$$

Это напряжение преобразуется выходным эмиттерным повторителем на транзисторе VT_{n+4} в выходное напряжение U_{y1} , определяемое выражением

$$U_{y1} \approx -U_{БЭ\ VT_{n+4}} - I_Э R_{n+1}. \quad (19.19)$$

Численно напряжение U_{y1} примерно равно $-1,7$ В.

Если хотя бы на один из входов схемы x_0, \dots, x_{n-1} подано напряжение, превышающее по уровню $U_{оп}$ ($-1,3$ В), соответствующий транзистор VT перейдет к активный режим работы. Его ток будет равен току $I_Э$, что приведет к смене уровней выходного напряжения

$$\begin{aligned} U_{y2} &= -U_{БЭ\ VT_{n+3}} - I_Э R_n, \\ U_{y1} &= -I_{Б\ VT_{n+4}} R_{n+1} - U_{БЭ\ VT_{n+4}}. \end{aligned} \quad (19.20)$$

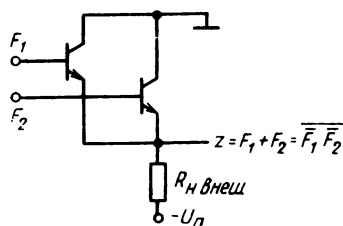
Из сказанного следует, что рассмотренная схема реализует по выходу y_2 операцию ИЛИ—НЕ, а по выходу y_1 — операцию ИЛИ

$$\begin{aligned} y_1 &= (x_0 + x_1 + \dots + x_{n-1}), \\ y_2 &= \overline{(x_0 + x_1 + \dots + x_{n-1})}. \end{aligned} \quad (19.21)$$

Резисторы $R_0—R_{n-1}$, включенные между базами транзисторов $VT_1—VT_n$ и выводом $-U_n$, обеспечивают запертое состояние этих транзисторов при отсутствии входного сигнала. Это позволяет не беспокоиться о подключении неиспользуемых входов ИС к выводам источника питания.

Особенностью схемотехнического построения элементов ЭСЛ является использование для подключения общей шины собственно токового переключателя и выходных эмиттерных повторителей различных выводов ИС. Потребляемый ток, протекающий в этих цепях, имеет качественно различный характер. Как было отмечено ранее, в принципе работы токового ключа заложено потребление

Рис. 19.22. Совместное включение выходов нескольких ЛЭ ЭСЛ



принципиально постоянного тока, так как его работа связана с перераспределением тока эмиттерного резистора R_z (см. рис. 19.20). Эмиттерные же повторители потребляют импульсный ток. К тому же для улучшения частотных свойств сопротивления резисторов, подключаемых к выводам y_1 и y_2 ИС, выбираются весьма малыми ($R_{\text{внеш}} = 75 \dots 100 \text{ Ом}$). Поэтому совместное питание этих цепей из-за малой величины логического перепада может приводить к ложному срабатыванию соседних элементов, т. е. к появлению сбоев при обработке информации (внутренних помех). Разделение цепей питания позволяет устранить этот недостаток.

Раздельное питание токовых ключей и выходных эмиттерных повторителей позволяет дополнительно решить задачу снижения мощности, рассеиваемой в реальной аппаратуре. Так как выходное напряжение элемента лежит в диапазоне $-0,9 \dots -1,7 \text{ В}$, то для питания внешних резисторов может быть использовано напряжение, не превышающее 2 В . Такое решение при малых сопротивлениях $R_{\text{внеш}}$ позволяет значительно уменьшить бесполезные потери мощности.

Рассмотренные функциональные возможности БЛЭ ЭСЛ простыми схемотехническими приемами могут быть существенно расширены. Для этого, как правило, используются два приема:

совместное включение выходов нескольких элементов на общую нагрузку;

многоярусное включение переключателей тока.

Первый прием использует свойство эмиттерных повторителей поддерживать высокий уровень выходного напряжения, если хотя бы один из параллельно соединенных транзисторов включен (рис. 19.22). Логические операции, реализуемые при объединении выходов двух двухвходовых элементов, работающих с переменными x_1, x_0 и y_1, y_0 , иллюстрируются табл. 19.2.

Второй прием базируется на последовательном (многоярусном) включении токовых переключателей, что позволяет реализовать более сложные логические функции.

Идея построения многоярусных переключателей состоит в использовании в качестве нагрузочного элемента транзистора нижнего яруса дополнительного токового переключателя, образующего

Логические операции, выполняемые БЛЭ ЭСЛ при объединении их выходов

Тип соединения	Выходные сигналы	Тип выполняемой операции
Инверсные выходы	$z = \overline{(x_1 + x_0)} + \overline{(y_1 + y_0)} =$ $= (x_1 + x_0)(y_1 + y_0)$	ИЛИ—И—НЕ
Прямые выходы	$z = x_1 + x_0 + y_1 + y_0$	ИЛИ

следующий ярус схемы. При этом для протекания тока через токовые переключатели высшего яруса должны быть включены соответствующие транзисторы низшего яруса схемы.

В качестве примера такого решения на рис. 19.23 приведена схема построения двухъярусного переключателя. Схема включает токовый переключатель первого яруса на транзисторах $VT4$ и $VT7$. В коллекторные цепи этих транзисторов включены два токовых переключателя второго яруса соответственно на транзисторах $VT2$, $VT3$ и $VT5$, $VT6$. Очевидно, что эталонное напряжение нижнего токового переключателя должно быть меньше, чем верхних. Поэтому при использовании единого источника эталонного напряжения на вход нижнего токового ключа оно подается через делитель напряжения на резисторах $R8$ и $R9$. Цели согласования уровней входного напряжения для токовых ключей переключателей нижнего и верхнего ярусов служит и эмиттерный повторитель на транзисторе $VT1$. Выходные эмиттерные повторители в данной схеме подключаются только к транзисторам токовых переключателей верхнего яруса.

Рассмотрим работу схемы при подаче на ее входы двух сигналов лог. 0, т. е. $x=0$, $y=0$. В этом случае под действием напряжения $U_{он}$ на эмиттерные переходы транзисторов $VT3$, $VT5$ и $VT7$ будет подано положительное смещение. Однако ток I_3 эмиттерного резистора $R5$ будет протекать только через после-

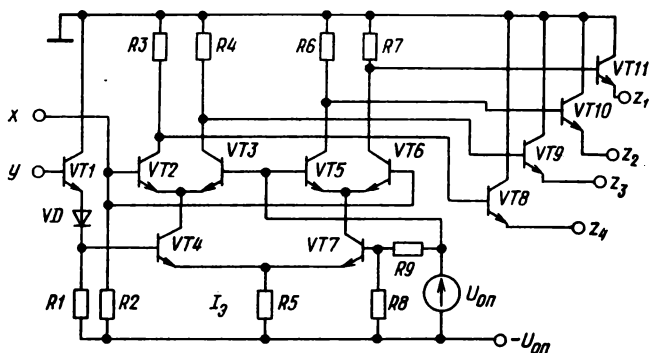


Рис. 19.23. Принципиальная электрическая схема построения двухъярусного токового переключателя ЭСЛ

довательно включенные транзисторы $VT5$ и $VT7$. При этом только на выходе транзистора $VT10$ выходных эмиттерных повторителей будет сформирован сигнал лог. 0 (ток I_3 протекает через резистор $R6$). На остальных выводах напряжение в силу выражения (19.18) будет близко к нулевому, что в принятых обозначениях соответствует сигналу лог. 1. Поэтому зависимость выходного сигнала z_2 через совокупность входных сигналов элемента будет описываться выражением $\bar{z}_2 = \bar{x}\bar{y}$.

Аналогично могут быть получены выражения, связывающие значения логических сигналов на остальных выходах со значениями входных переменных: $\bar{z}_1 = \bar{x}y$; $\bar{z}_3 = \bar{x}y$; $\bar{z}_4 = \bar{x}y$.

Аналогичная система ФАЛ была получена при рассмотрении схем дешифраторов.

Таким образом, схема двухъярусного переключателя тока реализует функции дешифратора с двумя адресными входами. На основе описанного принципа могут быть построены и более сложные логические схемы.

Из вышесказанного можно сделать вывод, что особенностью схем ЭСЛ является широкое использование схемотехнических решений для получения в ИС различных логических функций. При этом сама схемотехника является функционально гибкой и представляет широкие возможности для разработчика. Это позволяет более эффективно, т. е. при более простых, чем в ТТЛ, схемотехнических затратах реализовать сложные ФАЛ. Данное свойство нашло широкое практическое применение при разработке БИС частного применения на основе базовых матричных кристаллов (см. § 22.7).

19.5.3. СТАТИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Так как входные и выходные напряжения БЛЭ ЭСЛ отрицательны, передаточные характеристики данного элемента лежат в третьем квадранте. Это в зависимости от используемого выхода характеристики инвертирующего и неинвертирующего усилителей (рис. 19.24). Входное напряжение вблизи $U_{оп} = -1,3$ В является запрещенным, так как для него значение выходного напряжения не определено. Как видно из приведенной типовой характеристики, логический перепад выходного напряжения для элемента ЭСЛ меньше, чем для ТТЛ и составляет примерно 0,88 В.

Входной ток БЛЭ ЭСЛ всегда положителен и поэтому его входная характеристика полностью лежит во втором квадранте (рис. 19.25).

На приведенной характеристике указаны зоны отображения сигналов лог. 0 и лог. 1, а также ее характерные точки.

Так же как и для элемента ТТЛ для БЛЭ ЭСЛ различают две выходных характеристики, соответствующие формированию на вы-

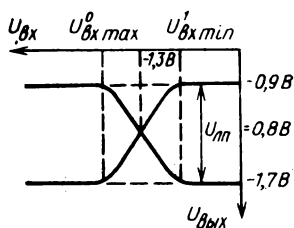


Рис. 19.24. Передаточные характеристики БЛЭ ЭСЛ

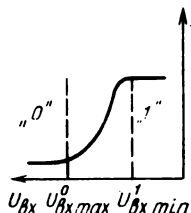


Рис. 19.25. Входная характеристика БЛЭ ЭСЛ

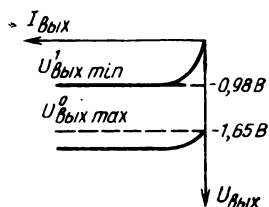


Рис. 19.26. Выходные характеристики БЛЭ ЭСЛ

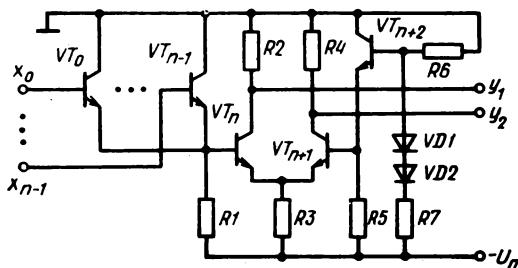


Рис. 19.27. Принципиальная электрическая схема быстродействующего БЛЭ ЭСЛ

ходе сигналов лог. 0 и лог. 1. Обе эти характеристики лежат в третьем квадранте. Их типовой вид показан на рис. 19.26.

Так как на выходе БЛЭ используются эмиттерные повторители, то выходное сопротивление элемента крайне мало и его выходные характеристики почти горизонтальны. Малое выходное сопротивление способствует повышению помехоустойчивости схемы.

19.5.4. СПОСОБЫ ПОВЫШЕНИЯ БЫСТРОДЕЙСТВИЯ

Инерционность, обусловленная временем рассасывания биполярного транзистора, в БЛЭ ЭСЛ отсутствует, поэтому повышение быстродействия может быть достигнуто только уменьшением входной емкости и суммарной емкости коллекторного узла схемы. Данный способ реализован в так называемых элементах Э²СЛ. Идея их построения состоит в отказе от применения эмиттерных повторителей в выходной цепи элемента и переносе их в его входную цепь. При этом емкость нагрузки эмиттерного повторителя, т. е. собственно входная емкость токового переключателя при пере-⁴счете в его входную цепь уменьшается в $h_{21Э}$ раз ($C_{вх} = C_n/h_{21Э}$).

Основные параметры БЛЭ ЭСЛ

Тип элемента	Серия	$t_{зр\text{ ср.}} \text{ нс}$	$P_{\text{потр.}} \text{ мВт}$	$U_{\text{ном.}} \text{ мВ}$	$U_{\text{лп.}} \text{ В}$	$U_{\text{п.}} \text{ В}$
ЭСЛ	500 1500	2	25	130 ... 160	0,8	5,2
ЭСЛ	—	0,5 ... 0,8	5	130 ... 160	0,6	5,2
МЭСЛ	—	0,5 ... 0,8	5	40 ... 50	0,4	2 ... 3

Элемент такого типа обладает уменьшенной энергией переключения, его принципиальная схема приведена на рис. 19.27.

Другим способом повышения быстродействия является уменьшение уровня логического перепада и напряжения питания. Это решение использовано при разработке так называемой малосигнальной ЭСЛ (МЭСЛ). Однако так как при этом сильно падает помехоустойчивость БЛЭ, данное решение находит применение только при разработке СБИС. При этом входные и выходные сигналы самой ИС находятся на стандартном уровне ТТЛ. Типовые характеристики БЛЭ ЭСЛ различных типов приведены в табл. 19.3.

19.6. БЛЭ НА МДП-ТРАНЗИСТОРАХ

19.6.1. ОСОБЕННОСТИ ИСПОЛЬЗОВАНИЯ МДП-ТРАНЗИСТОРА

В 1962 г. с использованием планарной технологии был разработан МДП-транзистор с изолированным затвором. Это послужило началом нового схмотехнического направления — разработке ИС МДП. В первую очередь это были логические ИС и ИС запоминающих устройств.

Широкому распространению МДП-схмотехники способствовали следующие ее особенности:

более простая технология изготовления (короче технологический цикл изготовления), что способствует повышению процента выхода годных изделий;

меньшие геометрические размеры прибора и более простые схмотехнические решения, что при одинаковой с биполярной ИС площади кристалла позволяет разместить на нем более сложную по выполняемым функциям схему или при одинаковой функциональной сложности получить меньшую площадь кристалла, что также способствует повышению выхода годных изделий (меньше влияние дефектов исходного полупроводника).

Вместе с тем при разработке ИС МДП приходится учитывать следующие особенности данного класса приборов:

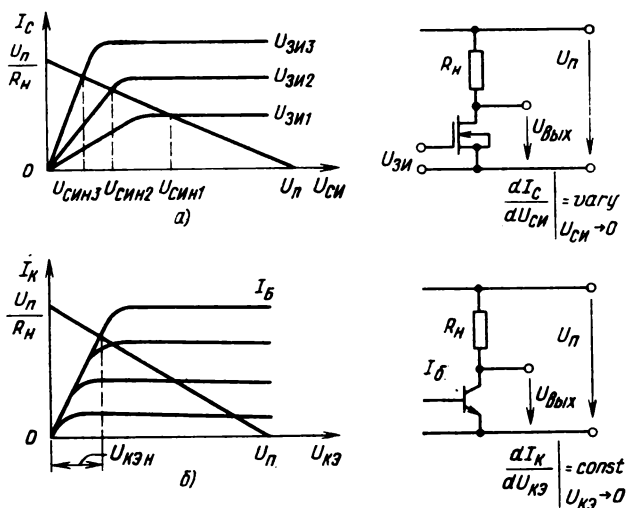


Рис. 19.28. Статические характеристики МДП (а) и биполярного (б) транзисторных ключей

1) МДП-транзистор обладает худшими ключевыми свойствами по сравнению с биполярным транзистором. Это выражается в большем выходном сопротивлении и, следовательно, большем остаточном напряжении во включенном состоянии;

2) производная выходной характеристики МДП-транзистора $dI_C/dU_{Cи}$ при малых напряжениях $U_{Cи}$ имеет явно выраженную зависимость от напряжения $U_{зи}$ (рис. 19.28, а), в то время как аналогичная производная для выходных характеристик биполярного транзистора практически постоянна (рис. 19.28, б). Вследствие этого остаточное напряжение на включенном МДП-транзисторе сильно зависит от управляющего напряжения. Применительно к логическим схемам это означает сильную зависимость напряжения лог. 0 от напряжения лог. 1. Ослабить эту зависимость можно уменьшением абсолютного тока стока во включенном состоянии, что требует использования в ключе на МДП-транзисторе высокоомной нагрузки;

3) необходимость применения собственной высокоомной нагрузки при фиксированной емкости (входной емкости аналогичного элемента) увеличивает постоянную времени, определяющую длительности фронта и спада выходного напряжения ЛЭ. Это приводит к падению его быстродействия;

4) в силу рассмотренных выше особенностей (нестабильности выходных логических уровней) для обеспечения достаточной по-

мехоустойчивости ЛЭ на МДП-транзисторах должны работать при больших величинах логического перепада. Это также способствует падению быстродействия элемента.

Следует отметить, что необходимость применения высокоомной нагрузки имеет и положительное свойство, выражающееся в уменьшении рассеиваемой в ключе на МДП-транзисторе мощности.

19.6.2. СХЕМОТЕХНИКА БЛЭ n МОП- И p МОП-ТИПОВ

Схемотехнические решения, используемые при построении ИС МДП, направлены на устранение вышеописанных недостатков элементарного ключа. Поэтому при построении ИС схема ключа с нагрузочным резистором не используется. Широкое применение нашла схема ключа с нагрузочным МДП-транзистором. Это дополнительно позволяет упростить технологию изготовления ИС, так как из схемы исключаются все пассивные элементы (резисторы) и она строится только на однотипных элементах — МДП-транзисторах. Схема транзисторного ключа с нагрузочным МДП-транзистором была рассмотрена в § 10.4.

Напомним, что ее особенностью является зависимость реального сопротивления транзистора $VT2$ от режима работы $VT1$ (см. рис. 10.25), что обеспечивает увеличение тока перезаряда емкости нагрузки, а следовательно, и быстродействия ключа.

В зависимости от типа используемого транзистора различают ИС n МОП и p МОП-типов. Рассмотрим построение БЛЭ с использованием n МОП-транзисторов. На рис. 19.29, $a, б$ приведены принципиальные электрические схемы двухвходовых БЛЭ, реализующих операции 2И—НЕ и 2ИЛИ—НЕ.

Обе схемы содержат по три транзистора, из которых $VT1$ выполняет роль активной нагрузки, а $VT2$ и $VT3$ являются собственными транзисторными ключами, реализующими логические операции. В схеме рис. 19.29, a , реализующей логическую операцию И—НЕ,

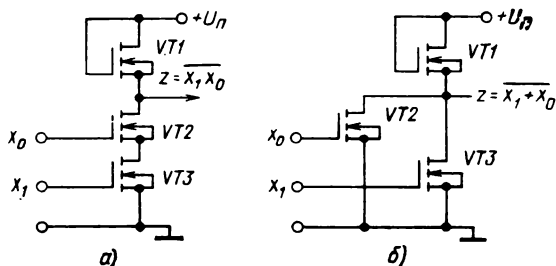


Рис. 19.29. Принципиальные электрические схемы БЛЭ на МДП-транзисторах, реализующих операции 2И—НЕ (a) и 2ИЛИ—НЕ ($б$)

транзисторы $VT2$ и $VT3$ включены последовательно. Поэтому для появления на выходе схемы низкого напряжения на затворы обоих транзисторов необходимо подать высокое напряжение, достаточное для протекания тока активной нагрузки. В схеме рис. 19.29, б транзисторы $VT2$ и $VT3$ включены параллельно. Поэтому при подаче на затвор любого из них высокого напряжения на выходе будет сформировано напряжение низкого уровня.

Увеличение числа входных переменных элемента требует увеличения количества последовательно или параллельно включенных транзисторов. Поэтому, используя описанный принцип с минимальными схемотехническими затратами, можно легко построить логический элемент с требуемым числом входов.

19.6.3. СХЕМОТЕХНИКА БЛЭ КМОП-ТИПА

Увеличение быстродействия ИС МДП требует увеличения токов перезаряда емкостей нагрузки. Однако это, как было показано ранее, ограничивается ростом потребляемой мощности и увеличением нестабильности выходных логических уровней. Преодолеть указанное противоречие можно либо технологическим путем, создавая транзисторы с меньшей входной емкостью, либо схемотехническим путем, применяя схему ключа на транзисторах с каналами различного типа (комплементарные транзисторы). Как было показано в § 10.4, эти ключи, с одной стороны, позволяют значительно увеличить токи перезаряда емкости нагрузки, а с другой, — максимально уменьшить мощность, рассеиваемую в элементе. Напомним, что ключ на комплементарных транзисторах (см. рис. 10.28) при правильном выборе параметров входящих в него элементов в статическом режиме работы практически не потребляет мощность от источника питания.

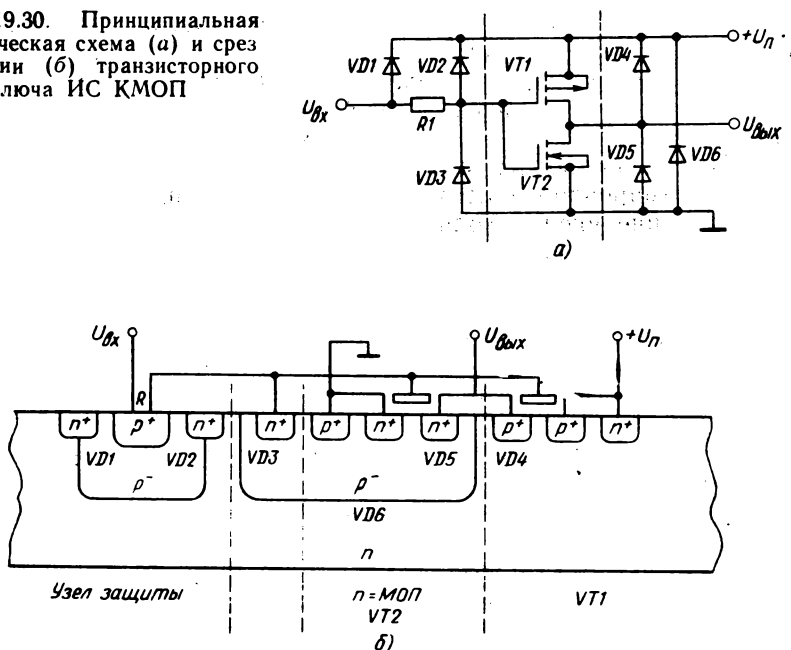
Потребляемая элементом мощность в статическом режиме тождественно равна мощности, отдаваемой им в нагрузку. А так как нагрузкой элемента являются входные цепи аналогичных элементов, носящие чисто емкостный характер, то мощность, отбираемая от источника питания, расходуется только в динамическом режиме на перезаряд этой емкости, т. е. имеет минимально возможное значение.

На рис. 19.30, а, б приведены принципиальная электрическая схема и срез топологии транзисторного ключа, используемого в ИС КМОП.

Она может быть разбита на три части: входной диодно-резисторный ограничитель напряжения; собственно ключ на КМОП-транзисторах; выходная диодная цепь.

Входное сопротивление транзисторов, используемых в схеме ключа, достигает значений до 10^{12} Ом. При толщине изоляции ме-

Рис. 19.30. Принципиальная электрическая схема (а) и срез топологии (б) транзисторного ключа ИС КМОП



жду затвором и полупроводником порядка 50 ... 70 мкм его собственное пробивное напряжение составляет порядка 150 ... 200 В. Это предполагает введение в элемент специальной схемы защиты от статического электричества, которое может попасть на его вход в процессе хранения или монтажа. Роль этой схемы выполняет входной диодно-резистивный ограничитель на элементах VD1, VD2, VD3 и R1. Данная схема ограничивает напряжение на входе транзисторного ключа в диапазоне от $-0,7$ В до $U_{п} + 0,7$ В.

Элементы выходной диодной цепи (VD4, VD5, VD6) образованы соответствующими областями самого транзисторного ключа и с точки зрения его работы не являются обязательными. Наличие этих диодов накладывает дополнительные ограничения на использование элемента. Всегда должно выполняться неравенство

$$|U_{вх} - U_{вых}| < U_{п}. \quad (19.22)$$

В противном случае диоды входного ограничителя и выходной цепи могут открываться, закорачивая цепь питания элемента. Последнее может быть причиной его пробоя. Поэтому напряжение питания на КМОП-схеме должно всегда подаваться до включения и сниматься после отключения входного информационного сигнала.

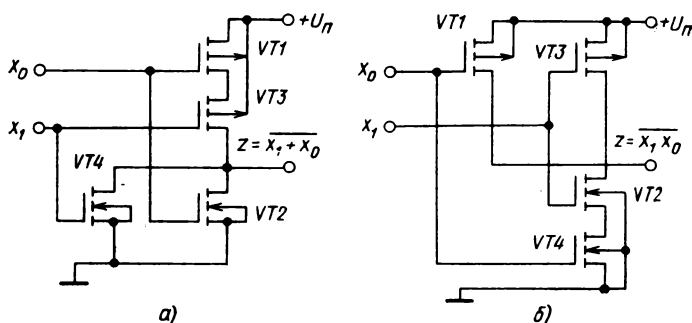


Рис. 19.31. Принципиальные электрические схемы БЛЭ КМОП-типа, реализующие функции 2И—НЕ (а) и 2ИЛИ—НЕ (б)

Схемотехнически БЛЭ КМОП-типа повторяют схемы элементов n МОП- и p МОП-типов. Отличие состоит в том, что всегда используются пары транзисторов. При этом если для реализации заданной логической функции транзисторы с каналом n -типа включаются последовательно, то парные им транзисторы p -типа включаются параллельно и наоборот. В качестве примера на рис. 19.31 приведены принципиальные электрические схемы, реализующие логические операции 2И—НЕ и 2ИЛИ—НЕ. Для упрощения на приведенных схемах не показаны элементы входных и выходных цепей ключа.

К особенностям схем БЛЭ следует также отнести отсутствие дополнительного нагрузочного транзистора. Его роль выполняет один из транзисторов ключа.

Анализ схем позволяет сделать важный практический вывод о том, что аналогично БЛЭ ТТЛ для БЛЭ КМОП параллельное включение нескольких их выходов запрещено.

В табл. 19.4 приведены наиболее важные параметры БЛЭ КМОП.

Следует также отметить, что КМОП-элементы обладают высокой помехоустойчивостью — до 40% напряжения питания.

Таблица 19.4

$U_{\text{вых min}}, \text{В}$	$U_{\text{вых max}}, \text{В}$	$t_{\text{зр ср}}, \text{нс}$	$F_{\text{max}}, \text{МГц}$	$I_{\text{потр}}, \text{мкА}$	$U_{\text{п}}, \text{В}$	$K_{\text{раз}}$	$C_{\text{вх}}, \text{пФ}$
8	0,3	30 ($C_{\text{н}} = 15 \text{ пФ}$) 100 ($C_{\text{н}} = 100 \text{ пФ}$)	1	0,1	3 ... 15 (9)	50	5

19.7. БЛЭ ИНТЕГРАЛЬНО-ИНЖЕКЦИОННОЙ ЛОГИКИ

Для повышения технологичности изготовления желательно при разработке ИС применять схемотехнические решения, использующие только однотипные элементы, например транзисторы. Этот путь, как было показано ранее, реализован в ИС МДП, что наряду с другими достоинствами является причиной их широкого распространения. Однако, как уже отмечалось, ключ на биполярных транзисторах на сегодняшний день обладает лучшими как ключевыми, так и частотными свойствами. Это является предпосылкой к постоянному поиску новых схемотехнических решений для реализации биполярных ИС. Такой поиск привел к почти одновременной разработке фирмами Philips и IBM элемента интегральной инжекционной логики (И²Л). Срез топологии и соответствующая ему принципиальная электрическая схема БЛЭ И²Л приведены на рис. 19.32, а, б.

Особенностью элементов И²Л является:

1) отсутствие резисторов, что резко упрощает технологию производства ИС;

2) использование токового принципа питания, при котором в ИС задается не напряжение, а ток, который непосредственно инжектируется в область полупроводника, образующего структуру одного из транзисторов;

3) пространственное совмещение в кристалле полупроводника областей, функционально принадлежащих различным транзисторам. При этом структура располагается как по горизонтали (планарно), так и по вертикали. Такое решение позволяет отказаться от применения специальных решений для отделения областей, принадлежащих различным элементам, как это необходимо делать в элементах ТТЛ и ЭСЛ.

4) малое значение логического перепада, что позволяет максимально увеличить быстродействие элемента.

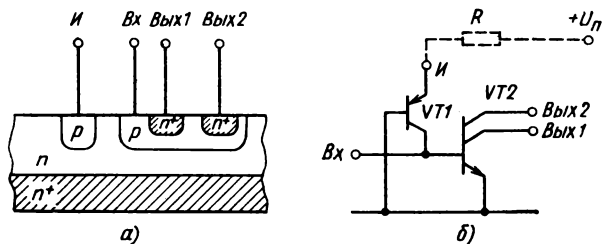


Рис. 19.32. Срез топологии (а) и принципиальная электрическая схема БЛЭ (б) И²Л

В приведенной схеме (рис. 19.32, б) многоколлекторный транзистор $VT2$ выполняет функцию инвертирования входного сигнала, а транзистор $VT1$ — генератора (инжектора) базового тока транзистора $VT2$. К особенностям элемента следует отнести и постоянство тока инжектора во всех режимах работы элемента. Ток инжектора задается резистором R , который, как правило, выполняется общим на группу элементов.

Из рис. 19.32, а видно, что транзистор $VT1$ образован планарной структурой, а многоколлекторный транзистор $VT2$ — вертикальной структурой. Причем, так как площадь каждого коллектора транзистора $VT2$ меньше площади его эмиттера, этот транзистор, по сути, работает в инверсном режиме, что способствует уменьшению его напряжения насыщения. Все сказанное позволило разместить весь элемент И²Л на площади, занимаемой в схеме ТТЛ одним многоэмиттерным транзистором.

Важной особенностью элемента И²Л является возможность, варьируя ток инжектора в широких пределах, изменять его быстродействие. Реально ток инжектора может изменяться от 1 нА до 1 мА, т. е. на 6 порядков. А поскольку при заданной схемотехнике энергия переключения элемента — величина постоянная, в таких же пределах может изменяться и быстродействие элемента. Важно, что для этого не требуется никаких схемотехнических изменений в элементе.

Принцип действия схемы И²Л заключается в следующем. Допустим, внешний сигнал на входе элемента (база транзистора $VT2$) отсутствует, что соответствует сигналу лог. 1. В этом случае ток инжектора, втекая в базу транзистора $VT2$, насыщает его. На его коллекторах, а следовательно, и на выходных выводах элемента присутствует напряжение низкого уровня, равное напряжению насыщения транзистора $VT2$. Реально это 0,1 В ... 0,2 В.

Если база транзистора $VT2$ непосредственно или через насыщенный транзистор подключена к общей шине, то выполняется условие $U_{вх} < U_{БЭ0}$ и транзистор $VT2$ заперт, так как ток инжектора замыкается на общую шину, минуя его эмиттерный переход. В этом случае напряжение на его коллекторах определяется внешними цепями. При последовательном включении нескольких инверторов это напряжение равно напряжению эмиттерного перехода последующего транзистора. Таким образом, для БЛЭ И²Л справедливы следующие соотношения:

$$U^0 = 0,1 \dots 0,2 \text{ В}; \quad U^1 = 0,6 \dots 0,7 \text{ В}.$$

Из приведенных соотношений следует, что логический перепад для БЛЭ И²Л составляет 0,4 ... 0,6 В.

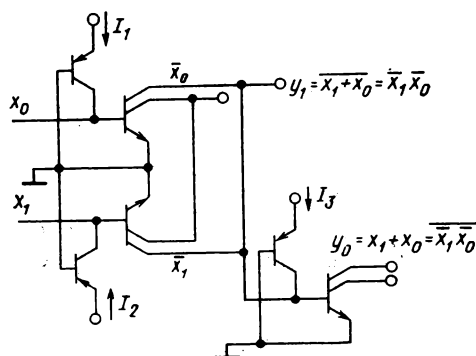


Рис. 19.33. Реализация логических операций 2И—НЕ и 2ИЛИ—НЕ на БЛЭ И²Л

С использованием приведенной схемы могут быть реализованы основные логические операции И—НЕ и ИЛИ—НЕ. На рис. 19.33 показана логическая схема, построенная на трех инверторах И²Л.

Особенностью элементов И²Л является возможность параллельного включения нескольких их выходов. Из приведенной схемы следует, что при параллельном включении нескольких выходов в общей точке относительно входных переменных реализуется логическая операция ИЛИ—НЕ. Относительно же выходных сигналов элементов реализуется логическая операция И. Таким образом, если не требуется гальваническое разделение между входными и выходными сигналами, то логическая операция И выполняется без каких-либо дополнительных схемотехнических затрат простым объединением соответствующих выходов БЛЭ. После инвертирования результата выполненной операции ИЛИ—НЕ дополнительным элементом относительно исходных входных переменных реализуется логическая операция ИЛИ, а относительно выходных сигналов первых элементов — операция И—НЕ.

Таким образом, БЛЭ И²Л позволяет максимально унифицировать структуру ИС, снизив площадь ее кристалла, и либо уменьшить ее потребление, либо повысить быстродействие.

Типовое время задержки распространения БЛЭ И²Л при токе инжектора 0,1 мкА составляет 10 нс. При этом энергия переключения для этого элемента на несколько порядков меньше, чем для элемента ТТЛ.

Ввиду небольшой помехоустойчивости, обусловленной малым логическим перепадом, БЛЭ И²Л используются исключительно в составе БИС и СБИС и как отдельные ИС малой степени интеграции не выпускаются. При этом входные и выходные цепи ИС, выполненных по технологии И²Л, делаются совместимыми по логическим уровням с сигналами ТТЛ.

Контрольные вопросы

1. Что общего и каковы отличия потенциального и импульсного способов представления лог. 0 и лог. 1?
2. Назовите условия совместимости уровней входных и выходных сигналов логических элементов.
3. Что характеризуют коэффициенты объединения по входу и разветвления по выходу и каковы их типовые значения?
4. Изобразите амплитудную передаточную характеристику инвертирующего усилителя. В чем заключается формирующее свойство ЛЭ?
5. Чем определяется зона импульсной помехоустойчивости ЛЭ?
6. Назовите основные схемотехнические решения, применяемые при создании базовых ЛЭ разных типов; сравните их по техническим параметрам.
7. Приведите схему базового элемента ЗИ—НЕ ТТЛ и опишите ее функционирование.
8. Назовите и приведите схемные разновидности элементов ТТЛ. Каково их назначение?
9. Соотношения между какими параметрами показывают амплитудная передаточная, входная и выходная характеристики БЛЭ?
10. Перечислите динамические параметры ЛЭ.
11. Каково назначение диодов и транзисторов Шотки в схемах БЛЭ ТТЛШ?
12. Сравните основные параметры ИС ТТЛ различных серий. Объясните причины существующих отличий.
13. Приведите схему токового ключа как основы БЛЭ ИС ЭСЛ.
14. Опишите функционирование схемы БЛЭ ЭСЛ.
15. Какими способами расширены функции базового ЛЭ ЭСЛ?
16. Какие параметры БЛЭ ЭСЛ представлены на статических характеристиках — передаточной, входной и выходной?
17. В чем заключаются схемотехнические способы повышения быстродействия БЛЭ ЭСЛ?
18. Какие особенности характеризуют схемы на базе МДП-транзисторов?
19. Приведите схему ключа с нагрузочным МДП-транзистором и опишите ее функционирование.
20. Приведите схемы БЛЭ на МДП-транзисторах, реализующих операции ЗИ—НЕ и ЗИЛИ—НЕ и опишите их функционирование.
21. Приведите схему и статическую характеристику ключа на КМОП-транзисторах.
22. Изобразите конструкцию транзисторного ключа ИС КМОП и его схему.

23. Приведите схемы БЛЭ КМОП, выполняющие операции ЗИ—НЕ и ЗИЛИ—НЕ.

24. В чем заключаются особенности ЛЭ И²Л.

25. Приведите схему БЛЭ И²Л и ее топологию.

ГЛАВА 20.

ГЕНЕРАТОРЫ НА ЛОГИЧЕСКИХ ЭЛЕМЕНТАХ И ТАЙМЕРЫ

Классификация и основа общей теории построения схем генераторов были уже рассмотрены в гл. 11. Поэтому ниже остановимся только на особенностях построения генераторов негармонических колебаний (мультивибраторов) на основе БЛЭ различных типов и специализированных ИС-таймерах.

20.1. АВТОГЕНЕРАТОРЫ НА БЛЭ

Как было показано в гл. 11, схемы мультивибраторов для формирования временных интервалов заданной длительности используют процессы перезаряда времязадающего конденсатора. При этом перезаряд всегда происходит между двумя наперед заданными уровнями напряжения. Поэтому для всех схем автогенераторов негармонических колебаний справедлива единая схема замещения, показанная на рис. 20.1. При известных значениях начального и конечного напряжений на конденсаторе в общем виде длительность перезаряда может быть найдена из решения дифференциального уравнения для приведенной схемы замещения

$$t = RC \ln \frac{U_{\text{эКВ}} - U_C(0)}{U_{\text{эКВ}} - U_C(t)}. \quad (20.1)$$

Подставляя в приведенное выражение значения напряжений $U_{\text{эКВ}}$, $U_C(0)$ и $U_C(t)$, полученные для конкретных схем, можно найти такие основные параметры автогенератора, как $t_{\text{и}}$, $T_{\text{г}}$ и q .

С учетом сделанных замечаний рассмотрим более подробно работу некоторых наиболее распространенных схем мультивибраторов.

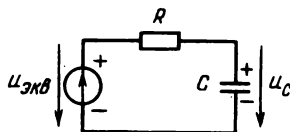


Рис. 20.1. Схема замещения автогенератора негармонических колебаний

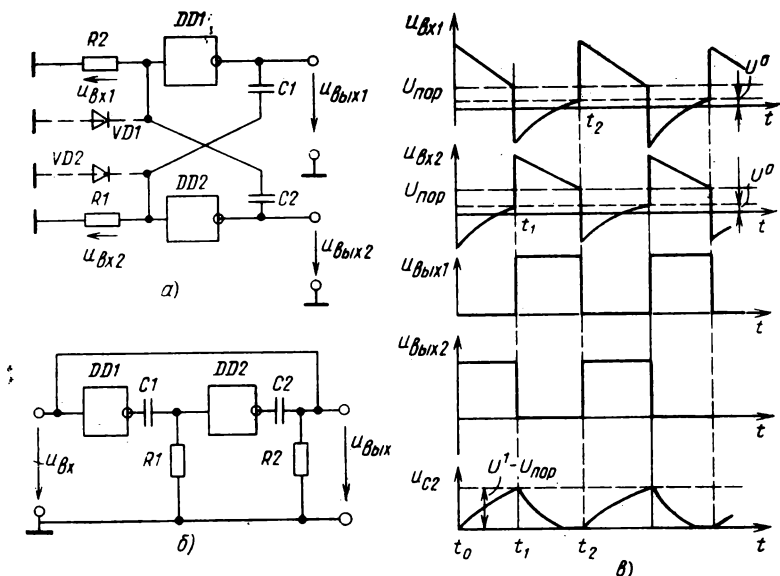


Рис. 20.2. Автогенераторы на основе двух инверторов (а), (б) и временные диаграммы (в), поясняющие его работу

ров, выполненных на основе БЛЭ различных типов. Будем полагать, что для используемых ЛЭ всегда выполняются условия $U_{ВХ}^0 = U_{ВЫХ}^0$, $U_{ВХ}^1 = U_{ВЫХ}^1$.

Автогенератор на основе инверторов ТТЛ. На рис. 20.2, а приведена принципиальная электрическая схема мультивибратора на двух инверторах. По идеологии построения она повторяет рассмотренную ранее схему транзисторного мультивибратора (см. рис. 11.9). Роль транзисторов в этой схеме выполняют ЛЭ, используемые в качестве инверторов.

Покажем, что для этой схемы условия баланса амплитуд и фаз (11.12) и (11.13) выполняются в широком диапазоне частот.

Представим схему мультивибратора в виде последовательного соединения двух инверторов (рис. 20.2, б), на выходе каждого из которых аналогично усилителю с RC -связями включена соответствующая разделительная цепь. Инверторы охвачены безынерционной цепью ПОС. Предположим, что существует некоторый диапазон частот, в котором инвертор ТТЛ, рассматриваемый как усилитель, еще не проявляет свои инерционные свойства, а фазовый сдвиг разделительных RC -цепей стремится к своему предельному значению: $\varphi_{ТТЛ} = \pi$, $\varphi_{RC} = 0$.

Так как цепь ПОС безынерционна, суммарный фазовый сдвиг разомкнутого контура регулирования $\varphi_{\text{рз}} = \varphi_{DD1} + \varphi_{R1C1} + \varphi_{DD2} + \varphi_{R2C2} + \varphi_{\text{ос}} = 2\pi$.

При определении суммарного коэффициента усиления можно считать, что для рассматриваемого диапазона частот $K_{\text{РС}} = 1$ и результирующий коэффициент передачи разомкнутого контура определяется исключительно параметрами инвертора ТТЛ: $K_{\Sigma} = K_{DD1}K_{DD2}$.

Анализируя типовую передаточную характеристику элемента ТТЛ (см. рис. 19.3), можно сделать вывод, что в некотором диапазоне входных сигналов $K_{DD} \gg 1$. Причем при увеличении амплитуды входного сигнала дифференциальное значение коэффициента передачи падает. Следовательно, для рассматриваемой схемы можно выделить диапазон частот, где выполняются условия и баланса амплитуд, и баланса фаз. Поэтому рассматриваемое устройство является автогенератором негармонических колебаний. Все сказанное остается справедливым и при использовании в качестве инверторов БЛЭ других типов.

При получении выражений, описывающих работу мультивибратора, приведенного на рис. 20.2, а, будем полагать:

$$\begin{aligned} R_1 = R_2 = R < U_{\text{вх ТТЛ max}}^0 / I_{\text{вх ТТЛ}}^0, \\ C_1 = C_2 = C. \end{aligned} \quad (20.2)$$

Поэтому при отсутствии тока перезаряда конденсаторов обеспечивается гарантированное формирование на входах ТТЛ инверторов сигналов лог. 0.

На рис. 20.2, в приведены временные диаграммы, поясняющие работу устройства. Допустим, что в некоторый момент t_0 в схеме установились следующие значения напряжений: $U_{\text{вых2}} = U^1$ и $U_{\text{вых1}} = U^0$. Тогда на входе инвертора DD1 при условии $U_{C2} = 0$ появится напряжение $U_{\text{вх1}} = I_C(t_0)R = U^1$. Это зафиксирует напряжение $U_{\text{вых1}}$ на уровне лог. 0 U^0 и подтвердит наличие на выходе DD2 напряжения высокого уровня U^1 . Схема попадает в квазиустойчивое состояние, при котором $U_{\text{вых1}} = U^0$, а $U_{\text{вых2}} = U^1$, которое будет сохраняться до момента t_1 . В этот момент вследствие заряда конденсатора C2 напряжение $U_{\text{вх1}}$ уменьшится до $U_{\text{вх1}} = U_{\text{пор}}$ и произойдет изменение выходных напряжений инверторов DD1 и DD2. Длительность этого интервала, согласно (20.1) и с учетом того, что $U_{\text{экв}} = U_{\text{лп}}$, $U_C(0) = 0$, $U_C(t_1) = U^1 - U_{\text{пор}}$, будет равна

$$\Delta t_1 = t_1 - t_0 = RC \ln(U_{\text{лп}} / (U_{\text{пор}} - U^0)). \quad (20.3)$$

В момент t_1 на выходе элемента DD1 сформируется напряжение U^1 , которое через конденсатор C1 передается на вход элемента DD2. Последний сформирует на выходе напряжение U^0 . Это,

в свою очередь, вызовет уменьшение напряжения $U_{вх1}$ с $U_{пор}$ до $U_{пор} - U_{лп}$, что подтвердит значение $U_{вых DD1} = U^1$. Схема окажется во втором квазиустойчивом состоянии.

Далее будут протекать два процесса. Первый связан с зарядом конденсатора $C1$. Этот процесс полностью аналогичен описанному процессу заряда конденсатора $C2$. Второй связан с разрядом конденсатора $C2$, который происходит под действием напряжения $U_{вых DD2} = U^0$. При рассмотрении второго процесса необходимо учитывать следующие особенности:

для защиты элемента ТТЛ от действия напряжения отрицательной полярности в его входной цепи установлен обратновключенный диод, который шунтирует резистор времязадающей цепи; в режиме $U_{вх} = U^0$ элемент ТТЛ является источником тока $I_{вх}^0$, который способствует перезаряду конденсатора.

Эти особенности приводят к тому, что к моменту, когда напряжение на входе $DD2$ достигнет пороговой величины, процесс разряда конденсатора $C2$ уже окончится. Его напряжение будет близко нулю, что согласуется со сделанными при получении выражения (20.3) допущениями.

Из сказанного можно сделать вывод, что длительности квазиустановившихся состояний в рассматриваемой схеме определяются только процессами заряда времязадающего конденсатора RC -цепи. Поэтому для длительности интервалов t_n и T_r справедливы выражения

$$t_n = RC \ln (U_{лп}/(U_{пор} - U^0)). \quad (20.4)$$

$$T_r = 2t_n = 2RC \ln (U_{лп}/(U_{пор} - U^0)) \approx 1,4RC.$$

По этой же причине скважность выходных импульсов мультивибратора равна двум. Ее можно изменить, меняя соотношение времязадающих емкостей. Однако реальный диапазон получаемого таким образом изменения скважности, как правило, невелик.

Рассмотренная схема одинаково хорошо работает при использовании БЛЭ как ТТЛ, так и КМОП типов. Однако в последнем случае, так как $I_{вх}^0$ практически отсутствует, может оказаться полезным включение внешних диодов $VD1$ и $VD2$, показанных на схеме 20.2, *а* штриховой линией. Это гарантирует ускорение разряда времязадающих конденсаторов, а следовательно, и большую точность совпадения расчетных и экспериментальных значений основных параметров мультивибратора. Следует отметить, что, вследствие того, что для БЛЭ КМОП $I_{вх}^0 = 0$, отпадает характерное для схемы на элементах ТТЛ ограничение на максимальное значение сопротивления резисторов $R1$ и $R2$ (20.2). При этом требуемую постоянную времени перезаряда RC -цепи можно обеспечить за счет увеличения сопротивления. Последнее позволяет при

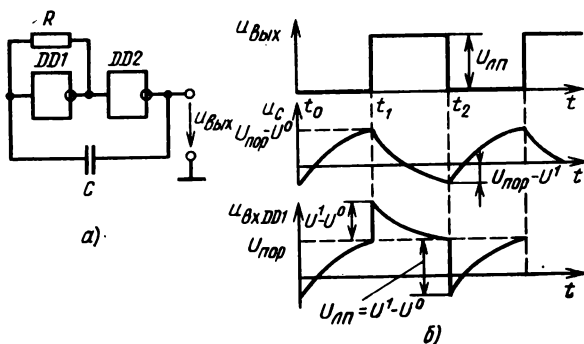


Рис. 20.3. Автогенераторы с времязадающей RC -цепью (а) и временные диаграммы (б), поясняющие его работу

прочих равных условиях либо уменьшить размеры внешних навесных элементов за счет использования конденсаторов меньшей емкости, либо обеспечить качественную работу автогенератора в диапазоне низких частот выходных колебаний.

Автогенератор с времязадающей RC -цепью. На рис. 20.3, а приведена схема автогенератора, выполненного на двух инверторах и одной времязадающей RC -цепи. Ее особенностью является использование резистора RC -цепи как для перезаряда конденсатора, так и для улучшения условий самовозбуждения схемы. Этот резистор, охватывая инвертор цепью ООС, выводит его на линейный (усилительный) участок передаточной характеристики. Это в первый момент позволяет гарантированно получить значение петлевого усиления $K_{p\Sigma} > 1$, т. е. способствует выполнению условий самовозбуждения генератора.

Рассмотрим работу схемы в предположении, что она выполнена на БЛЭ КМОП, для которых можно считать $R_{вх} \rightarrow \infty$, $R_{вых} \rightarrow 0$. В этом случае без введения дополнительных условий можно полагать, что для перезаряда времязадающего конденсатора справедлива схема замещения на рис. 20.1. При этом напряжение $U_{экв}$ принимает значения либо $U_{пп}$, либо $-U_{пп}$. Переключение элементов схемы происходит в моменты времени, когда $U_{вх DD1} = U_{пор}$. Напряжение на времязадающем конденсаторе C изменяется от $U_{пор} - U^0 > 0$ до $U_{пор} - U^1 < 0$.

Следует заметить, что так как модули максимального и минимального значений напряжения на конденсаторе в общем случае не равны друг другу, то интервалы заряда и разряда времязадающего конденсатора также не одинаковы. Следовательно, на выходе мультивибратора существует периодическая последовательность импульсов со скважностью $q \neq 2$.

На рис. 20.3, б приведены временные диаграммы, поясняющие работу схемы. Согласно этим диаграммам имеем:

для интервала $t_1 - t_0$ $U_{экв} = U_{лп} > 0$,

$$U_C(0) = U_{пор} - U^1 < 0, \quad U_C(t_1) = U_{пор} - U^0 > 0;$$

для интервала $t_2 - t_1$ $U_{экв} = -U_{пл} < 0$;

$$U_C(t_1) = U_{пор} - U^0 > 0; \quad U_C(t_2) = U_{пор} - U^1 < 0.$$

Подставляя эти значения напряжений в (20.1), получаем выражения для определения длительностей импульса и паузы, а также периода колебаний автогенератора

$$t_1 - t_0 = RC \ln |U_{лп} / (U^1 - U_{пор}) + 1|, \quad (20.5)$$

$$t_2 - t_1 = RC \ln |U_{пл} / (U_{пор} - U^0) + 1|, \quad (20.6)$$

$$T_r = t_2 - t_0 = RC \ln |2U_{лп}^2 / [(U^1 - U_{пор})(U_{пор} - U^0)] + 1|. \quad (20.7)$$

На практике из-за достаточной сложности полученных выражений пользуются приближенными соотношениями вида

$$T_r \approx (2 \dots 3) RC. \quad (20.8)$$

Конкретно коэффициент при RC зависит от типа используемого БЛЭ.

Анализируя выражения (20.5) и (20.6), можно сказать, что, как правило, длительность интервала $t_2 - t_1$ больше, чем интервала $t_1 - t_0$, и, следовательно, на выходе ЛЭ DD2 будет присутствовать прямоугольное напряжение со скважностью $q > 2$. Соответственно, на выходе ЛЭ DD1 скважность импульсов $q < 2$.

Автогенератор с времязадающим конденсатором. На рис. 20.4, а приведена схема автогенератора, использующего только один времязадающий конденсатор и три инвертора ТТЛ. Данную схему также можно представить усилителем, выполненным на каскадно-соединенных инверторах DD3 и DD1, охваченных цепью ПОС, состоящей из параллельно включенных времязадающих конденсатора C и инвертора DD2 (рис. 20.4, б). Используя вышеописанный подход, можно показать, что и в этой схеме условия (11.12) и (11.13) выполняются для некоторого диапазона частот, и, следовательно, устройство является автогенератором негармонических колебаний.

Работа схемы поясняется временными диаграммами, показанными на рис. 20.4, в. Ее особенностью является использование при перезаряде конденсатора в качестве токозадающего элемента выходных цепей инверторов ТТЛ. При этом в процессе работы напряжение на конденсаторе не изменяет своей полярности, а перепады напряжения, действующие на входе ЛЭ DD3, имеют меньшую величину, чем в схеме рис. 20.3, а.

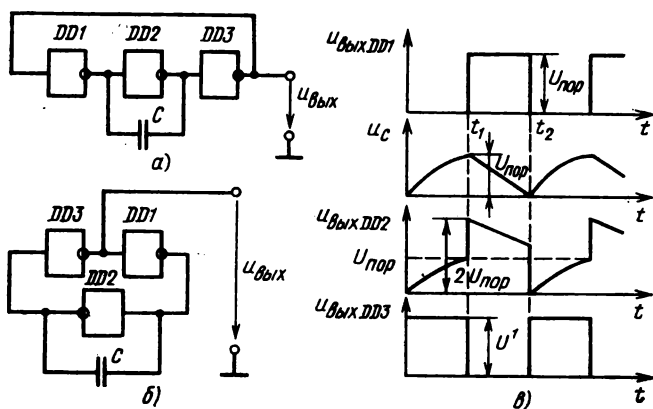


Рис. 20.4. Автогенератор с времязадающим конденсаторов (а), (б) и временные диаграммы (в), поясняющие его работу

Рассмотрим работу данной схемы. Для этого предположим, что в некоторый момент времени $t_0=0$ на выходе инвертора DD3 установился сигнал U^1 и $U_C(t_0)=0$. Вследствие этого на выходе инвертора DD1 появится сигнал U^0 , который через незаряженный времязадающий конденсатор C подтвердит выходной сигнал инвертора DD3. В схеме установится квазистационарное состояние равновесия, характеризующееся тем, что на входе и выходе инвертора DD2 будет присутствовать напряжение U^0 , что противоречит его передаточной характеристике. Поэтому это состояние не может поддерживаться сколь угодно долго. Для уяснения процессов, происходящих в инверторе DD2, обратимся к его принципиальной электрической схеме (см. рис. 19.6). Если на вход БЛЭ ТТЛ подано низкое напряжение, то транзистор VT2 фазорасщепителя заперт. При этом базовый ток транзистора VT4 выходного двухтактного усилителя мощности определяется выходным напряжением элемента, напряжением питания и сопротивлением резистора R2. В данном случае выходная цепь инвертора DD2 может быть заменена эквивалентной схемой, аналогичной рис. 20.1, со следующими параметрами: $U_{\text{эв}} = U_{\text{п}} - U_{\text{БЭ}} - U_{\text{Л}}$ и $R_{\text{эв}} = R_2 / (h_{21Э} + 1)$.

Полагая, что $U_C(0)=0$ и $U(t)=U_{\text{пор}}$, из (20.1) получаем выражение для определения длительности интервала первого квазистационавшегося¹ состояния схемы

$$t_1 - t_0 = CR_{\text{эв}} \ln [U_{\text{эв}} / (U_{\text{эв}} - U_{\text{пор}})]. \quad (20.9)$$

¹ Квазистойчивым называется режим работы схемы, для которого при неизменности выходных сигналов токи и напряжения отдельных элементов изменяются.

В этот момент выходное напряжение инвертора $DD3$ уменьшится до U^0 , что, согласно передаточной характеристике элемента ТТЛ, должно повлечь появление на выходе инвертора $DD1$ напряжения U^1 . Однако это невозможно, так как в этом случае и на входе, и на выходе инвертора $DD2$ будут действовать напряжения лог. 1.

Наличие на входе инвертора $DD2$ напряжения, превышающего пороговое, предполагает отпирание нижнего по схеме транзистора ($VT5$) его выходного усилителя мощности и уменьшение его выходного напряжения до уровня U^0 (см. рис. 19.6). Однако и это невозможно, так как выходное напряжение инвертора $DD2$ должно равняться сумме выходного напряжения инвертора $DD1$ и напряжения времязадающего конденсатора, достигшего к этому моменту времени $U_{пор}$. Следовательно, транзистор $VT5$ выходного усилителя инвертора $DD2$ должен работать в активном режиме. Для этого, согласно передаточной характеристике ТТЛ-элемента, необходимо, чтобы его входное напряжение равнялось пороговому. Поэтому на выходе инвертора $DD1$ устанавливается напряжение, равное $U_{пор}$, а выходное напряжение инвертора $DD2$ скачком увеличивается до значения $2U_{пор}$.

Очевидно, что описанное состояние не может быть устойчивым и в схеме начинается разряд времязадающего конденсатора C . Ток разряда определяется выходным током транзистора $VT4$ (см. рис. 19.6) инвертора $DD1$, который из-за постоянства его выходного напряжения работает в режиме генератора тока: $I_{раз} = (U_{эвб} - U_{пор})/R_{эвб} = \text{const}$. Поэтому изменение напряжения времязадающего конденсатора происходит по линейному закону (рис. 20.4, в):

$$U_C(t) = U_{пор} - (U_{эвб} - U_{пор})(t - t_1)/CR_{эвб}.$$

В момент t_2 напряжение времязадающего конденсатора уменьшается практически до нуля, происходит очередное переключение инвертора $DD3$ и процесс работы автогенератора повторяется.

Согласно приведенному выражению, длительность интервала разряда времязадающего конденсатора

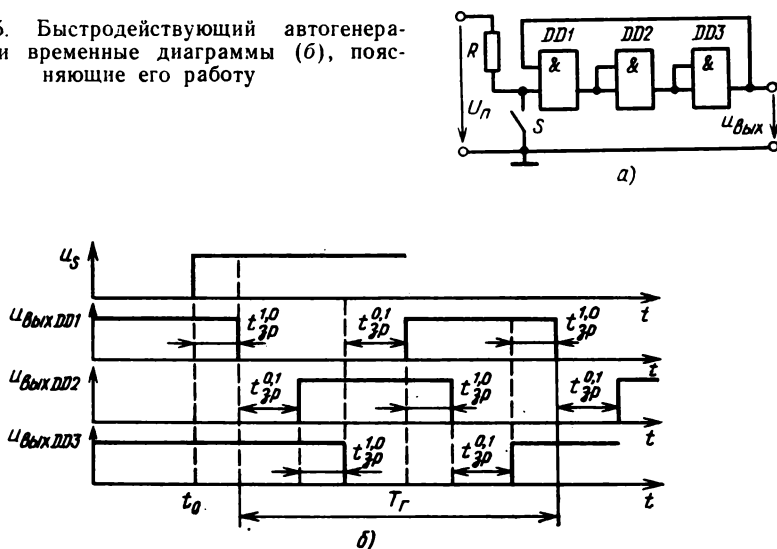
$$t_2 - t_1 = U_{пор}CR_{эвб}/(U_{эвб} - U_{пор}). \quad (20.10)$$

Суммируя временные интервалы, определяемые выражениями (20.9) и (20.10), найдем период выходных импульсов рассматриваемого автогенератора

$$T_r = CR_{эвб} [\ln U_{эвб}/(U_{эвб} - U_{пор}) + U_{пор}/(U_{эвб} - U_{пор})]. \quad (20.11)$$

Используя выражения (20.9) и (20.10), можно определить и скважность выходных импульсов автогенератора.

Рис. 20.5. Быстродействующий автогенератор (а) и временные диаграммы (б), поясняющие его работу



Быстродействующий автогенератор. Рассмотренные типы генераторов применяют в тех случаях, когда частота выходного напряжения заведомо меньше граничной частоты выбранного типа ЛЭ. При необходимости построения генераторов, частота которых соизмерима с граничной частотой БЛЭ, применяют схемы, принцип действия которых основан на использовании собственных инерционных свойств ЛЭ. В таких схемах отсутствуют внешние времязадающие элементы, и частота выходных колебаний определяется временами задержки распространения импульса $t_{зр}$ ЛЭ. Подобные схемы состоят из N последовательно включенных ЛЭ, охваченных цепью единичной ООС (рис. 20.5, а). Естественно, что число последовательно включенных элементов должно быть нечетным.

Период колебаний в таких схемах определяется выражением

$$T_r = N(t_{зр}^{1,0} + t_{зр}^{0,1}). \quad (20.12)$$

Работу схемы поясним с помощью временных диаграмм, приведенных на рис. 20.5, б. В исходном состоянии переключатель S замкнут и схема находится в устойчивом состоянии, при котором выходные напряжения всех нечетных элементов равны U^1 , а четных U^0 . Размыкание в момент t_0 ключа S равносильно подаче на вход первого ЛЭ двух единичных входных сигналов. Поэтому через время, равное $t_{зр}^{1,0}$, произойдет изменение его выходного напряжения. Сигнал U^0 с выхода $DD1$ попадает на вход второго ЛЭ, что, в свою очередь, через временной интервал $t_{зр}^{0,1}$ изменит и его

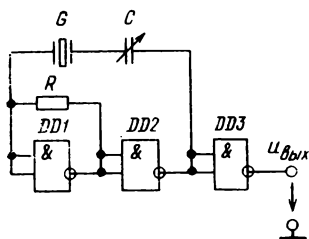


Рис. 20.6. Принципиальная электрическая схема кварцевого автогенератора

выходное напряжение с U^0 до U^1 , и т. д. Переключение элементов будет происходить последовательно друг за другом.

Частота колебаний такого генератора для ИС серии 555 лежит в диапазоне десятков мегагерц.

Стабилизация частоты автогенератора. Стабильность частоты выходных колебаний для всех рассмотренных типов генераторов достаточно низка. Это объясняется как большим технологическим разбросом, так и сильной зависимостью от внешних дестабилизирующих факторов, в частности температуры, параметров самих ЛЭ и внешних времязадающих цепей. По этим причинам суммарное отклонение частоты от требуемого значения может достигать 10% и более.

В ряде случаев при синхронизации работы сложных цифровых устройств требуется очень высокая стабильность частоты генератора. Относительное ее изменение не должно превышать 0,001% и менее.

На практике существует много способов стабилизации частоты выходного напряжения генераторов. Но наиболее простым и эффективным из них является применение кварцевой стабилизации. Суть данного способа состоит в том, что в качестве времязадающего элемента в генераторе используют кварцевый резонатор. Типовая схема такого генератора, построенного на основе мультивибратора рис. 20.3, а, приведена на рис. 20.6.

Рассмотрим назначение отдельных элементов схемы. Частота выходного напряжения определяется параметрами кварцевого резонатора G . Резистор R выбирается из условия надежного возникновения колебаний ($K_{\Sigma} > 1$). Изменением емкости конденсатора можно в незначительной степени подстраивать частоту выходных колебаний. Логический элемент $DD3$ является буферным и предназначен для улучшения формы выходных колебаний.

20.2. ОДНОВИБРАТОРЫ НА ЭЛЕМЕНТАХ ТТЛ

Согласно данной ранее классификации, ждущим (заторможенным) генератором называется устройство, обладающее одним устойчивым состоянием равновесия. При воздействии внешнего

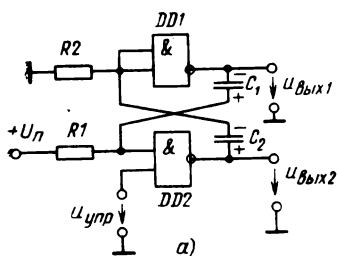


Рис. 20.7. Одновибратор на основе двух инверторов (а) и временные диаграммы (б), поясняющие его работу

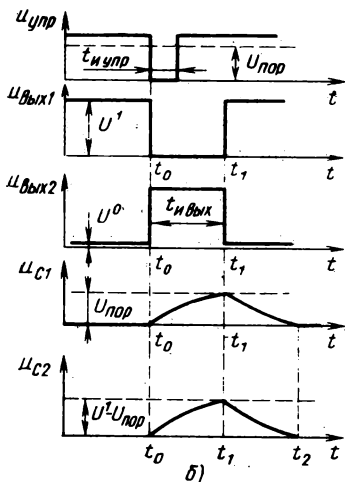
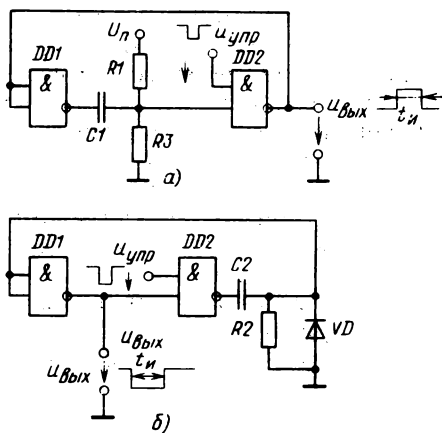


Рис. 20.8. Принципиальные электрические схемы одновибраторов, формирующих на выходе единичный (а) и нулевой (б) импульсы



запускающего сигнала устройство способно временно переходить в квазистационарное состояние, формируя при этом на выходе один импульс. Отсюда и еще одно часто встречающееся название такого устройства — одновибратор. Ранее отмечалось, что введением дополнительного смещения либо незначительными схемотехническими изменениями любой мультивибратор можно перевести в ждущий режим работы. Проиллюстрируем это на примере ранее рассмотренных схем.

На рис. 20.7,а приведена схема одновибратора, построенная на основе автогенераторного мультивибратора (см. рис. 20.2). Изменение режима работы потребовало:

подачи через резистор $R1$ на вход ЛЭ $DD2$ дополнительного положительного смещения,

введения в ЛЭ $DD2$ второго входа, используемого в качестве управляющего.

Рассмотрим работу полученной таким образом схемы. При этом воспользуемся временными диаграммами, приведенными на

рис. 20.7, б). В установившемся состоянии на управляющий вход одновибратора должно быть подано напряжение $U_{упр}$, превышающее $U_{пор}$. При этом $u_{вых DD2} = U^0$ и напряжение конденсатора $C2$ практически равно 0. Напряжение $u_{вых DD1} = U^1$. Однако так как $u_{вх DD2} = U^1$, напряжение на конденсаторе $C2$ тоже практически отсутствует. В этом состоянии схема может находиться сколь угодно долго, вплоть до момента появления на управляющем входе запускающего импульса.

Предположим, что в момент t_0 на управляющий вход одновибратора подан запускающий импульс, в результате чего $U_{упр}$ становится меньше $U_{пор}$. При этом $u_{вых2}$ примет значение U^1 и это напряжение через разряженный конденсатор $C2$ попадет на вход инвертора $DD1$. Напряжение $u_{вых1}$ примет значение U^0 . Так как $U_{C1}(t_0) = 0$, то $u_{вх DD1} = 0$, что подтверждает равенство $u_{вых2} = U^1$. Схема попадает в квазистойчивое состояние, при котором происходит заряд конденсаторов $C1$ и $C2$. Как только в результате этого заряда $u_{вх DD1}$ или $u_{вх DD2}$ достигнет значения $U_{пор}$, схема вернется в исходное устойчивое состояние. При этом на выходе $DD1$ будет сформирован импульс отрицательной, а на выходе $DD2$ — положительной полярностей.

Очевидно, что описанный процесс будет иметь место, если длительность запускающего импульса больше удвоенного времени задержки распространения импульса используемых ЛЭ, но меньше длительности выходного импульса.

Как следует из приведенного описания работы, обе времязадающие цепи пытаются формировать длительность единственного выходного импульса. Однако для его формирования необходимо и достаточно, чтобы напряжение хотя бы на одном из входов достигло значения $u_{вх} = U_{пор}$. Следовательно, без ущерба для работы схемы, одна из времязадающих RC -цепей может быть исключена из устройства.

На рис. 20.8 приведены две схемы одновибраторов. Они получены из рассмотренной ранее исключением одной из времязадающих цепей.

Схема рис. 20.8, а реализует процесс заряда конденсатора $C1$ через резистор $R1$ непосредственно от источника питания. При этом напряжение на входе ЛЭ $DD2$ увеличивается от значения U^0 до $U_{пор}$, а на выходе формируется импульс положительной полярности.

Схема рис. 20.8, б реализует процесс заряда конденсатора $C2$ с выхода ЛЭ $DD2$. При этом напряжение на $R2$, а следовательно, и на входе $DD1$ уменьшается от U^1 до $U_{пор}$. На выходе формируется импульс отрицательной полярности.

Длительности выходных импульсов схем рис. 20.8 согласно условию (20.2) определяются выражениями:

$$t_n = RC \ln [(U_n - U^0)/(U_n - U_{\text{пор}})], \quad (20.13)$$

$$t_n = RC \ln [U_{\text{лп}}'(U_{\text{лп}} + U_{\text{пор}} - U^1)]. \quad (20.14)$$

Следует отметить, что различие используемых процессов приводит и к различию основных свойств одновибраторов. Так, в схеме рис. 20.8, *а* резистор R_1 должен обеспечивать в устойчивом состоянии получение на входе ЛЭ DD_2 сигнала U^1 . Поэтому его значение ограничено сверху сопротивлением $R_{1\text{max}} = (U_n - U^1_{\text{вх min}})/I^1_{\text{вх max}}$. В схеме рис. 20.8, *б* резистор R_2 выбирается из условия формирования на входе ЛЭ DD_1 напряжения U^0 . Поэтому $R_{1\text{max}} \gg R_2 \leq U^0_{\text{вх max}}/I^0_{\text{вх max}}$. При использовании элементов ТТЛ и одном и том же значении времязадающего конденсатора в схеме рис. 20.8, *а* можно сформировать импульс значительно большей длительности, чем в схеме рис. 20.8, *б*.

Дополнительно удлинению импульса в схеме рис. 20.8, *а* способствует введение резистора R_3 , сопротивление которого выбирается из условия $U_{\text{пор}} < U_{R_3} \leq U^1$.

Последнее позволяет в установившемся состоянии зарядить времязадающий конденсатор C_1 до напряжения $U_{C_1} = U_n R_3 / (R_1 + R_3) - U^1 < 0$, что согласно выражению (20.1) ведет к увеличению времени его перезаряда и, следовательно, к увеличению длительности выходного импульса.

Важным параметром одновибратора является время восстановления исходного состояния, под которым понимается интервал $t_2 - t_1$ (см. рис. 20.7), необходимый для полного разряда времязадающего конденсатора. Если очередной запускающий импульс будет подан на вход до момента $t = t_2$, то на выходе устройства будет сформирован импульс укороченной длительности.

Для уменьшения времени восстановления исходного состояния в схеме рис. 20.8, *б* использован диод VD , уменьшающий постоянную времени разряда конденсатора C_2 .

Схема автогенераторного мультивибратора рис. 20.3, *а* также может быть переведена в ждущий режим работы. Для этого необходимо элемент DD_1 снабдить вторым входом, разомкнуть цепь его ООС и через резистор R подать на вход положительное смещение, превышающее $U_{\text{пор}}$. Очевидно, что полученная таким образом схема будет повторять уже приведенную выше схему одновибратора рис. 20.8, *а*.

20.3. ИНТЕГРАЛЬНЫЕ ТАЙМЕРЫ

Типы таймеров. Таймером называется электронное устройство, предназначенное для формирования импульсных сигналов с регулируемой длительностью и скважностью. Под данное определение подпадают как соответствующие узлы цифровых устройств,

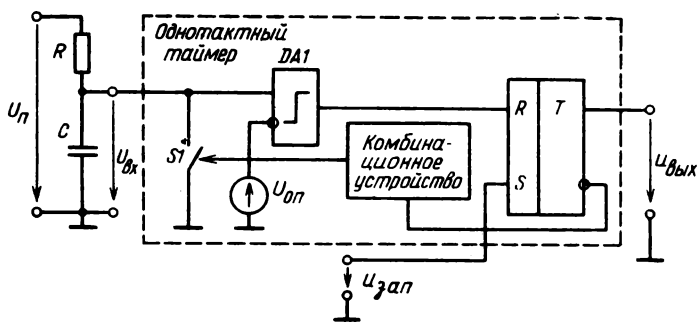


Рис. 20.9. Структурная схема однотактного таймера

так и специализированные ИС, используемые для разработки всевозможных времязадающих устройств.

Все существующие на сегодняшний день таймеры можно разбить на два класса: однотактные; многотактные со встроенным счетчиком.

Однотактные таймеры предназначены для формирования временных интервалов длительностью от единиц микросекунды до единиц часа. По своей сути они представляют комбинацию аналоговой части (компаратора) с цифровой последовательностной схемой. Возможный вариант структурной схемы такого устройства показан на рис. 20.9.

Длительность формируемого таким устройством временного интервала определяется параметрами внешней времязадающей RC -цепи. По активному значению сигнала $U_{зап}$ RS -триггер устанавливается в единичное состояние, что приводит к размыканию ключа $S1$. Начинается заряд конденсатора C внешней времязадающей цепи. В момент, когда напряжение на конденсаторе достигает уровня опорного напряжения $U_{оп}$, происходит срабатывание компаратора $DA1$, и его выходной сигнал сбрасывает RS -триггер. Ключ S при этом замыкается и конденсатор C разряжается.

Однотактный таймер, построенный по описанной схеме, может формировать на выходе только одиночные импульсы. Для обеспечения возможности формирования последовательности импульсов схема устройства должна быть дополнена вторым компаратором.

Многотактные таймеры или таймеры со встроенными счетчиками разработаны для формирования импульсов сверхнизкой частоты с продолжительностью импульса до нескольких десятков часов. В свою очередь, их можно разбить на две подгруппы: программируемые таймеры, в которых временной интервал задается программным способом. В простейшем случае это осуществляется установкой на выводах счетчика внешних перемычек; специализи-

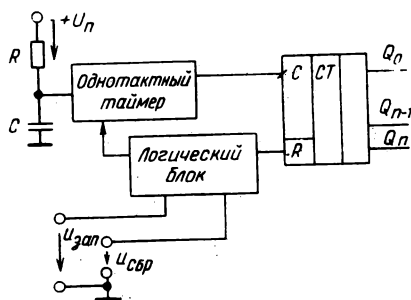


Рис. 20.10. Структурная схема многотактного таймера

рованные таймеры, счетчик которых имеет жестко заданный коэффициент пересчета.

Структурная схема многотактного таймера (рис. 20.10) обычно содержит однотактный таймер и двоичный счетчик, совместная работа которых организуется дополнительным логическим блоком.

В многотактном таймере фактически происходит умножение постоянной времени внешней RC -цепи на модуль счета счетчика СТ. При подаче запускающего сигнала $u_{зап}$ включается мультивибратор, выполненный на однотактном таймере. Его выходные импульсы поступают на счетный вход счетчика. На выходах последнего может быть сформировано несколько последовательностей импульсов с периодом от T_n до $(2^N - 1) T_n$, где T_n — период импульсов, снимаемых с выхода однотактного таймера; N — число триггеров в счетчике СТ. Далее остановимся только на схемах, построенных с использованием однотактных таймеров.

Интегральный таймер. Схемы, использующие однотактный таймер, рассмотрим на примере серийно выпускаемой промышленностью ИС типа 1006ВИ1. Эта схема представляет собой аналог широко использующейся за рубежом ИС однотактного таймера 555 (по номеру серии первого изготовителя). По количеству областей применения эта ИС может конкурировать даже со стандартными операционными усилителями. Функциональная схема таймера 1006ВИ1 приведена на рис. 20.11.

Таймер содержит два компаратора ($DA1$ — компаратор верхнего уровня и $DA2$ — компаратор нижнего уровня) с фиксированными при помощи делителя напряжения на резисторах R_1 , R_2 и R_3 порогами срабатывания. Поскольку выполняется условие $R_1 = R_2 = R_3$, то пороги срабатывания компараторов верхнего $U_{пор в}$ и нижнего $U_{пор н}$ уровней определяются выражениями $U_{пор в} = 2U_n/3$, $U_{пор н} = U_n/3$.

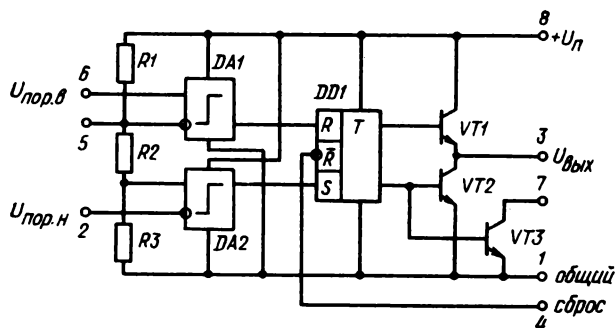


Рис. 20.11. Структурная схема однократного таймера типа 1006ВИ1

Выходы компараторов управляют состоянием асинхронного RS -триггера ($DD1$), который, в свою очередь, формирует управляющие напряжения на входе двухтактного усилителя мощности на транзисторах $VT1$ и $VT2$. Кроме этого, RS -триггер дополнительно снабжен вторым инверсным асинхронным входом сброса. Сигнал с инверсного выхода триггера используется для управления разрядным транзистором $VT3$. Зависимость выходного сигнала таймера от комбинации его входных сигналов поясняется табл. 20.1.

Описанная комбинация аналоговых и цифровых устройств позволяет строить широкий спектр различных схем формирователей импульсов. Рассмотрим некоторые из них.

Автогенератор. Существует множество схем автоколебательных мультивибраторов, выполненных на основе ИС таймера. Рассмотрим наиболее простую из них, требующую для своего построения только времязадающую RC -цепь (рис. 20.12, а).

Таблица 20.1

Режимы работы таймера

$U_{сб}$	$U_{пор\ н}$	$U_{пор\ в}$	$U_{вых}$	$VT3$
Лог. 0	×	×	Лог. 0	Насыщен
Лог. 1	$< U_{н}/3$	$< 2U_{н}/3$	Лог. 1	Заперт
Лог. 1	$> U_{н}/3$	$> 2U_{н}/3$	Лог. 0	Насыщен
Лог. 1	$> U_{н}/3$	$< 2U_{н}/3$	Выходной сигнал определяется предыдущими значениями $U_{пор\ н}$ и $U_{пор\ в}$	

× — безразличное состояние.

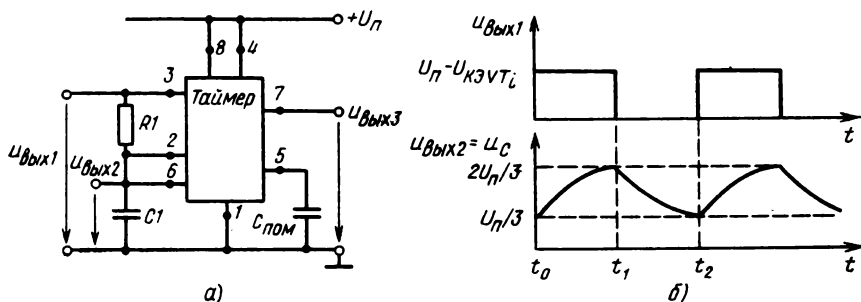


Рис. 20.12. Мультивибратор на основе ИС-таймера (а) и временные диаграммы (б), поясняющие его работу

Принцип работы мультивибратора основан на свойстве таймера сохранять прежнее значение своего выходного сигнала, если напряжение на объединенных входных выводах его компараторов верхнего и нижнего уровней лежит между порогами срабатывания: $U_n/3 < U_c(t) < 2U_n/3$.

Рассмотрим работу данной схемы. При этом будем полагать, что выходное напряжение на выходе таймера может принимать только два значения: $U_{\text{вых}} = U_n$ и $U_{\text{вых}} = 0$. Допустим, что в начальный момент времени (t_0) $U_c(t_0) < U_n/3$, и на выходе (вывод 3) ИС установилось высокое напряжение, равное $U_{\text{ннт}}$. Напряжение конденсатора под действием этого напряжения начнет увеличиваться и в момент t_1 достигнет значения, равного $2U_n/3$. При этом произойдет срабатывание компаратора верхнего уровня $DA1$ таймера (см. рис. 20.11), который своим выходным напряжением сбросит триггер $DD1$. Выходное напряжение таймера уменьшится до $U_{\text{вых}} = 0$, и времязадающий конденсатор начнет разряжаться. В момент t_2 его напряжение уменьшится до значения $U_c(t_2) = U_n/3$ и процесс повторится. Временные диаграммы, поясняющие работу мультивибратора, приведены на рис. 20.12, б.

Для расчета длительностей интервалов работы схемы можно использовать схему замещения (см. рис. 20.1), для которой будем иметь:

а) интервал $t_1 - t_0$: $U_{\text{экв}} = U_n$,

$$U_c(0) = U_n/3, U_c(t) = 2U_n/3;$$

б) интервал $t_2 - t_1$: $U_{\text{экв}} = 0$,

$$U_c(0) = 2U_n/3, U_c(t) = U_n/3.$$

Тогда согласно выражению (20.1)

$$t_1 - t_0 = t_2 - t_1 = R_1 C_1 \ln 2 \approx 0,7 R_1 C_1;$$

$$T_r = 2R_1 C_1 \ln 2 \approx 1,4 R_1 C_1; q = 2. \quad (20.15)$$

При работе мультивибратора на конденсаторе C внешней времязадающей цепи формируется напряжение, форма которого близка к треугольной, причем его размах равен $U_n/3$. С вывода 7 ИС таймера тоже может быть снято прямоугольное напряжение. Для этого, поскольку этот вывод соединен с коллектором

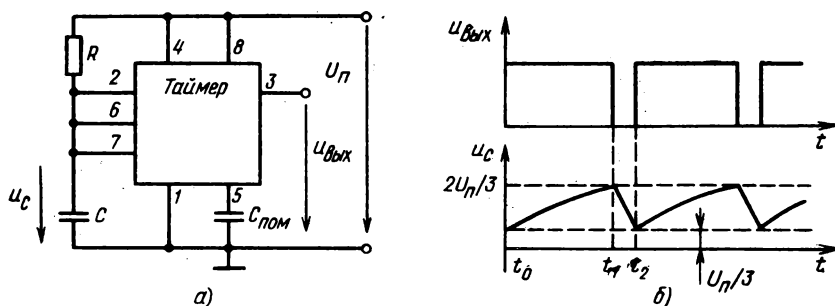


Рис. 20.13. Мультивибратор с большой скважностью на ИС 1006ВИ1 (а) и временные диаграммы (б), поясняющие его работу

транзистора $VT3$ (см. рис. 20.11), необходимо использовать дополнительные элементы, например резистор, подключенный к шине питания.

Если в рассмотренной схеме мультивибратора к объединенным входам компараторов дополнительно подключить и коллектор транзистора $VT3$ (вывод 7 ИС), получим еще одну схему автоколебательного мультивибратора (рис. 20.13, а). Однако в отличие от исходной, на ее выходе будет формироваться прямоугольное напряжение со скважностью $q \ll 2$. Это объясняется тем, что в момент t_1 происходит почти мгновенный разряд времязадающего конденсатора C через насыщенный разрядный транзистор $VT3$ таймера. Теоретически разряд конденсатора должен заканчиваться при условии $U_C = U_n/3$. Однако из-за инерционности компаратора и триггера, а также малости постоянной времени разряда конденсатор практически успевает разрядиться до нуля. Поэтому длительность периода повторения выходных импульсов достаточно точно определяется выражением

$$T_r \approx t_2 - t_0 \approx t_1 - t_0 = RC \ln 3 \approx 1,1RC. \quad (20.16)$$

Временные диаграммы, поясняющие описанную работу мультивибратора, приведены на рис. 20.13, б.

Преобразователь напряжения в частоту. На основе рассмотренного мультивибратора может быть легко построена схема преобразователя «напряжение — частота». Идея построения такого устройства состоит в замене резистора времязадающей RC -цепи управляемым генератором тока. Причем этот ток должен быть прямо пропорционален входному напряжению. Вариант построения такой схемы приведен на рис. 20.14, а. На рис. 20.14, б приведены временные диаграммы, поясняющие ее работу.

В данной схеме операционный усилитель $DA1$ совместно с транзистором $VT1$ и резистором $R1$ образует схему преобразователя «напряжение — ток». Этот ток отражается схемой токового зеркала на транзисторах $VT2$, $VT3$ и $VT4$ в цепь заряда времязадающего конденсатора. Так как на интервале заряда конденсатора $C1$ ток остается постоянным, его напряжение изменяется по линейному закону $u_C = I_C t / C = U_{вх} t / (R_1 C_1)$.

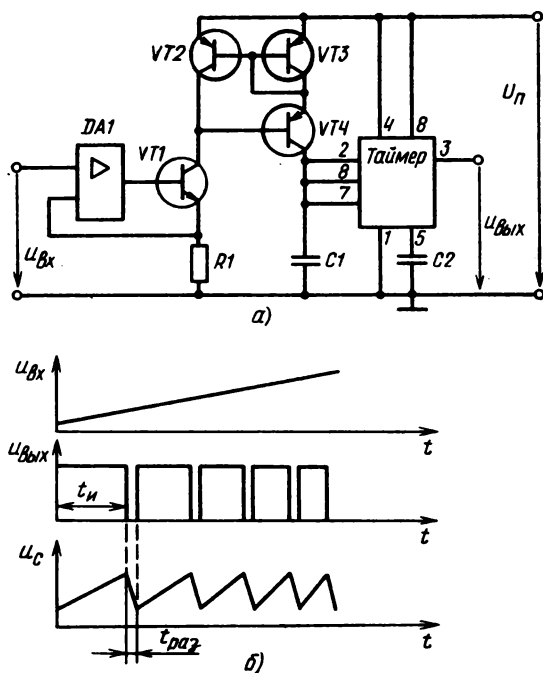


Рис. 20.14. Преобразователь «напряжение — частота» (а) и временные диаграммы (б), поясняющие его работу

Полагая $U_c(0) = 0$ и учитывая то, что заряд конденсатора заканчивается при $u_c = 2U_n/3$, получаем

$$t_n = 2U_n R_1 C_1 / 3U_{вх}. \quad (20.17)$$

Полагая, что $t_n \gg t_{раз}$, можно считать, что выражение (20.17) справедливо и для периода повторения выходного напряжения устройства.

Приведенная схема обладает достаточно высокой линейностью характеристики. Основные погрешности возникают на краях диапазона изменения выходной частоты и обусловлены:

на низкой частоте — влиянием входного тока компаратора таймера при условии, что $I_{вх}$ соизмерим с $I_{к VT4}$;

на высокой частоте — влиянием интервала разряда конденсатора, длительность которого постоянна и не зависит от амплитуды входного напряжения.

Ждущий мультивибратор. Схема автоколебательного мультивибратора рис. 20.13, а может быть легко переведена в ждущий режим работы. Для этого необходимо вход нижнего компаратора ($U_{пор н}$) (см. рис. 20.11) отсоединить от времязадающей RC-цепи и использовать его в качестве управляющего. В установившемся режиме напряжение на управляющем входе должно превышать $U_n/3$.

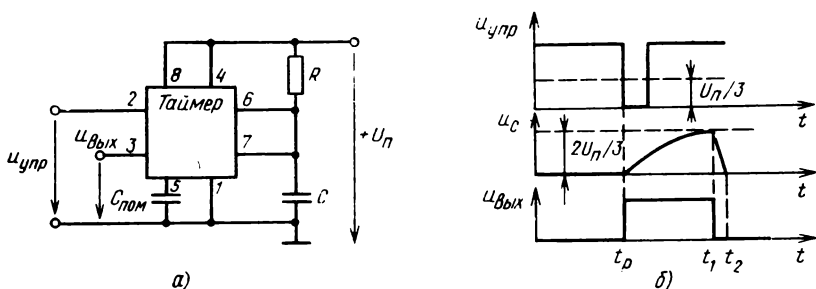


Рис. 20.15. Ждущий мультивибратор на ИС 1006ВИ1 (а) и временные диаграммы (б), поясняющие его работу

Запуск одновибратора осуществляется подачей на вход напряжения низкого уровня, меньшего, чем $U_n/3$.

На рис. 20.15, а показана полученная после описанных изменений схема ждущего мультивибратора, а на рис. 20.15, б приведены временные диаграммы, поясняющие ее работу.

В исходном состоянии RS-триггера таймера сброшен. Вследствие этого конденсатор времязадающей цепи разряжен, и на выходе устройства присутствует напряжение, по уровню близкое к нулевому. Это состояние является устойчивым, так как если по какой-либо причине оно будет нарушено и триггер сформирует на прямом выходе сигнал лог. 1, закроется транзистор VT3, и конденсатор C1 начнет заряжаться. При $u_c = 2U_n/3$ компаратор верхнего уровня таймера своим выходным сигналом сбросит триггер. Транзистор VT3 включится, и напряжение на времязадающем конденсаторе уменьшится до нулевого уровня. Однако, поскольку на выходе компаратора нижнего уровня напряжение превышает $U_n/3$, последний не сработает и триггер останется в сброшенном состоянии.

При кратковременном снижении напряжения на управляющем входе ниже уровня $U_n/3$ компаратор нижнего уровня установит триггер DD1, который включит транзистор VT3 и включит транзистор VT1. На выходе таймера установится квазистационарное состояние, при котором его выходной сигнал увеличится практически до напряжения питания. Это будет сопровождаться зарядом времязадающего конденсатора. При выполнении условия $u_c = 2U_n/3$ компаратор верхнего уровня сбросит триггер и схема вернется в устойчивое состояние.

Поскольку данный алгоритм работы устройства полностью аналогичен алгоритму одного периода работы автоколебательного мультивибратора, то длительность выходного импульса рассмотренного одновибратора может быть определена из (20.16).

Очевидно, что для нормальной работы одновибратора необходимо, во-первых, чтобы длительность запускающего импульса была больше суммы времен срабатывания компаратора и триггера, но меньше длительности его выходного импульса, и, во-вторых, пауза между приходами двух соседних запускающих

импульсов должна быть достаточной для полного разряда времязадающего конденсатора RC -цепи.

На основе описанного одновибратора легко можно построить схему широтно-импульсного модулятора. Для этого в схеме преобразователя напряжения в частоту (рис. 20.14, а) автоколебательный мультивибратор должен быть преобразован в одновибратор, на управляющий вход которого необходимо подать последовательность запускающих импульсов постоянной частоты.

Контрольные вопросы

1. Назовите типы генераторов электрических колебаний и их основные параметры.

2. Назовите типы режимов работы генераторов с ПОС, их различия.

3. Какие условия должны выполняться в генераторах негармонических колебаний?

4. Приведите схему и временные диаграммы работы мультивибратора на основе двух инверторов.

5. Приведите схему и временные диаграммы работы автогенератора на основе двух инверторов с одной времязадающей RS -цепью.

6. Как строится схема быстродействующего автогенератора?

7. Как осуществляется стабилизация частоты выходного напряжения автогенератора?

8. Как функционирует схема одновибратора на основе двух инверторов?

9. Приведите практические схемы одновибраторов.

10. Каковы назначение и структурная схема одноканального и многоканального таймеров?

11. Какие схемы строятся на основе ИС одноканального таймера? Каковы их функции и параметры?

ГЛАВА 21.

ПОЛУПРОВОДНИКОВЫЕ ЗАПОМИНАЮЩИЕ УСТРОЙСТВА

21.1. НАЗНАЧЕНИЕ, ОСНОВНЫЕ ПАРАМЕТРЫ И КЛАССИФИКАЦИЯ

Для кратковременного хранения небольших объемов кодовых слов обычно используют регистры. При необходимости длительного хранения или хранения больших объемов информации применяют запоминающие устройства (ЗУ), выполненные на специализированных ИС. Применение ЗУ, использующих ИС, позволяет максимально упростить аппаратную часть электронных устройств.

Строго говоря, для цели хранения информации может быть использовано большое число различных технических решений. Например, в качестве носителей информации часто используют магнитные диски или ленты. Однако ниже остановимся только на ЗУ, построенных с использованием полупроводниковой технологии.

Любое ЗУ, не зависимо от его выполнения и назначения, характеризуется рядом параметров. Рассмотрим основные из них.

Емкость ЗУ (М) определяет максимально возможный объем хранимой в нем информации.

Единицей измерения количества информации является один *бит*. Это количество информации, соответствующее одному разряду двоичного кодового слова или одной логической константе. Численно бит может принимать значения лог. 0 или лог. 1. Обычно информация, равная одному биту, хранится в одном элементарном запоминающем элементе (ЭЗЭ). Поэтому емкость ЗУ принято определять в битах или количестве кодовых слов с указанием их разрядности. При этом 8-разрядное кодовое слово называют *байтом*.

Для определения больших объемов информации используют приставки кило и мега, означающие соответственно $2^{10} = 1024$ бит = = 1 Кбит и $2^{20} = 1\,048\,576$ бит = 1 Мбит.

Для более детального определения структуры используют понятие «*организация ЗУ*» ($N \times L$), под которым понимают число кодовых слов (N), хранимых в ЗУ с указанием их длины (разрядности) (L). Очевидно, что емкость ЗУ связана с параметрами, характеризующими его организацию, соотношением

$$M = NL. \quad (21.1)$$

Из сказанного следует, что при одном и том же объеме хранимой информации память может иметь различную организацию. Так, два ЗУ с организацией 32×8 и 256×1 имеют одинаковый объем памяти, равный 256 бит.

Динамические характеристики ЗУ в общем случае определяются большим числом различных временных параметров, основными среди которых являются времена выборки (обращения) и циклов адреса в режимах чтения и записи.

Временем выборки t_d называется временной интервал между подачей на вход памяти заданного сигнала и получением на выходе данных при условии, что все остальные сигналы поданы.

Согласно данному определению, время выборки можно определять относительно любого из необходимых для работы памяти сигналов.

Временем цикла адреса в режиме записи ($t_{CY(A)WR}$) называется минимальное время совпадения сигналов на управляющих входах

памяти, необходимое для надежной записи в нее информации. Аналогично для режима считывания определяется и $t_{SV(A)RD}$.

Для надежной работы ЗУ необходимо соблюдение определенных временных соотношений между различными управляющими сигналами. Эти соотношения задаются временами цикла (t_{SV}), установления (t_{SU}), длительности действия (t_W) и сохранения (t_V) сигналов. Под указанными параметрами понимают: t_{SV} — интервал между началами (окончаниями) сигналов на любом управляющем входе ИС; t_{SU} , t_V — интервалы, соответственно, между началами и окончаниями двух различных управляющих сигналов; t_W — длительность действия заданного сигнала управления. Указанные времена могут задаваться относительно любых управляющих сигналов ИС ЗУ.

Определение основных динамических параметров ЗУ в различных режимах работы иллюстрируется временными диаграммами, приведенными на рис. 21.1, а, б.

Говоря о быстродействии памяти, необходимо помнить, что прежде чем считать информацию, требуется найти ее местоположение в ЗУ.

При разработке полупроводниковых ЗУ нашел применение метод произвольного доступа, при котором время выборки постоянно и не зависит от местоположения информации в хранящемся массиве.

По выполняемой функции ЗУ можно классифицировать на: оперативные запоминающие устройства (ОЗУ); постоянные запоминающие устройства (ПЗУ).

К оперативным относят ЗУ, используемые для хранения информации, получаемой в процессе работы устройства и обеспечивающие соизмеримые времена ее считывания и записи.

Оперативные ЗУ могут быть выполнены как статическими, так и динамическими. В *статических* ОЗУ записанная информация постоянно хранится в выделенном для нее месте и не разрушается при ее считывании. Разрушение информации возможно только при ее принудительном стирании или отключении напряжения источника питания.

В *динамических* ОЗУ информация постоянно циркулирует в массиве, отведенном для ее хранения. При этом считывание информации сопровождается ее разрушением. Для сохранения информации ее необходимо перезаписать заново.

Основным требованием, предъявляемым к ОЗУ, является обеспечение максимально возможного быстродействия при заданных объеме и организации.

Для обозначения на принципиальных электрических схемах ИС ОЗУ используется сокращение RAM (random access memory).

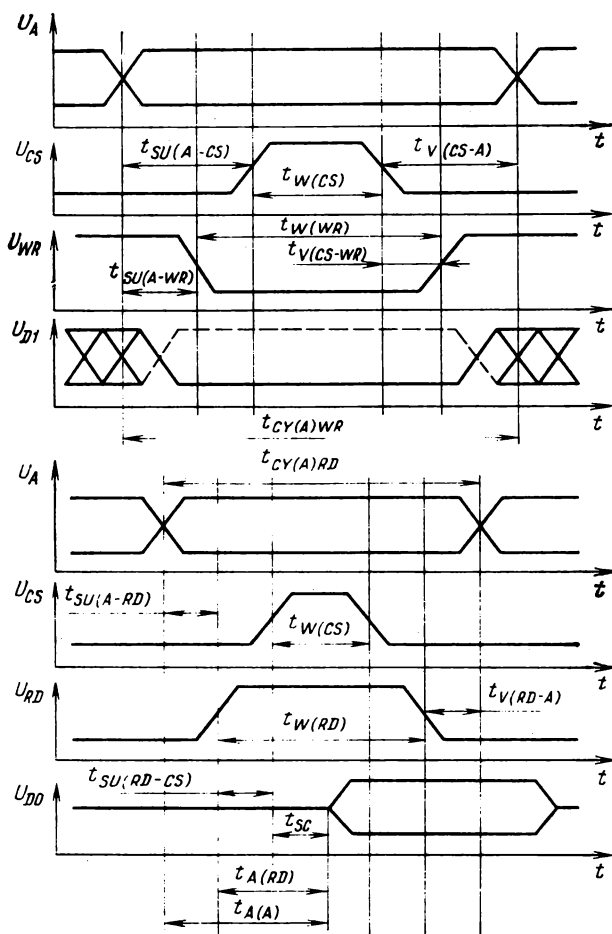


Рис. 21.1. Типовые временные диаграммы работы ЗУ в режимах записи (а) и чтения (б):

$t_{SY(A)WP}$ — время цикла адреса в режиме записи; $t_{W(CS)}$ — длительность сигнала выборки; $t_{W(WR)}$ — длительность сигнала записи; $t_{SU(A-CS)}$ — время установки сигнала выборки (CS) относительно адреса (A); $t_{SU(A-WR)}$ — время установки сигнала записи (WR) относительно адреса (A); $t_{V(CS-A)}$ — время сохранения адреса (A) после снятия сигнала выборки (CS); $t_{V(CS-WR)}$ — время сохранения сигнала записи (WR) после снятия сигнала выборки (CS); $t_{SU(A-RD)}$ — время цикла адреса в режиме считывания; $t_{A(A)}$ — время выборки адреса; $t_{A(RD)}$ — время выборки сигнала считывания; $t_{SY(A)RD}$ — время цикла адреса в режиме считывания (RD); $t_{SU(RD-CS)}$ — время установления сигнала выборки (CS) относительно сигнала считывания (RD); $t_{W(CS)}$ — длительность сигнала выборки; $t_{W(RD)}$ — длительность сигнала считывания; $t_{V(RD-A)}$ — время сохранения адреса после снятия сигнала считывания

Постоянные ЗУ предназначены для хранения информации, остающейся неизменной в течение всего времени эксплуатации устройства. Обычно это либо неизменные последовательности кодов, определяющие алгоритмы, по которым функционирует устройство, либо некоторые константы, требуемые для выполнения определенных вычислений.

В зависимости от возможности записи информации ПЗУ подразделяются на три подкласса: масочные ПЗУ, программируемые ПЗУ, репрограммируемые ПЗУ.

Для обозначения на принципиальных электрических схемах ИС ПЗУ используется сокращение ROM (read only memory).

Более подробно свойства и области применения отдельных видов ЗУ будут рассмотрены ниже.

21.2. ЗУ С ОДНОМЕРНОЙ АДРЕСАЦИЕЙ

Как уже отмечалось ранее, в ЗУ с произвольным доступом для хранения каждого бита информации используется отдельный ЭЗЭ. В зависимости от способа нахождения нужного элемента в массиве других однотипных элементов различают структуры с *одномерной* (линейной) и *двумерной* адресацией.

На рис. 21.2 в качестве примера приведена структурная схема ЗУ ($M=16$, организация 4×4) с одномерной адресацией. Данная структура содержит матрицу 4×4 ЭЗЭ, каждый из которых снабжен тремя выводами: входом информации (IN), выходом информации (OFF) и выходом разрешения работы — выбора кристалла (CS — chip select), дешифратор адреса, входные и выходные ключи на элементах 2И.

Если на вход дешифратора подано некоторое адресное слово, на соответствующем его выходе формируется сигнал лог. 1, который выбирает все ЭЗЭ, расположенные в одной из строк матрицы. Дальнейшая работа устройства зависит от того, какой режим работы задан управляющими сигналами. Если подан сигнал «чтение» ($\overline{WR}/RD=1$), то информация из выбранных ячеек подается на первые входы выходных элементов 2И. На вторые входы этих ключей подан единичный (пассивный) логический сигнал. Информация, хранившаяся в выбранных ЭЗЭ, попадает на выходные выводы DO_0, DO_1, DO_2, DO_3 .

Если на схему подан сигнал «запись» ($\overline{WR}/RD=0$), то информация с входных шин DI_0, DI_1, DI_2, DI_3 через входные элементы 2И подается на входы ЭЗЭ и записывается в них.

Особенностью данной структурной схемы является одновременная запись и считывание информации, хранящейся в строке матрицы ЭЗЭ. Поэтому при заданной разрядности хранимого слова наращивание объема памяти может выполняться только за счет

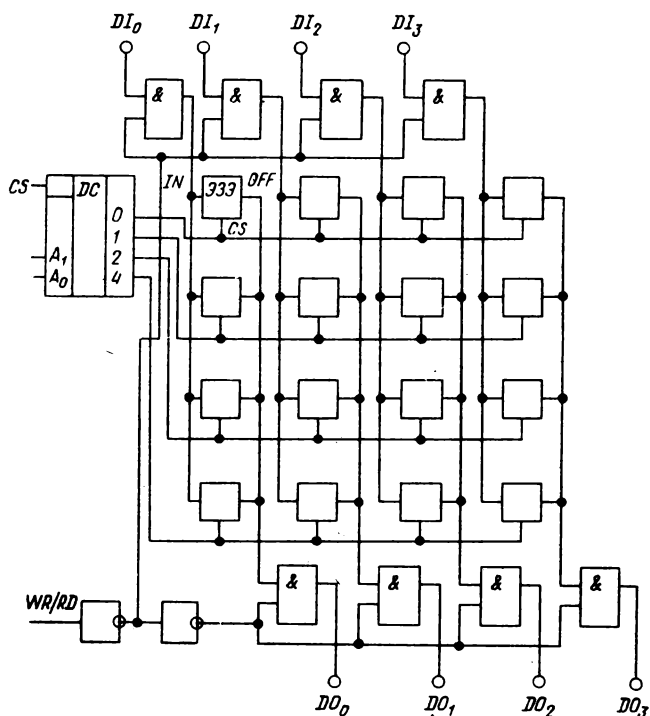


Рис. 21.2. Структурная схема ЗУ с одномерной адресацией

увеличения числа строк матрицы. Это, в свою очередь, ведет к значительному увеличению количества выходов дешифратора, т. е. к усложнению аппаратной реализации.

С точки зрения упрощения дешифратора желательно выполнять матрицу ЭЗЭ прямоугольной. Однако при использовании рассмотренной структуры это предполагает увеличение разрядности выходного слова.

Решить это противоречие можно, если в качестве входных и выходных ключей ИС использовать соответственно схемы демультиплексоров и мультиплексоров. Применительно к ЗУ их принято называть селекторами. При этом часть разрядов адресного слова используется для управления селекторами.

Структурная схема ЗУ с организацией 256×4 , реализующая описанный принцип, показана на рис. 21.3. Она включает матрицу ЭЗЭ размером 32×32 элемента, дешифратор адреса, входной и выходной селекторы и элементы управления режимами чтения-записи. Каждый ЭЗЭ (см. рис. 21.2) снабжен тремя выводами:

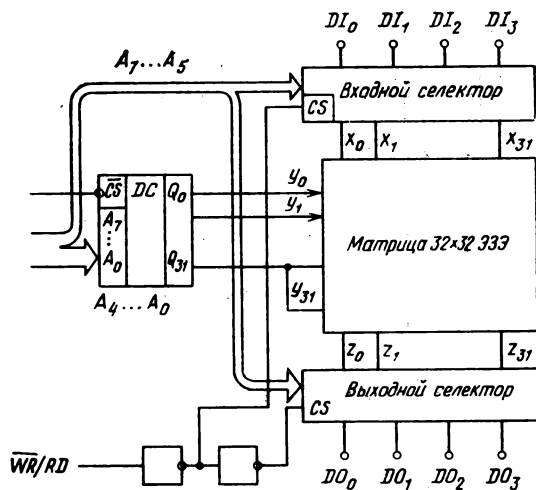


Рис. 21.3. Структурная схема ЗУ с селекторами

входом и выходом информации и выводом разрешения работы (выборки).

Управление доступом к такому объему информации требует подачи на вход ЗУ 256 различных адресов, т. е. предполагает использование 8-разрядного адресного слова. Младшие его разряды ($A_4 \dots A_0$), поступая на дешифратор адреса, выбирают из матрицы одну из 32 строк ЭЗЭ. При этом информация в зависимости от заданного режима работы может либо считываться ($\overline{WR}/RD=1$), либо записываться ($\overline{WR}/RD=0$) во все элементы выбранной строки. Выбор нужных ЭЗЭ производится соответственно либо входным, либо выходным селекторами, которые в зависимости от значения старших разрядов адреса ($A_7 \dots A_5$) выбирают из строки нужные элементы.

Очевидно, что описанные структуры выгодно использовать при одновременной записи-считывании информационных слов большой разрядности. В противном случае практическая реализация данных структур приводит к большим аппаратным затратам.

21.3. ЗУ С ДВУМЕРНОЙ АДРЕСАЦИЕЙ

При необходимости побитовой записи-считывания информации применяют структуру памяти с двумерной адресацией (рис. 21.4).

Данная структура содержит матрицу ЭЗЭ, статический регистр адреса, дешифраторы строки и столбца, усилители записи и счи-

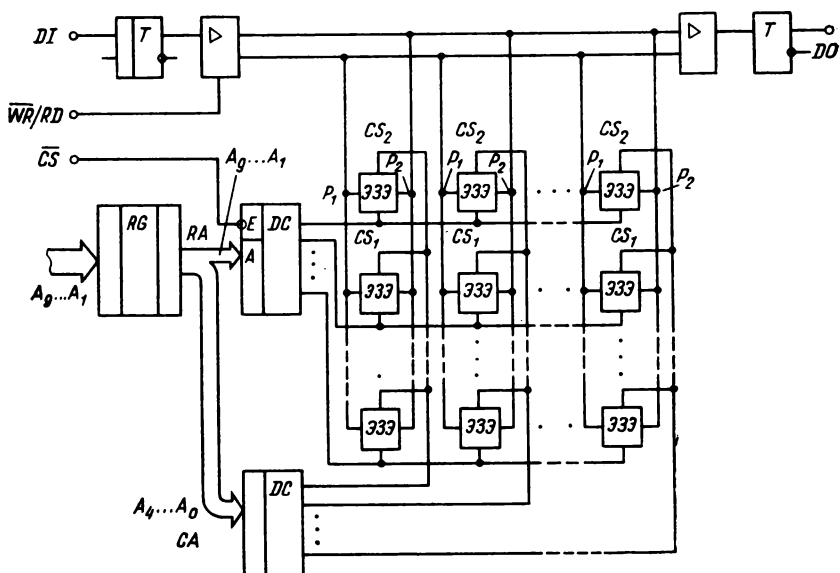


Рис. 21.4. Структурная схема ЗУ с двумерной адресацией

тывания, входной и выходной буферные триггеры. Однако, в отличие от схемы рис. 21.2, каждый ЭЗЭ матрицы содержит не один, а два вывода разрешения работы (CS_1 и CS_2). При этом информационные выходы p_1 и p_2 являются обратимыми, т. е. позволяют как записывать так и считывать информацию. Для выбора нужной ячейки на оба входа CS необходимо подать активные логические уровни.

Цепи управления матрицей ЭЗЭ обеспечивают реализацию одного из трех режимов работы:

- хранения, при котором ЭЗЭ отключены от входа и выхода ИС;
- чтения, при котором информация из ЭЗЭ, выбранного по соответствующему адресу, выдается на выход ИС;

- записи, при которой информация со входа ИС записывается по указанному адресу.

Каждому ЭЗЭ матрицы присваивается определенный адрес, поиск которого производится указанием номеров соответствующих строки и столбца. Эти номера формируются на выходах дешифраторов. Адрес ЭЗЭ в виде двоичного числа принимается по адресной шине регистром адреса. Число разрядов регистра адреса однозначно связано с объемом памяти ИС. Число строк и столбцов матрицы ЭЗЭ обычно выбирается равным целой степени числа 2,

причем общий объем памяти определяется произведением числа строк ($N_{\text{стр}}$) на число столбцов $N_{\text{столб}}$:

$$M = N_{\text{стр}} N_{\text{столб}} = 2^{n_1} 2^{n_2} = 2^{n_1+n_2}, \quad (21.2)$$

где $n = n_1 + n_2$ — число разрядов регистра адреса.

Допустим, как и в схеме рис. 21.3, $M = 2^{10} = 1024$ (1 К). Однако, так как в этом случае организация памяти $1\text{К} \times 1$, то для доступа ко всей хранящейся информации необходимо 10-разрядное адресное слово ($A_9 \dots A_0$), т. е. $n = 10$. Если выбрать $n_1 = n_2 = 5$, то число строк и столбцов будет равно 32 и матрица ЭЗЭ будет квадратной.

Разряды регистра адреса делятся на две группы: одна (n_1) определяет двоичный адрес строки (RA), другая (n_2) — двоичный адрес столбца (CA). Каждая группа разрядов адреса подается на соответствующий дешифратор (строк и столбца). Выходные сигналы дешифраторов выбирают требуемый ЭЗЭ из матрицы.

При чтении ($WR/RD = 1$) содержимое этой ячейки через усилитель считывания выводится в выходной триггер.

Режим записи устанавливается путем подачи в усилитель записи сигнала разрешения записи ($\bar{WR}/RD = 0$). Этот сигнал открывает усилитель записи, и бит входной информации поступает на внутреннюю шину ИС, с которой переписывается в выбранный по соответствующему адресу ЭЗЭ.

Указанные процессы считывания-записи могут осуществляться только в случае, если на вход CS, соединенный с входом стробирования дешифратора строки, подан разрешающий сигнал. Обычно это сигнал лог. 0. При отсутствии этого сигнала работа дешифратора строки блокируется, что эквивалентно запрещению выборки ЭЗЭ по указанному адресу. В этом случае ИС находится в режиме хранения информации и ее выходы отключены от матрицы ЭЗЭ.

Рассмотренная организация памяти обеспечивает хранение $2^n \times 1$ кодовых слов, т. е. заданному адресу соответствует один бит информации. Использование метода двумерной адресации позволяет максимально упростить схему ИС, что при заданной площади кристалла является предпосылкой получения максимально больших объемов памяти.

21.4. УВЕЛИЧЕНИЕ ОБЪЕМА ПАМЯТИ ЗУ

С использованием описанных структур можно строить память с любым заданным объемом информации. Однако на практике приходится иметь дело со стандартным рядом ИС, организация и объем памяти которых заданы. Как правило, эти показатели не совпадают с требованиями конкретной аппаратуры, и встает задача построения на ИС ЗУ заданной организации ЗУ с требуемой организацией.

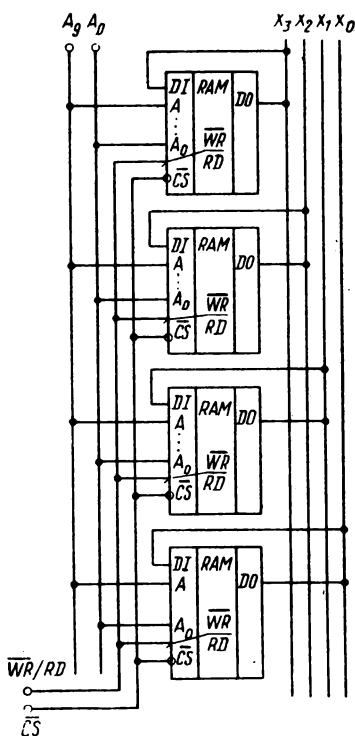


Рис. 21.5. Организация ЗУ при наращивании разрядности выходного слова

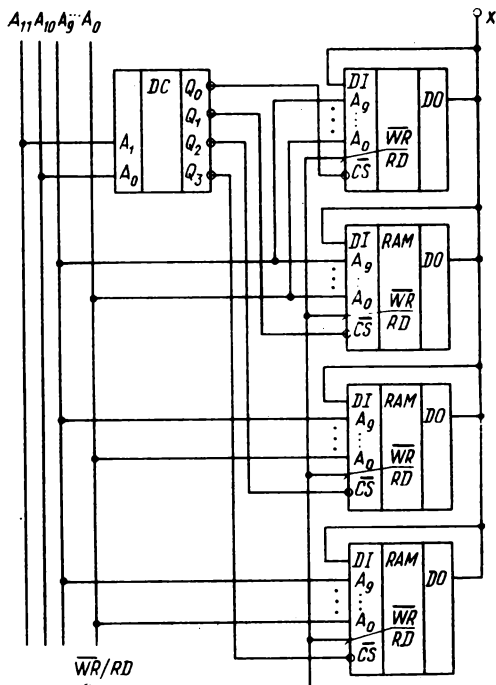


Рис. 21.6. Организация ЗУ при наращивании числа хранимых слов

Для этой цели используются два технических решения: наращивание разрядности хранимых слов; наращивание числа хранимых слов. Используя одновременно оба этих метода, можно увеличить как разрядность, так и количество хранимой информации.

Увеличить разрядность хранимых в памяти слов можно параллельным включением нескольких одинаковых ИС. На рис. 21.5 показано построение ЗУ с организацией $1K \times 4$ бит на основе ИС с организацией $1K \times 1$. Для этого один и тот же адрес необходимо подать одновременно на адресные входы 4-х ИС. С выхода D_0 каждой ИС по указанному адресу будет считан 1 бит информации. Следовательно, подключив выходы ИС к соответствующим разрядам 4-разрядной шины, с последней можно считать 4-разрядное слово. Таким образом, наращивание разрядности хранимых информационных слов не требует применения дополнительных техниче-

ских средств и может быть выполнено простым соединением имеющихся ИС.

Сложнее обстоит дело при необходимости увеличения количества хранимых в памяти слов. Ранее отмечалось, что количество хранимых в памяти кодовых слов однозначно связано с разрядностью используемого адресного слова. Поэтому его увеличение требует увеличения разрядности шины адреса. Однако, так как разрядность адресного слова для конкретного типа ИС задана, решить эту задачу без привлечения дополнительных аппаратных средств не представляется возможным.

Практически задача увеличения количества хранимых слов решается с использованием дополнительного дешифратора, предназначенного для формирования сигнала разрешения работы несколькими параллельно включенным по выходам ИС. Данное решение иллюстрируется рис. 21.6, на котором показано выполнение памяти $4K \times 1$ на основе ИС с собственной организацией $1K \times 1$. Для обращения к объему памяти в $4K$ необходимо 12-разрядное адресное слово. Интегральная схема заданного типа управляется 10-разрядным адресным словом. Два старших разряда адреса A_{11} и A_{10} подаются на адресные входы дополнительного дешифратора, выходы которого подсоединены к входам \overline{CS} соответствующих ИС. Поэтому при подаче адреса дешифратор старших разрядов из четырех ИС выберет только ту, в которой хранится нужная информация. Выходы остальных ИС будут отключены от выходной шины данных, с которой будет считана только соответствующая поданному адресу информация.

21.5. СТАТИЧЕСКИЕ ОЗУ НА БИПОЛЯРНЫХ ТРАНЗИСТОРАХ

Элементарные 3Э статических ОЗУ могут быть выполнены на основе всех рассмотренных в гл. 19 типов БЛЭ. Каждый из этих типов обладает своими преимуществами и недостатками, определяющими область его применения.

Статические ЭЗЭ, использующие биполярные транзисторы, это дорогостоящие устройства, выполненные на основе различных триггерных элементов. Данный класс схем обладает на сегодняшний день максимальным быстродействием. Рассмотрим подробнее схемотехнические решения ЭЗЭ на биполярных транзисторах.

На рис. 21.7 приведена принципиальная электрическая схема ЭЗЭ на биполярных транзисторах. Данный элемент использует технологию ТТЛ и предназначен для применения в ЗУ с двумерной адресацией. Его основу составляют два инвертора, выполненных на трехэмиттерных транзисторах $VT1$ и $VT2$. Инверторы включены последовательно и охвачены глубокой ПОС. Две пары

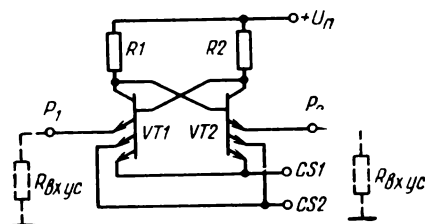


Рис. 21.7. Принципиальная электрическая схема ЭЗЭ на основе биполярных транзисторов

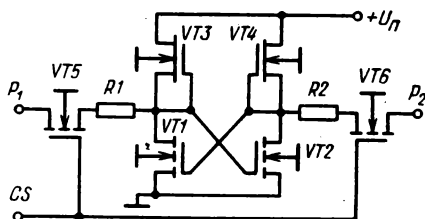
попарно объединенных эмиттеров транзисторов образуют выводы выборки элемента $CS1$ и $CS2$. Третья пара эмиттеров транзисторов образует прямой P_1 и инверсный P_2 выходы элемента, которые через входные сопротивления усилителя считывания (рис. 21.4) подключены к общей шине.

В режиме хранения на один или оба вывода выборки ($CS1$, $CS2$) ЭЗЭ подано напряжение низкого уровня. При этом триггер, образованный инверторами, находится в одном из устойчивых состояний. Предположим, что транзистор $VT1$ насыщен, а $VT2$ заперт. Весь ток насыщенного транзистора $VT1$ замыкается через один из выводов выборки элемента на общую шину. Поэтому в цепи выходного вывода $P1$ ток отсутствует и информация из ЭЗЭ не попадает на вход усилителя считывания ($U_{R_{вх.уc}} = 0$).

Для считывания информации на оба входа выборки элемента необходимо подать напряжение высокого уровня. При этом единственным путем протекания тока насыщенного транзистора остается выходной вывод $P1$ ЭЗЭ. Этот ток создает на входном сопротивлении усилителя считывания напряжение $U_{R_{вх.уc}}$, полярность которого соответствует записанной в элемент информации. Следует отметить, что при считывании из элемента информации она не теряется. При подаче на один или оба входа выборки напряжения низкого уровня триггер продолжает оставаться в том же состоянии.

При необходимости записать в элемент новую информацию на него также первоначально подаются сигналы выборки. После чего на внешних шинах устанавливается полярность напряжения, соответствующая новой информации. Для рассматриваемого случая на вывод $P1$ подается напряжение высокого уровня, а на $P2$ — низкого уровня. При этом так как все цепи протекания эмиттерного тока транзистора $VT1$ оказываются разорванными, на его коллекторе формируется напряжение высокого уровня. Это напряжение насыщает транзистор $VT2$, который, формируя на своем коллекторе напряжение низкого уровня, подтверждает запертое состояние транзистора $VT1$. В ЭЗЭ записывается новая информация. После снятия с элемента сигналов выборки новая информация будет храниться в триггере до момента очередной перезаписи.

Рис. 21.8. Принципиальная электрическая схема ЭЗЭ на основе полевых транзисторов



Таким образом, запись новой информации в рассматриваемый ЭЗЭ выполняется высоким уровнем входного напряжения.

Описанное построение элемента позволяет, во-первых, соединять параллельно выходы любого числа элементов, и, во-вторых, использовать для чтения-записи одни и те же его выходы. Следовательно, описанный элемент полностью отвечает требованиям, накладываемым на него структурной схемой рис. 21.4. Следует также отметить, что в данном случае формирование второго входа выборки выполнено с минимальными затратами и не приводит к значительному усложнению элемента памяти.

Если из многоэмиттерных транзисторов элемента исключить по одному эмиттеру, получим элемент для ЗУ с одномерной адресацией.

21.6. СТАТИЧЕСКИЕ ОЗУ НА ПОЛЕВЫХ ТРАНЗИСТОРАХ

Применение в ЭЗЭ статических ОЗУ полевых транзисторов позволяет получить более высокую степень упаковки элементов, уменьшить стоимость и потребляемую мощность. Однако при этом быстроедействие ОЗУ снижается.

Построение ЭЗЭ статических ОЗУ на полевых транзисторах рассмотрим на примере элемента с одномерной адресацией. Его принципиальная электрическая схема приведена на рис. 21.8. Он также содержит два инвертора, но выполненных на основе ключей с нагрузочным МДП-транзистором. За счет введения цепи ПОС инверторы образуют структуру триггера. Выходы этого триггера через попарно последовательно включенные ограничительные резисторы $R1$ и $R2$ и транзисторы $VT5$ и $VT6$ соединены с выходными выводами P_1 и P_2 ЭЗЭ. Объединенные затворы транзисторов $VT5$ и $VT6$ образуют вывод выборки элемента CS .

Допустим, что в некоторый момент времени транзистор $VT1$ включен, а транзистор $VT2$ заперт. Если на вход выборки подано напряжение, недостаточное для отпирания транзисторов $VT5$ и $VT6$, триггер фактически отключен от выходных выводов P_1 и P_2 ЭЗЭ, и информация на этих выводах отсутствует. Элементарный ЗЭ находится в режиме хранения. Очевидно, что это состояние может длиться сколь угодно долго.

Если на вход выборки подано напряжение, достаточное для отпирания транзисторов $VT5$ и $VT6$, информация, записанная ранее в триггере, появится на его выходных выводах. В нашем случае на выводе P_1 появится напряжение низкого, а на выводе P_2 — высокого уровней. Эти напряжения считываются подключенным к внутренней шине ИС усилителем считывания.

Для записи новой информации при условии выборки нужного элемента на выводах P_1 и P_2 усилителем записи формируются новые значения уровней напряжения. В рассматриваемом случае для изменения записанной ранее информации необходимо на вывод P_1 подать напряжение высокого, а на P_2 — низкого уровней. Напряжение низкого уровня, шунтируя транзистор $VT2$, снимет с затвора $VT1$ напряжение, поддерживавшее его во включенном состоянии; при этом $VT1$ закроется. Напряжение на его стоке увеличится до напряжения открывания транзистора $VT2$. В результате $VT2$ откроется, подтвердив тем самым запертое состояние транзистора $VT1$. В триггер записывается новая информация, которая будет храниться в нем до момента очередной перезаписи.

Описанный ЭЗЭ, так же как и элемент на биполярных транзисторах, допускает многократное считывание информации без ее разрушения. Особенностью рассмотренной схемы является перезапись информации при подаче на вход элемента напряжения низкого уровня. Это более удобно, так как обрыв вывода не создает на входе элемента напряжение активного уровня, что повышает надежность его работы.

Данный элемент, как и ЭЗЭ на биполярных транзисторах, позволяет производить чтение-запись информации по одним и тем же выводам, что важно с точки зрения упрощения ИС.

Рассмотренный ЭЗЭ можно легко преобразовать в устройство с двумерной выборкой. Для этого последовательно с транзисторами $VT5$ и $VT6$ необходимо включить еще два аналогичных транзистора, объединенные затворы которых создадут второй вход $CS2$ выборки элемента (рис. 21.9).

Следует отметить, что не зависимо от типа используемых в ИС ОЗУ элементарных ЗЭ ее входные и выходные цепи выполняются совместимыми по логическим уровням с элементами ТТЛ. Это позволяет стандартизировать ИС памяти, обеспечив возможность их совместного использования.

Условное графическое обозначение ИС ОЗУ приведено на рис. 21.10. Это статическое ОЗУ типа 132РУ6, выполненное на n МОП-транзисторах. Организация данной ИС $16K \times 1$. Интегральная схема имеет 14 адресных входов ($A13 \dots A0$), вход ввода информации DI , выходной вывод $D0$, вывод разрешения работы \overline{CS} , и вывод управления режимами чтения-записи $\overline{WR/RD}$. При подаче

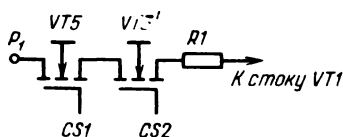


Рис. 21.9. Организация выбора ЭЗЭ на полевых транзисторах для ЗУ с двумерной адресацией

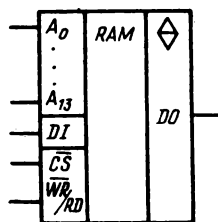


Рис. 21.10. Условное обозначение ИС статического ОЗУ типа 132РУ6

на управляющий вход напряжения низкого уровня ($\overline{WR}/RD=0$) выполняется запись информации, а при подаче напряжения высокого уровня ($\overline{WR}/RD=1$) — ее считывание: Значок ∇ , расположенный в правом верхнем углу графического изображения ИС, означает, что выход ИС имеет три выходных состояния, т. е. информация подключается к выходному выводу только при выборе ИС. Могут также использоваться и другие обозначения. Значок ∇ указывает, что выход ИС выполнен с открытым коллектором, а значок ∇ — что выход выполнен с открытым эмиттером.

Важно подчеркнуть, что в любом случае схемотехническое выполнение выходных цепей ИС должно допускать их параллельное подключение к общей информационной шине (см. § 21.4).

21.7. ДИНАМИЧЕСКИЕ ОЗУ

В ЭЗЭ динамических ОЗУ информация хранится в виде заряда на конденсаторе. При этом в соответствии с рис. 19.2 для отождествления напряжения на конденсаторе со значением лог. 0 или лог. 1 оно должно иметь уровни, расположенные в определенном диапазоне. Следует отметить, что любой даже самый совершенный конденсатор обладает собственным саморазрядом. Кроме этого для обеспечения режимов заряда-разряда к конденсатору необходимо подключить дополнительные цепи, сопротивление которых хотя и может быть достаточно большим, но всегда имеет некоторую конечную величину. Вследствие этого заряженный до определенного уровня конденсатор через некоторое время теряет свой заряд и напряжение на нем выходит из зоны отображения исходной логической константы.

Использование памяти такого типа технически оправдано только в случае, когда время хранения информации t_{xp} суще-

ственно больше времени, необходимого для ее восстановления: $t_{xp}' = t_{xp}/t_{вос} \gg 1$. Последнее требует увеличения приведенного сопротивления саморазряда конденсатора, под которым понимается некоторое эквивалентное сопротивление, включенное параллельно конденсатору и учитывающее как собственный саморазряд конденсатора, так и разряд по внешним цепям. Желание увеличить это сопротивление привело к использованию в ЭЗЭ динамических ОЗУ только полевых транзисторов.

Казалось бы, что увеличить время хранения информации в таких ОЗУ можно за счет увеличения емкости конденсатора. Однако, во-первых, при неизменных параметрах цепей заряда-разряда такое решение не изменяет t_{xp}' и, во-вторых, требует увеличения площади конденсатора. Последнее, применительно к полупроводниковой технологии, ведет к уменьшению числа конденсаторов, которые можно разместить на кристалле заданной площади, т. е. к уменьшению объема хранимой в ИС информации. Следовательно, этот способ не совместим с полупроводниковой технологией.

Как следует из принципа работы, особенностью динамических ОЗУ является необходимость периодического восстановления (регенерации) заряда на конденсаторах. Для этого информация с ЭЗЭ периодически считывается и затем повторно записывается с восстановлением требуемого уровня напряжения. В реально выпускаемых ОЗУ регенерация заряда конденсаторов ЭЗЭ выполняется через каждые 1 ... 2 мс, что соответствует частоте регенерации 0,5 ... 1 кГц.

По сравнению со статическими, динамические ОЗУ обладают меньшим быстродействием, но они существенно проще, дешевле и обеспечивают очень высокую степень интеграции, т. е. предполагают разработку ИС с большим объемом хранимой информации. В настоящее время разработаны ИС динамических ОЗУ с организацией $128M \times 1$.

Рассмотрим работу динамического ЭЗЭ на примере однотранзисторного элемента (рис. 21.11). В данной схеме реализован принцип одномерной адресации. На рис. 21.11, кроме собственно ЭЗЭ, упрощенно показаны цепи, необходимые для пояснения принципов записи-считывания информации. Собственно ЭЗЭ включает конденсатор C_n и транзисторный ключ $VT1$, подключающий этот конденсатор к шине данных (ШД). Затвор транзистора $VT1$ подключен к выходу дешифратора адреса CS . Поэтому при появлении на данном выходе дешифратора напряжения высокого уровня, транзистор $VT1$ открывается, подключая конденсатор C_n к ШД. В этом случае в зависимости от режима работы можно либо считать уже имеющуюся информацию, либо записать новую.

К ШД подключен затвор транзистора $VT2$, выполняющего роль усилителя считывания. После подключения нужного конденсатора

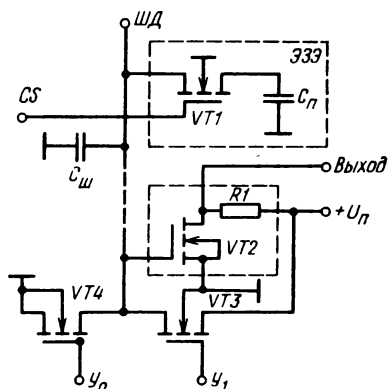


Рис. 21.11. Фрагмент структурной схемы динамического ЗУ

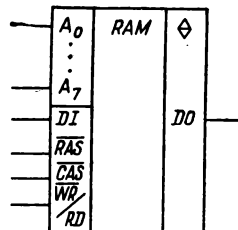


Рис. 21.12. Условное обозначение ИС динамического ОЗУ типа 565PY5

к ШД с выхода усилителя снимается напряжение, пропорциональное исходному напряжению на конденсаторе C_n .

Следует отметить некоторые особенности этого процесса. Для хранения больших объемов информации ИС динамического ОЗУ должна содержать большое число ЭЗЭ. Все эти ЭЗЭ через свои транзисторы подключены к ШД. Поэтому ШД имеет очень большую длину, и следовательно, большую собственную емкость $C_{ш}$. Как правило, выполняется условие $C_{ш} \gg C_n$. Подключение к ШД конденсатора малой емкости за счет перераспределения зарядов емкостей $C_{ш}$ и C_n незначительно изменяет ее потенциал. Для распознавания этого изменения необходимо очень точно знать исходное напряжение шины, которое в процессе работы может принимать произвольное значение. Поэтому процесс считывания информации предполагает следующую последовательность действий:

непосредственно перед считыванием информации фиксируют уровень напряжения ШД, для чего при помощи ключа VT3 емкость $C_{ш}$ заряжают до напряжения питания;

на нужный ЭЗЭ подают сигнал выборки CS; C_n подключается к $C_{ш}$, что сопровождается перераспределением заряда и соответствующим изменением напряжения на ШД;

с выхода усилителя считывают сигнал, пропорциональный заряду конденсатора, выбранного ЭЗЭ.

Как следует из описанного алгоритма, считывание информации из ЭЗЭ всегда сопровождается ее разрушением. Поэтому при необходимости ее дальнейшего хранения информация должна быть записана заново.

Запись информации в ЭЗЭ выполняется с использованием транзисторов $VT3$ и $VT4$, которые по сигналу управления подключают ШД либо к источнику питания, либо к общей шине. При выборке нужного ЭЗЭ его конденсатор заряжается до напряжения ШД.

Реальная структура ИС динамического ОЗУ много сложнее показанного на рис. 21.11 упрощенного варианта. Она содержит регистры и цепи управления процессами регенерации, а также дополнительную матрицу ЭЗЭ, использующуюся в качестве эталона. Для регенерации по сигналу с блока управления содержимое целой строки матрицы ЭЗЭ перезаписывается в регистр и обратно, за счет чего и поддерживается требуемый уровень напряжения на конденсаторах памяти.

На рис. 21.12 в качестве примера приведено условное графическое обозначение ИС динамического ОЗУ типа 565РУ5. Организация данной ИС $64K \times 1$. Она снабжена восемью адресными выводами ($A7 \dots A0$), выводами входа DI и выхода DO информации, выводом управления режимом работы (\overline{WR}/RD — запись-считывание) и двумя выводами для подачи стробирующих сигналов адреса \overline{RAS} и \overline{CAS} . Последние два сигнала позволяют уменьшить необходимое число адресных выводов ИС. Действительно, для обращения к $64K$ слов информации необходимо 16-разрядное адресное слово. Причем половина разрядов отвечает за выбор нужной строки, а половина — за выбор нужного столбца. Поэтому старшие и младшие разряды адресного слова подаются на одни и те же выводы ИС по очереди. После подачи на вывод \overline{RAS} напряжения низкого уровня на адресные выводы подают восемь младших разрядов адресного слова, которые обеспечивают выбор из матрицы ЭЗЭ необходимой строки. После этого напряжение низкого уровня подается и на вывод \overline{CAS} , а на адресных выводах формируют восемь старших разрядов адресного слова, которые выбирают нужный столбец матрицы.

Из сказанного понятно, что при таком построении ИС динамического ОЗУ обеспечивают меньшее быстродействие, чем статического. Этому кроме собственно особенностей используемой элементной базы способствуют стробирование адреса (последовательная его подача) и необходимость периодической регенерации информации.

Попутно следует отметить, что для выбора ИС динамического ОЗУ не используется сигнал \overline{CS} . Его роль выполняют последовательно подаваемые сигналы \overline{RAS} и \overline{CAS} .

21.8. ПОСТОЯННЫЕ ЗУ (ПЗУ)

Постоянные ЗУ предназначены для хранения информации, которая остается неизменной в течение всего времени работы устройства. Эта информация не исчезает при снятии напряжения пита-

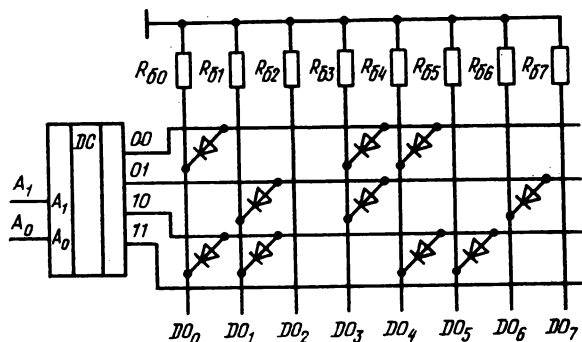


Рис. 21.13. ПЗУ с организацией 4×8

ния. Поэтому в ПЗУ возможен только режим считывания информации, причем считывание не сопровождается ее разрушением.

Класс ПЗУ не однороден и, как отмечалось ранее, может быть разбит на несколько самостоятельных подклассов. Однако все эти подклассы используют один и тот же принцип представления информации. Информация в ПЗУ представляется в виде наличия или отсутствия соединения между шинами адреса (ША) и данных. В этом смысле ЭЗЭ ПЗУ подобен ЭЗЭ динамического ОЗУ, в котором конденсатор памяти C_n либо закорочен, либо исключен из схемы.

Проиллюстрируем этот принцип на простом примере. На рис. 21.13 приведена схема простейшего ПЗУ с организацией 4×8. Она включает дешифратор с двумя адресными шинами, восемь балластных резисторов $R_{60}—R_{67}$ выходных шин и диоды, число которых равно числу лог. 1 в информационных словах, записанных в ПЗУ.

Работа ПЗУ сводится к следующему. После появления на выходе дешифратора напряжения высокого уровня при наличии связи через диод между ША и ШД, это напряжение прикладывается к соответствующему балластному резистору, что в положительной логике воспринимается как появление на шине сигнала лог. 1. При отсутствии связи ток через соответствующий резистор не протекает, что при тех же допущениях классифицируется как сигнал лог. 0. Информация, записанная таким образом в ПЗУ рис. 21.13, соответствует следующей таблице истинности (табл. 21.1).

В зависимости от типа и способа организации связи между шинами адреса и данных все ПЗУ могут быть разбиты на три подкласса: масочные; прожигаемые (программируемые); репрограммируемые.

Таблица истинности ПЗУ

A_1	A_0	DO_0	DO_1	DO_2	DO_3	DO_4	DO_5	DO_6	DO_7
0	0	1	0	0	1	1	0	0	0
0	1	0	1	0	1	0	0	1	0
1	0	1	1	0	0	1	1	0	0
1	1	0	0	0	0	0	0	0	0

Следует отметить, что ПЗУ хранят информацию в виде много-разрядных слов и поэтому их структура строится по принципу одномерной адресации. При этом, если разрядность хранимого в ПЗУ информационного слова превышает разрядность необходимого выходного слова, на выходе матрицы ЭЗЭ используются дополнительные селекторы выходного слова. Рассмотрим подробнее перечисленные подклассы ПЗУ.

Масочные ПЗУ. К масочным относятся ПЗУ, информация в которые записывается непосредственно в процессе их изготовления. Само название данного подкласса устройств связано с технологическим процессом их изготовления. Известно, что нанесение «рисунка» структуры на исходный полупроводниковый материал выполняется при помощи нескольких последовательных циклов фотолитографии (проецирование рисунка через фотошаблон называемый маской). При этом отдельные элементы формируемых полупроводниковых приборов выполняются с использованием различных масок, например, коллекторные и эмиттерные переходы биполярных или выводы стока и истока полевых транзисторов.

Первоначально изготавливаются все фотошаблоны, обеспечивающие соединение всех ША с ШД. В этом случае по всем адресам из ПЗУ считывается одинаковый сигнал, например лог. 1. Далее один из шаблонов заменяют другим, в котором отсутствуют некоторые области приборов (например, коллекторные переходы транзисторов), расположенные согласно таблице истинности между шинами в тех местах, где соединение должно отсутствовать. Данный метод позволяет для изготовления ПЗУ с различной информацией заменять только один из фотошаблонов, что существенно ускоряет и удешевляет процесс производства.

На рис. 21.14 показаны фрагменты матриц ЭЗЭ масочных ПЗУ, выполненных с использованием биполярных и полевых транзисторов. В обоих случаях если соединительный транзистор выполнен полностью, то при появлении на ША напряжения активного уровня этот транзистор включается, формируя на выходной шине напряжение лог. 0. Если соответствующий транзистор в процессе изготовления был лишен некоторых своих частей, появление напряже-

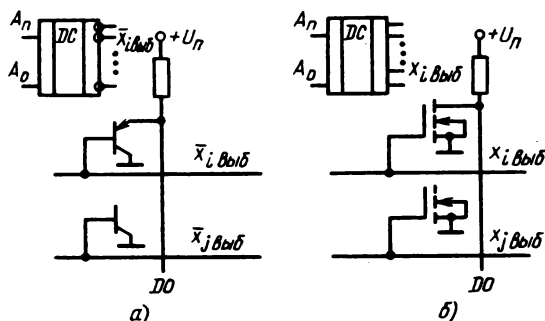


Рис. 21.14. Фрагменты масочных ПЗУ на биполярных (а) и полевых (б) транзисторах

ния на ША не сопровождается закорачиванием выходной шины, и на ней остается напряжение лог. 1.

Как следует из описания, масочные ПЗУ имеют простую и регулярную структуру, что предполагает выполнение ИС, способных хранить большие объемы информации.

Прожигаемые ПЗУ, или однократно программируемые ПЗУ, относятся к классу устройств, которые программируются один раз непосредственно их потребителем. По своей структурной схеме это устройство с одномерной адресацией, в котором для выделения выходного информационного слова нужной длины используется выходной селектор (рис. 21.15).

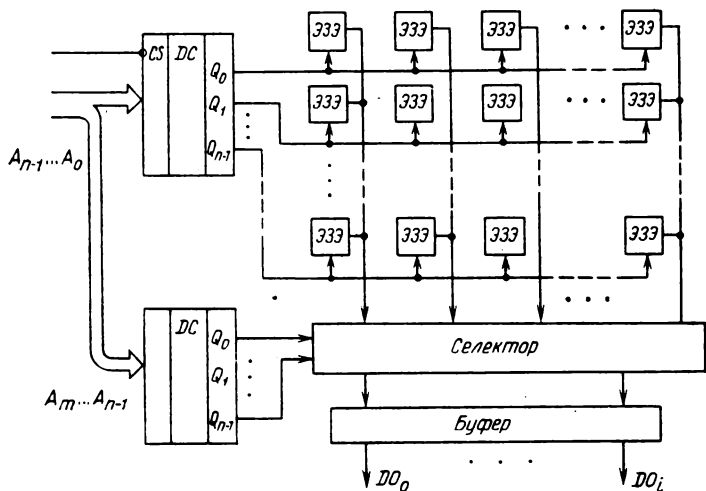


Рис. 21.15. Структурная схема прожигаемого ПЗУ

Первоначально по всем адресам таких ИС записаны сигналы либо лог. 0, либо лог. 1. Пользователь по своему усмотрению пере-записывает по необходимым адресам отличные от исходных логические константы. Физически процесс записи осуществляется путем разрушения (пережигания) специально для этого предусмотренных перемычек между шинами дешифрованного адреса и выходными выводами. Такие перемычки изготавливаются из нихрома, поликремния или титаната вольфрама и имеют собственное сопротивление в несколько десятков ом. Перемычка обычно включается в эмиттерную цепь транзистора. При программировании для разрушения такой перемычки через транзистор достаточно пропустить импульс тока в 20 ... 30 мА при длительности порядка 1 мс.

В нормальном режиме работы токи схемы существенно меньше необходимых для программирования. Поэтому записанная в ЭЗЭ информация при чтении не разрушается.

Импульс тока записи формируется путем кратковременного повышения напряжения питания ЭЗЭ до необходимого для прожигания перемычки значения. Очевидно, что записанная таким образом информация не может быть изменена, за исключением случаев, в которых необходимо изменить информацию по ранее незапрограммированным адресам.

Схемотехническую реализацию изложенного принципа построения ПЗУ рассмотрим на примере схемы, показанной на рис. 21.16, на которой показан фрагмент выполнения матрицы ЭЗЭ совместно с выходным селектором.

Рассматриваемое ПЗУ имеет организацию 256×4 . Матрица ЭЗЭ имеет 32 строки и 32 столбца. В соответствии с этим дешифратор адреса управляется 5-разрядным адресным словом и имеет 32 выхода выборки. При этом по каждому адресу из матрицы считывается 32-разрядное информационное слово. Для выделения из него 4-разрядного выходного слова необходимо еще три разряда адреса ($32/4=8=2^3$). Таким образом, для работы с таким ПЗУ необходимо 8-разрядное адресное слово.

Элементарный ЗЭ такого ПЗУ состоит из транзистора VT_{ij} , в эмиттерную цепь которого включена плавкая перемычка P_{ij} . Базовые выводы транзисторов, образующих строку матрицы ЭЗЭ, подключены к соответствующему выводу дешифратора, на котором в исходном состоянии присутствует сигнал лог. 0. Коллекторы всех транзисторов ЭЗЭ подключены к выводу источника питания, а эмиттеры через плавкие перемычки — ко входу селектора, образованного транзисторами $VT_0—VT_7$. Выходной каскад селектора выполнен с использованием восьмиэмиттерных транзисторов $VT_{DO_0}, \dots, VT_{DO_3}$.

Рассмотрим работу схемы в режиме считывания информации. Предположим, что на выходных шинах $DC1.0$ и $DC2.0$ соответственно дешифраторов адреса ($DC1$) и селектора ($DC2$) присутствует напряжение высокого уровня, а перемычки в эмиттерных цепях всех транзисторов ЭЗЭ с номерами, начиная с $j=16$, ($VT_{0.16}, VT_{0.17}, VT_{0.31}, VT_{1.16}$, и т. д.), разрушены. Высокое напряжение,

насыщены напряжением U_{on} , и при тех же условиях подключения на выходных выводах DO_2 и DO_3 присутствует напряжение низкого уровня.

Таким образом, в рассматриваемой схеме наличие перемычки соответствует считыванию по указанному адресу напряжения высокого уровня, а при отсутствии перемычки — напряжения низкого уровня.

Для записи информации в рассматриваемой схеме используются те же выводы, что и для считывания. Так как в исходном состоянии в схеме по всем адресам считывается напряжение высокого уровня, процесс записи информации рассмотрим на примере записи сигнала низкого уровня.

Предположим, что как и в предыдущем случае, на вход ИС подан адрес, выбирающий из матрицы ЭЗЭ элементы на транзисторах $VT_{0.0}$, $VT_{0.8}$, $VT_{0.16}$ и $VT_{0.24}$. При этом на выходные выводы DO_0 и DO_1 подано низкое, а на выводы DO_2 и DO_3 — высокое напряжение. Под действием напряжения U_{on} эмиттерные переходы транзисторов VT_{DO_0} , VT_{DO_1} , VT_{DO_2} и VT_{DO_3} смещаются в прямом направлении. При этом так как напряжение на выводах DO_2 и DO_3 имеет высокий уровень, на резисторах $R_{0.2}$ и $R_{0.3}$ создаются падения напряжений от тока, протекающего от внешнего вывода. Падения напряжений на резисторах $R_{0.0}$ и $R_{0.1}$ вследствие того, что внешнее напряжение на выводах DO_0 и DO_1 равно нулю, отсутствуют.

Если в этом случае повысить напряжение питания, то в эмиттерных цепях транзисторов $VT_{0.0}$ и $VT_{0.8}$ потекут токи, достаточные для разрушения их эмиттерных перемычек. В цепях транзисторов $VT_{0.16}$ и $VT_{0.24}$ протекающий ток будет ограничен действием в их эмиттерных цепях напряжений на резисторах $R_{0.2}$ и $R_{0.3}$ от протекания тока соответствующих выходных выводов. Поэтому перемычки в эмиттерных цепях транзисторов $VT_{0.16}$ и $VT_{0.24}$ не будут разрушены. При последующем считывании с выводов DO_0 и DO_1 будут получены низкие, а с выводов DO_2 и DO_3 — высокие напряжения. Таким образом, запись информации приводит к необратимым изменениям в ИС и поэтому может быть выполнена только однократно.

При необходимости наращивание объема памяти с использованием описанных ПЗУ выполняется способами, рассмотренными в § 21.4.

На рис. 21.17 приведено условное графическое обозначение ИС ППЗУ типа 556РТ16. Организация данного ППЗУ $8K \times 8$. При изготовлении использована технология ТТЛШ. Время выборки адреса 85 нс.

Репрограммируемые ПЗУ по сути являются электростатическими ЗУ. Логика построения их ЭЗЭ подобна логике ЭЗЭ динамического ОЗУ. Отличие состоит в том, что непосредственно носителем информации в них является не конденсатор, а специализированный МДП-транзистор. В зависимости от типа этого транзистора различают два вида РПЗУ:

устройства, использующие в качестве элемента памяти так называемый транзистор с «плавающим» затвором;

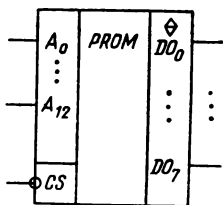


Рис. 21.17. Условное обозначение ИС ППЗУ типа 556РТ16

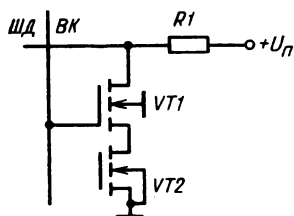


Рис. 21.18. Элементарный 3Э РПЗУ с одномерной адресацией

устройства, использующие в качестве элемента памяти МДП-транзистор с двухслойным диэлектриком — МНОП-транзистор.

Общим для обоих видов является помимо быстрого считывания ранее записанной информации возможность ее неоднократной перезаписи. Однако перезапись информации требует изъятия ИС РПЗУ из устройства и использования специализированного оборудования. Сам процесс перезаписи занимает временной интервал, на много порядков превышающий время ее считывания. Отличие указанных типов РПЗУ состоит в различных способах программирования.

Типовая схема 3Э РПЗУ с одномерной адресацией приведена на рис. 21.18. Транзистор $VT1$ служит для выбора по сигналу с выхода дешифратора адреса соответствующего транзистора памяти 3ЭЭ — $VT2$. ШД через ограничительный резистор $R1$ подключена к выводу источника питания. При отпирании транзистора $VT1$ протекание тока в цепи его стока зависит от состояния транзистора $VT2$. Наличие или отсутствие тока классифицируется как хранение сигналов лог. 0 или лог. 1. Обычно, если ток в цепи стока $VT2$ протекает, считают, что в ячейке был записан сигнал лог. 0, если ток отсутствует — сигнал лог. 1.

Рассмотрим структуру и способ перезаписи информации в транзистор с «плавающим» затвором. Своим названием МДП-транзистор с «плавающим» затвором обязан особенностям внутренней структуры. По существу это обычный МДП-транзистор, у которого затвор представляет из себя проводящую область (включение), изолированную от других частей прибора слоем диэлектрика (рис. 21.19). Отсутствие каких-либо связей позволяет затвору длительное время хранить достаточно большой электрический заряд. Под действием этого заряда в n -полупроводнике образуется проводящий канал. Если на затворе присутствует заряд, то через транзистор может протекать некоторый ток (транзистор открыт). Если заряд на затворе отсутствует, то ток стока транзистора ра-

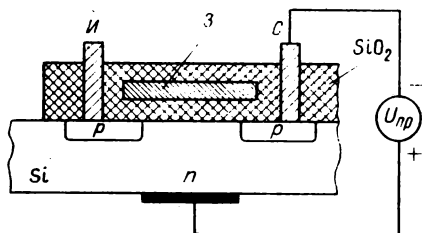


Рис. 21.19. Устройство МДП-транзистора с «плавающим» затвором

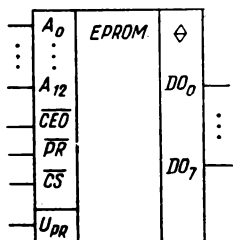


Рис. 21.20. Условное обозначение ИС РПЗУ типа 573РФ6А

вен нулю (транзистор закрыт). Это может соответственно расцениваться как присутствие сигнала лог. 0 или лог. 1.

Процесс записи информации в транзистор с плавающим затвором подразделяется на два этапа: стирание ранее записанной информации; запись новой информации.

На первом этапе поверхность полупроводникового материала с расположенными на ней транзисторами некоторое время (порядка 15 ... 20 мин) облучают ультрафиолетовым излучением. При этом происходит удаление существовавшего на затворах транзисторов заряда. По этой причине данный тип РПЗУ называют еще ПЗУ с ультрафиолетовым стиранием.

На втором этапе для записи новой информации p - n -переход, образованный стоком транзистора и подложкой, смещают в обратном направлении. При этом приложенное напряжение должно быть достаточным для электрического пробоя перехода. Часть носителей заряда, возникших в результате пробоя, имеет энергию, достаточную для преодоления энергетического барьера между полупроводником и диэлектриком. Инжектированные в диэлектрик носители заряда дрейфуют по направлению к «плавающему» затвору и, захватываясь им, образуют заряд последнего. Из-за вероятностного характера инжекции носителей, накопленный заряд пропорционален времени записи.

Более сложную структуру: металл — нитрид кремния — оксид — полупроводник имеет МНОП-транзистор. Между металлическим затвором и полупроводником находятся два различных слоя диэлектрика. В таких структурах на границе раздела между слоями диэлектрика может существовать электрический заряд, действие которого на проводимость транзистора аналогично действию заряда «плавающего» затвора. Запись информации в ячейки на МНОП-транзисторах происходит так же, как и в ячейки на транзисторах с плавающим затвором. Однако они выгодно отличаются

от вышеописанных возможностью электрического стирания информации.

Следует отметить, что с течением времени электрический заряд в транзисторах ЭЗЭ обоих видов убывает. Поэтому со временем информация в таких ПЗУ теряется.

Стоимость РПЗУ значительно выше, чем масочных ПЗУ. Поэтому РПЗУ находят применение в процессе отладки и опытной эксплуатации электронных устройств, когда велика вероятность изменения записанной в них информации. В последующем РПЗУ меняют на более дешевые виды ПЗУ.

На рис. 21.20 приведено условное графическое обозначение ИС РПЗУ с ультрафиолетовым стиранием типа 573РФ6А. Схема имеет организацию $8K \times 8$. Гарантированное время хранения информации при подключенном источнике питания не менее 20 000 ч. Гарантированное время хранения информации без подключения источника питания до 5 лет. Гарантированное число перепрограммирований до 25.

Интегральная схема имеет 13 адресных входов ($A_{12} \dots A_0$), 8 выводов входов-выходов данных (DO_7, \dots, DO_0), вывод выбора ИС (\overline{CS}), вывод разрешения по входу (\overline{CEO}), вывод сигнала программирования \overline{PR} и вывод для подключения напряжения программирования U_{PR} .

Контрольные вопросы

1. Назовите основные параметры ЗУ.
2. В чем заключается принцип построения ИС ЗУ с одномерной адресацией; с двумерной адресацией?
3. Как рассчитать разрядность регистра адреса ЗУ с двумерной адресацией?
4. Как организовано ЗУ на основе нескольких ИС?
5. Для чего вводят дополнительный дешифратор в ЗУ на основе стандартных ИС?
6. Приведите схему ЭЗЭ на биполярных транзисторах. ЗУ каких типов реализуется на его основе?
7. Приведите схемы ЭЗЭ на основе полевых транзисторов для двумерных и одномерных ЗУ.
8. В чем заключается особенность динамических ЭЗЭ? На основе каких типов транзисторов они строятся и почему?
9. Как организованы схемы ПЗУ и на каких ЭЗЭ они выполняются?
10. Какова технология изготовления масочных ПЗУ?
11. Как программируются однократно программируемые ПЗУ?
12. На каких элементах выполняются репрограммируемые ПЗУ?

13. Чем различаются РПЗУ на основе транзисторов с «плавающим» затвором и на основе МНОП-транзисторов?

14. Как осуществляется запись информации в РПЗУ?

ГЛАВА 22

ЛОГИЧЕСКИЕ УСТРОЙСТВА С ПРОГРАММИРУЕМЫМИ ХАРАКТЕРИСТИКАМИ

22.1. НАЗНАЧЕНИЕ И ОБЛАСТИ ПРИМЕНЕНИЯ

Применение БИС и СБИС в цифровых электронных устройствах позволяет существенно улучшить их эксплуатационные возможности, в первую очередь повысить надежность и быстродействие, снизить потребляемую мощность и габаритные размеры, либо при неизменных потреблении и габаритных размерах значительно расширить функциональные возможности аппаратуры. Однако разработка БИС и СБИС представляет собой длительный и дорогостоящий процесс, который экономически оправдан только при достаточно большом объеме выпуска готовых изделий. Повышение специализации ИС при улучшении указанных выше показателей всегда вступает в противоречие с их универсальностью, что расширяет их необходимую номенклатуру и уменьшает объем выпуска каждого отдельного типономинала. Последнее ведет к удорожанию продукции.

Устранить указанное противоречие между специализацией и универсальностью можно путем разработки БИС, алгоритмы работы которых могут быть изменены по желанию разработчика конкретной аппаратуры, т. е. путем создания настраиваемых или программируемых логических схем. Здесь под программируемостью понимается не способность реализовать заданный алгоритм обработки входных кодов, изменяя программу работы, как это делает микропроцессор, а возможность изменения внутренней структуры ИС таким образом, чтобы она обеспечивала реализацию заданных ФАЛ на аппаратном уровне.

При изготовлении таких ИС используется единый комплекс фотошаблонов, поэтому с точки зрения изготовителя это — универсальные изделия. Настройку же данной ИС на заданный алгоритм работы выполняет непосредственно изготовитель аппаратуры, с точки зрения которого данная схема выполняет узко специализированные задачи. В результате программирования в ИС вносятся обратимые или необратимые изменения структуры, которые и приводят к получению заданных свойств.

В соответствии со сказанным, основным преимуществом программируемых ЛЭ перед специализированными БИС и СБИС является малое время изготовления ИС с наперед заданными характеристиками. При этом берется стандартная схема и подачей на определенные входы специальных сигналов или соответствующим соединением выводов направленно изменяются ее параметры.

Данное преимущество определяет основное назначение таких ИС — замену групп логических ИС малой и средней степени интеграции. По результатам зарубежных исследований в зависимости от уровня сложности одна программируемая ИС может заменить до 60 и более ИС малой и средней степени интеграции. Следовательно, такая замена позволяет в значительной степени реализовать преимущества БИС и СБИС при низкой стоимости изготовления, что особенно важно при небольших объемах выпуска конкретной аппаратуры.

Следует отметить, что возможность программирования ИС достигается путем избыточности их аппаратной части, т. е. требуется введение дополнительных выводов и элементов настройки, добавление информационных цепей и т. д. Поэтому реальное быстроедействие устройств, выполненных на программируемых ИС, их потребление и другие характеристики будут всегда хуже, чем у устройств на специализированных СБИС. Однако эти характеристики будут заведомо лучше аналогичных характеристик аппаратуры, построенной на стандартных ИС малой и средней степени интеграции. Это ухудшение свойств является компенсацией за приобретение многофункциональности, способствующей унификации номенклатуры выпускаемой продукции электронной техники.

В качестве простейших программируемых логических интегральных схем (ПЛИС) могут использоваться ИС мультиплексоров. В более сложных случаях применяют специально разработанные для этой цели ПЛИС.

22.2. ПРИМЕНЕНИЕ МУЛЬТИПЛЕКСОРА В КАЧЕСТВЕ УНИВЕРСАЛЬНОГО ЛЭ

В гл. 16 и 17 были рассмотрены типовые узлы, реализующие часто встречающиеся алгоритмы обработки информации. Это позволяет при разработке аппаратуры не проектировать каждый раз такие устройства, а использовать готовые серийные ИС. Естественно возникает вопрос о том, нельзя ли спроектировать такое универсальное¹ или, по крайней мере, многофункциональное² уст-

¹ Универсальным называется логическое устройство, позволяющее при заданном числе входных переменных реализовать любую наперед заданную логическую функцию.

² Многофункциональным называется логическое устройство, которое при заданном числе входных переменных позволяет реализовать большое число различных логических функций.

Таблица 22.1

x_1	x_0	$F(X)$
0	0	0
0	1	1
1	0	1
1	1	0

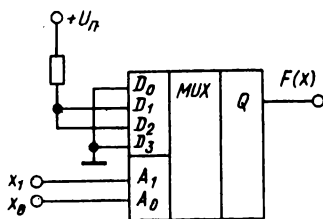


Рис. 22.1. Реализация ФАЛ двух входных переменных на мультиплексоре

ройство, на котором возможно реализовать ФАЛ произвольной сложности либо без дополнительных затрат, либо сведя эти затраты к минимуму.

Такую задачу, как указывалось, можно решить введением в схему устройства некоторой функциональной избыточности. Тогда подачей сигналов на дополнительные входы можно осуществлять нужное изменение его характеристик. Таким образом, подобное устройство, в частности ИС, должна содержать входы настройки.

Наиболее простую реализацию данной идеи удастся получить с использованием ИС мультиплексора, который помимо устройства коммутации может использоваться и как универсальный ЛЭ.

Суть использования мультиплексора в качестве универсального ЛЭ состоит в том, что его адресные входы используются в качестве информационных и на них подаются аргументы воспроизводимой функции, а информационные входы выполняют роль настроечных. При этом на настроечных входах могут формироваться сигналы либо логических констант, либо некоторые вспомогательные функции.

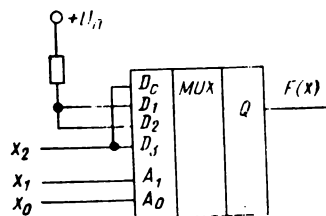
Пример 22.1. На мультиплексоре $4 \rightarrow 1$ реализовать ФАЛ, заданную таблицей истинности (табл. 22.1).

Решение. Реализация данного алгоритма приведена на рис. 22.1.

Из рассмотренного примера видно, что описанный метод ограничивается реализацией функций четырех переменных, так как реально выпускаемые в виде ИС мультиплексоры имеют не более 16 информационных входов. Таким образом, для реализации множества ФАЛ до четырех входных переменных можно воспользоваться ИС мультиплексора, которая будет являться универсальным ЛЭ, так как без использования дополнительных аппаратных средств позволяет реализовать ФАЛ произвольного вида.

При необходимости реализации ФАЛ большего числа входных переменных можно воспользоваться структурой мультиплексор-

Рис. 22.2. Реализация ФАЛ трех входных переменных



ного дерева. Однако при небольшом числе аргументов эту задачу можно решить и другим методом, а именно выбором сигналов настройки не из множества $\{1, 0\}$, как это было сделано в примере 22.1, а из множества $\{1, 0, x_1, \dots, x_n\}$, где x_i — один из аргументов воспроизводимой функции. В этом случае иногда удается на мультиплексоре без дополнительных аппаратных затрат реализовать ФАЛ, число аргументов которой на единицу больше числа его адресных входов.

Пример 22.2. На мультиплексоре $4 \rightarrow 1$ реализовать ФАЛ следующего вида:

$$F(X) = x_1 \bar{x}_0 + x_2 + \bar{x}_1 x_0.$$

Решение. Преобразуем данную ФАЛ:

$$F(X) = x_1 \bar{x}_0 + x_2 + \bar{x}_1 x_0 = (x_1 \bar{x}_0 + \bar{x}_1 x_0) + x_2 = F_1(x) + x_2.$$

Практическая реализация данной ФАЛ приведена на рис. 22.2.

Следует отметить, что данное техническое решение не является единственным. На настраиваемые входы можно подавать произвольные аргументы и функции. Значения настроечной функции, которую надо подать на информационные входы, определяются *остаточной функцией*, т. е. значениями заданной ФАЛ на фиксированных значениях аргументов, поданных на информационные входы.

Пример 22.3. Реализовать ФАЛ из примера 22.2, используя в качестве сигналов, подаваемых на адресные входы мультиплексора, значения x_2 и x_0 .

Решение. Для этого случая остаточная функция $F_{\text{ост}}$ имеет вид, приведенный в табл. 22.2.

Практическая реализация исходной ФАЛ приведена на рис. 22.3.

Таблица 22.2

x_2	x_0	$F_{\text{ост}}$
0	0	x_1
0	1	\bar{x}_1
1	0	1
1	1	1

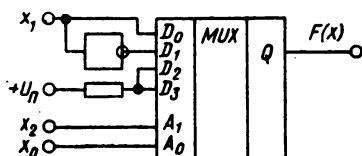


Рис. 22.3. Реализация ФАЛ трех входных переменных

Таблица 22.3

x_1	x_0	$F_{ост}$
0	0	0
0	1	$x_2 + x_3$
1	0	x_3
1	1	x_3

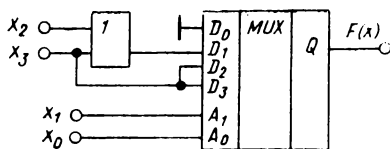


Рис. 22.4. Реализация ФАЛ четырех входных переменных

Очевидно, что в данном случае практическая реализация заданной ФАЛ потребует введения дополнительного ЛЭ. Следовательно, когда число адресных входов мультиплексора на один меньше числа независимых переменных заданной ФАЛ, элемент является не универсальным, а многофункциональным.

Используя описанный метод, можно выбирать сигнал настройки из более широкого множества, включающего несколько аргументов. При этом на мультиплексоре с двумя адресными входами можно реализовать ФАЛ четырех и более переменных. Эффективность использования такого технического решения с увеличением числа входных переменных падает.

Пример 22.4. На мультиплексоре $4 \rightarrow 1$ реализовать ФАЛ вида

$$F(X) = x_2 \bar{x}_1 x_0 + x_3 x_1 \bar{x}_0 + x_3 x_0.$$

Решение. В качестве входных переменных, подаваемых на адресные входы, выберем значения x_1 и x_0 . Остаточная функция, полученная для этого случая, приведена в табл. 22.3, а ее техническая реализация — на рис. 22.4.

22.3. ОБОБЩЕННАЯ СТРУКТУРНАЯ СХЕМА ПРОГРАММИРУЕМОЙ ЛОГИЧЕСКОЙ ИНТЕГРАЛЬНОЙ СХЕМЫ (ПЛИС)

Рассмотрим общий вопрос технической реализации системы ФАЛ, заданной в виде дизъюнктивной нормальной формы. Для этого рассмотрим систему ФАЛ вида

$$\begin{aligned} F_0(x) &= x_n x_{n-1} \dots x_2 x_1 x_0 + \bar{x}_n x_{n-1} \dots x_2 x_1 x_0 + \dots + \bar{x}_n \bar{x}_{n-1} \dots \bar{x}_2 \bar{x}_1 \bar{x}_0, \\ F_1(x) &= x_n x_{n-1} \dots \bar{x}_2 x_1 x_0 + x_n x_{n-1} \dots \bar{x}_2 x_1 \bar{x}_0 + \dots + \bar{x}_n \bar{x}_{n-1} \dots \bar{x}_2 \bar{x}_1 \bar{x}_0, \\ &\dots \dots \dots (22.1) \\ F_m(x) &= x_n \bar{x}_{n-1} \dots x_2 x_1 x_0 + \bar{x}_n x_{n-1} \dots x_2 \bar{x}_1 x_0 + \dots + \bar{x}_n \bar{x}_{n-1} \dots x_2 \bar{x}_1 \bar{x}_0. \end{aligned}$$

Число произведений в каждой функции ограничено величиной 2^n , причем в предельном случае каждое произведение (терм) является соответствующей конstituентой единицы. Для получения значения функции над всеми термами, входящими в выраже-

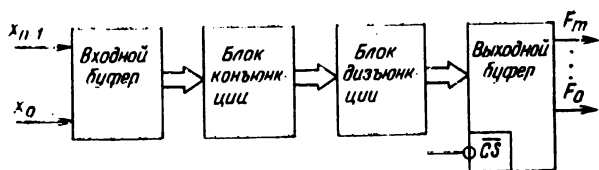


Рис. 22.5. Обобщенная структурная схема ПЛИС

ние (22.1), необходимо выполнить операцию дизъюнкции, т. е. логического сложения. В соответствии с этим схема аппаратной реализации выражения (22.1) должна содержать последовательно включенные входной буфер, блок формирования термов, блок дизъюнкции и выходной буфер (рис. 22.5).

В общем случае блок термов (конъюнкций) представляет собой матрицу логических элементов И, а блок дизъюнкции — матрицу логических элементов ИЛИ. Поэтому последовательное соединение таких матриц в общем случае позволяет реализовать ФАЛ произвольного вида. Получение конкретных ФАЛ предполагает выполнение конкретных соединений в матрицах элементов И и ИЛИ.

Таким образом, меняя соединения элементов в матрицах И и ИЛИ, можно настраивать свойства устройства, соответствующего схеме, приведенной на рис. 22.5. Практически возможны три варианта настройки:

постоянная структура матрицы И и программируемая, изменяемая структура матрицы ИЛИ;

изменяемая структура матрицы И и постоянная структура матрицы ИЛИ;

изменяемая структура как матрицы И, так и матрицы ИЛИ. Каждому из этих вариантов соответствует свой тип ПЛИС.

Технической реализацией первого типа настройки ПЛИС является ППЗУ. Второй вариант настройки ПЛИС реализован в ИС программируемой матричной логики (ПМЛ) и третий — в программируемых логических матрицах (ПЛМ).

22.4. ПРИМЕНЕНИЕ ППЗУ В КАЧЕСТВЕ ПЛИС

Запоминающие устройства благодаря своей простоте и, главное, регулярности структуры, обеспечивают высокую технологичность при изготовлении и максимально доступную на сегодняшний день степень интеграции. Поэтому в производстве БИС и СБИС они занимают ведущее место, что является предпосылкой снижения их стоимости. В соответствии с этим расширяется и область применения ЗУ.

В структуре ППЗУ легко можно выделить блоки, соответствующие обобщенной структурной схеме ПЛИС (рис. 22.5). Роль матрицы И выполняет дешифратор, преобразующий n входных сигналов x_i в 2^n выходных сигналов N . Такое построение матрицы И предполагает вполне определенную структуру матрицы ИЛИ, функции которой, по существу, вырождаются до уровня подключения к выходу сигналов либо лог. 0, либо лог. 1.

Такая организация позволяет реализовать при помощи ППЗУ любую систему ФАЛ. Так, на ППЗУ с организацией $N \times M$ можно реализовать систему M ФАЛ n переменных, где $n = \log_2 N$. Например, на ИС ППЗУ типа 556РТ5 с организацией 512×8 можно реализовать систему восьми ФАЛ девяти переменных.

Отметим следующие особенности использования ППЗУ в качестве ПЛИС:

ППЗУ реализует ФАЛ, представленную в виде совершенной дизъюнктивной нормальной формы, т. е. ФАЛ должна быть представлена суммой конститuent единицы, поэтому для технической реализации ее минимизация не требуется;

ППЗУ позволяет реализовать только полностью определенные ФАЛ, поэтому требуется однозначность ее значений для всех возможных комбинаций входных переменных.

Из указанных особенностей следует, что при реализации любой ФАЛ n переменных в ППЗУ предполагаются одинаковые аппаратные затраты, соответствующие максимально возможному числу конститuent исходного набора переменных, т. е. всегда существует возможность получения всех N конститuent. Поэтому, несмотря на относительно низкую стоимость ЭЗЭ по сравнению со стандартными ЛЭ, применение ППЗУ технически и экономически оправдано только для реализации сложных, не поддающихся минимизации ФАЛ. К внешнему признаку таких функций следует отнести сложность их аналитической записи.

Алгоритм преобразования системы ФАЛ, не заданной таблично, к виду, предполагающему ее реализацию с использованием ППЗУ, имеет следующий вид:

1. Записывают исходную систему ФАЛ.

2. Преобразуют эту систему к виду дизъюнкций конститuent единицы, для чего в неполные произведения вводят недостающие переменные путем домножения их на единичную сумму $(x_i + \bar{x}_i)$.

3. Составляют таблицу программирования ППЗУ.

Следует отметить, что быстродействие устройств, использующих для реализации заданных систем ФАЛ ППЗУ, как правило, выше, чем при реализации на основе стандартных ЛЭ и равно времени обращения выбранного типа ИС.

Рассмотрим использование ППЗУ на примере реализации схемы цифрового автомата.

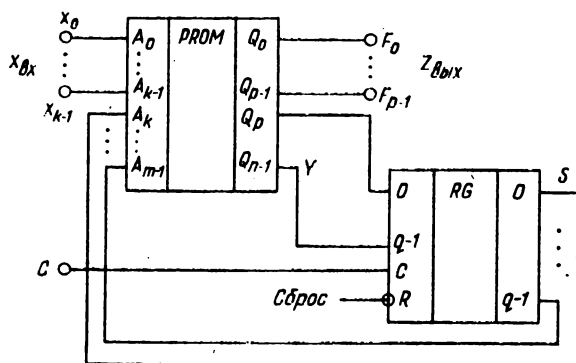


Рис. 22.6. Структурная схема цифрового автомата на основе двух ИС

Реализация цифрового автомата. Рассматривая последовательностные устройства, мы определили, что любой цифровой автомат не зависимо от алгоритма его работы может быть представлен в виде обобщенной структурной схемы, содержащей подсистему памяти и комбинационную подсистему (см. § 17.5). В качестве комбинационной подсистемы с успехом может быть использовано ППЗУ, а в качестве подсистемы памяти — статический регистр. В этом случае любой цифровой автомат может быть построен с использованием только двух ИС, а именно статического регистра и ППЗУ. Причем настройка на выполнение различных алгоритмов осуществляется соответствующим программированием ППЗУ. Структурная схема цифрового автомата, соответствующая такому решению, приведена на рис. 22.6.

Сформулируем требования к параметрам ИС, необходимым для реализации заданного алгоритма работы цифрового автомата.

1. Разрядность выходного слова регистра q определяется из условия обеспечения заданного числа состояний цифрового автомата. При этом можно воспользоваться выражением, приведенным в § 17.6,

$$q \geq \log_2 S_n, \quad (22.2)$$

где S_n — максимальное число состояний, необходимое для функционирования цифрового автомата.

2. Разрядность выходного слова ППЗУ n определяется суммой выходных сигналов автомата p и входных сигналов регистра q , необходимых для получения на его выходе слова состояний требуемой разрядности:

$$n = p + q. \quad (22.3)$$

3. Разрядность входного слова ППЗУ m равна сумме разрядностей входного управляющего слова автомата k и выходного слова регистра q :

$$m = k + q. \quad (22.4)$$

Таким образом, емкость памяти, необходимая для реализации заданного алгоритма работы цифрового автомата, должна удовлетворять неравенству

$$W \geq (p+q)2^{k+q}, \quad (22.5)$$

а ее организация определяется как $2^{k+q}(p+r)$.

Следует отметить, что такой подход к построению цифрового автомата позволяет максимально упростить его практическую реализацию и перенести акценты при проектировании из области аппаратного конструирования в область программирования готового устройства. Последнее существенно сокращает сроки и затраты на проектирование.

Рассмотренная реализация не является единственно возможной. В принципе в схеме автомата вместо статического регистра можно использовать сдвиговый регистр или счетчик. Однако с точки зрения аппаратных затрат рассмотренная структурная схема является оптимальной.

22.5. ПРОГРАММИРУЕМАЯ МАТРИЧНАЯ ЛОГИКА

Практика показывает, что, как правило, ФАЛ, реализация которых необходима для решения тех или иных задач, содержит большое число переменных, но задана существенно меньшим, чем 2^n числом конstituент единицы. В этом случае применение ППЗУ в качестве ПЛИС становится неэффективным, что объясняется их большой аппаратной избыточностью. Действительно, увеличение числа входных переменных на единицу требует двойного увеличения числа выходов дешифратора ППЗУ, т. е. существенно усложняет ИС и повышает ее стоимость. Этот недостаток ППЗУ привел к созданию принципиально нового класса приборов — программируемой матричной логики (ПМЛ), в которой увеличение числа входов матрицы И не приводит к увеличению числа ее выходов. Это достигается уменьшением максимального числа конstituент, задающих исходную ФАЛ. Однако на практике это в подавляющем большинстве случаев вполне оправдано. Таким образом, ИС ПМЛ при одинаковой с ППЗУ площади кристалла позволяет реализовать ФАЛ значительно большего числа входных переменных.

Поскольку в ПМЛ появляется ограничение на максимальное число конъюнкций, то такие ИС, кроме разрядности входного слова n и числа выходных функций p , характеризуются еще одним параметром — максимальным числом конъюнкций (термов) в ФАЛ. Таким образом, одна ИС ПМЛ позволяет из n входных переменных синтезировать не более чем l термов, которые можно объединить для реализации не более чем p выходных функций. Поэтому для реализации ФАЛ с использованием ИС ПМЛ ее необходимо минимизировать.

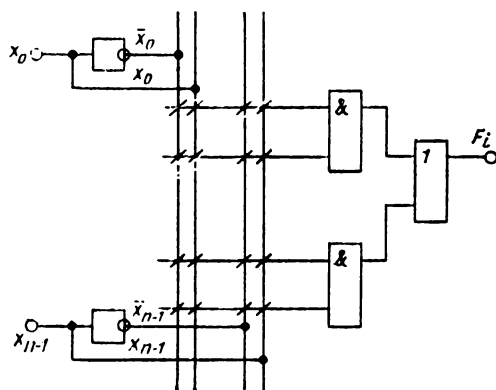


Рис. 22.7. Структурная схема ПМЛ

Как отмечалось ранее, ПМЛ реализует второй из рассмотренных вариантов программирования ПЛИС. В этом случае настраивается матрица И при жестко заданных связях матрицы ИЛИ. Возможный вариант структурной схемы, реализующей данное техническое решение, приведен на рис. 22.7, где на пересечении шин входных переменных x_i и шин входных выводов элементов И условно указано наличие всех перемычек (/). Программирование ИС выполняется устранением лишних с точки зрения реализуемого алгоритма связей между указанными шинами.

Рассмотренный тип ИС прост для реализации заданных ФАЛ и при своем изготовлении использует хорошо отработанную технологию производства ППЗУ. Поэтому данный тип ИС завоевал наибольшую популярность у разработчиков электронных устройств и на сегодняшний день составляет подавляющую долю рынка всех выпускаемых ПЛИС за рубежом. ИС ПМЛ содержат до 3600 эквивалентных элементарных ЛЭ (двухвходовых И—НЕ или ИЛИ—НЕ), что, практически, перекрывает потребности проектируемой аппаратуры.

К сожалению, следует отметить, что данный класс ИС в настоящее время не типичен для отечественной элементной базы.

22.6. ПРОГРАММИРУЕМЫЕ ЛОГИЧЕСКИЕ МАТРИЦЫ

Программируемые ЛМ реализуют третий тип программирования ПЛИС и обеспечивают возможность изменения связей как в матрице И, так и в матрице ИЛИ. При всей гибкости такого решения зарубежные специалисты считают, что данный тип ПЛИС достаточно сложен для большинства потребителей с точки зрения

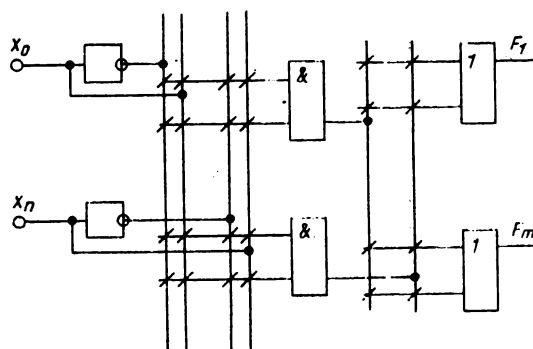


Рис. 22.8. Структурная схема ПЛМ

их программирования. Кроме этого наличие программируемого соединения, например плавкой перемычки, в обеих матрицах влечет за собой увеличение размеров, падение надежности и быстродействия по сравнению с ПМЛ. Сказанное и определяет меньшее распространение данного типа ИС за рубежом. К тому же усложнение ИС не дает явных преимуществ при проектировании ЭС.

Возможный вариант структурной схемы, реализующей рассматриваемый принцип построения ПЛИС, приведен на рис. 22.8. На нем также условно показано наличие всех перемычек в матрицах И и ИЛИ.

Как уже отмечалось, структуры ПМЛ и ПЛМ фрагментарно повторяют структуру ППЗУ. Поэтому исторически технология и физические принципы их построения повторяют путь, пройденный ППЗУ. Первыми были созданы ПЛМ и ПМЛ, изготовленные по биполярной технологии с программированием путем пережигания плавких перемычек. Затем появились ИС, выполненные по КМОП-технологии с плавкими перемычками, далее ИС с ультрафиолетовым и электрическим стиранием записанной информации. Сегодня ПЛМ и ПМЛ выпускаются с использованием всех существующих технологий.

Рассмотрим пример конкретного выполнения данного типа ИС на примере ПЛМ, реализующей систему двух ФАЛ четырех переменных. Структурная схема такого устройства показана на рис. 22.9, а. На этом рисунке показаны только необходимые для реализации заданной системы ФАЛ перемычки.

Определим, какие ФАЛ будут реализованы на выходных выводах схемы. Сразу следует отметить, что в данном случае выходные функции не могут содержать более четырех различных термов, в то время как теоретически максимальное число термов для ФАЛ четырех переменных равно 16.

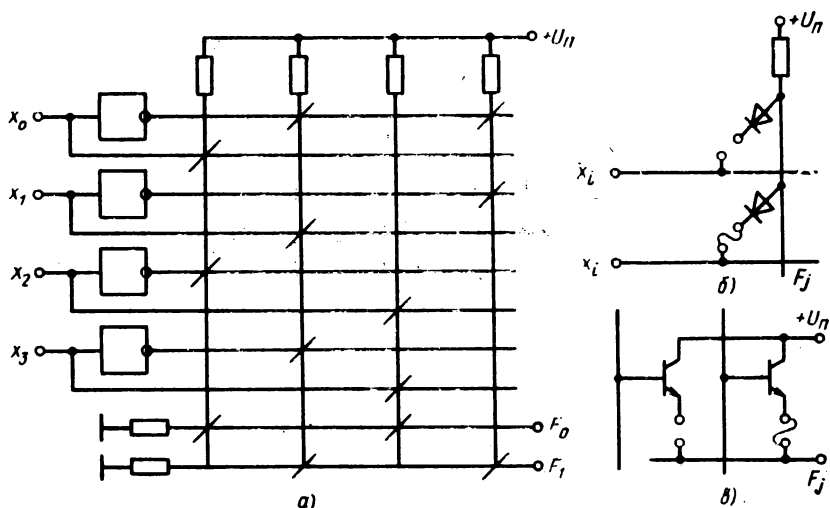


Рис. 22.9. Реализация системы двух ФАЛ четырех переменных на базе ПЛМ (а), соединение шин с помощью диодов (б) и соединение шин с помощью биполярных транзисторов (в)

Итак, сигнал на выходе первого столбца схемы не зависит от значения переменных x_1 и x_3 , так как с шинами x_1 , \bar{x}_1 и x_3 , \bar{x}_3 его соединение отсутствует. Выходное напряжение на выходе этого столбца будет иметь высокий уровень только тогда, когда высокий уровень напряжения будет присутствовать на шинах x_0 и x_2 . При любых других комбинациях входных напряжений на шинах x_0 и x_2 выходное напряжение первого столбца будет низким.

Для второго столбца схемы высокое выходное напряжение будет соответствовать случаю, когда на шинах x_0 , x_1 и x_3 присутствует высокое напряжение. Высокое напряжение на третьем столбце соответствует высокому напряжению шин x_2 и x_3 , а высокое напряжение на четвертом столбце — высоким напряжениям шин x_0 и x_1 .

Рассуждая таким образом, можно сказать, что высокое напряжение на выходной шине F_0 будет только в том случае, когда высокое напряжение присутствует либо на первом, либо на третьем столбцах. Высоким напряжение на выходной шине F_1 будет при наличии высокого напряжения на втором и четвертом столбцах. Пользуясь понятием положительной логики для выходных ФАЛ, можно записать следующую систему уравнений:

$$F_0 = \bar{x}_2 x_0 + x_3 x_2, \quad F_1 = \bar{x}_3 x_1 \bar{x}_0 + \bar{x}_1 \bar{x}_0.$$

Таким образом, изменяя соединение входных шин x_i и \bar{x}_i со столбцами термов и соединения столбцов термов с выходными шинами, можно реализовать большое число различных систем ФАЛ. При этом, однако, должны выполняться указанные выше ограничения на максимальное число реализуемых термов и число выходных функций.

На рис. 22.9, б, в приведены возможные схмотехнические варианты реализации соединений между шинами матриц И и ИЛИ.

Существует несколько способов расширения функциональных возможностей ПЛИС. Основными из них являются:

использование дополнительных внешних соединений входных и выходных выводов, т. е. введение цепей обратной связи;

введение в ИС ПЛИС дополнительных элементов, например, триггеров.

Рассмотрим возможности и пути реализации данных способов. Для реализации с помощью ПЛМ и ПМЛ исходные ФАЛ необходимо минимизировать. В рамках дизъюнктивной нормальной формы любая минимизация в общем случае не является предельной. В ряде случаев более экономичное представление функции можно получить с использованием ее скобочной формы записи.

Практическая реализация скобочной формы записи предполагает введение в ПЛМ или ПМЛ цепей обратной связи. Проиллюстрируем сказанное примером.

Пример 22.5. Реализовать с помощью ПЛМ, показанной на рис. 22.9, а, систему ФАЛ вида

$$\begin{aligned} F_0 &= \bar{x}_1 x_0 + x_1 \bar{x}_0, \\ F_1 &= \bar{x}_2 \bar{x}_1 x_0 + \bar{x}_2 \bar{x}_1 \bar{x}_0 + x_2 x_1 x_0 + x_2 x_1 \bar{x}_0. \end{aligned}$$

Решение. Очевидно, что несмотря на то, что число входных переменных в заданной ФАЛ меньше числа входных выводов ИС, непосредственная реализация данной системы на ПЛМ рис. 22.9 не представляется возможной. Это объясняется тем, что общее число различных термов в заданной системе больше четырех. Преобразуем систему с использованием скобочной формы записи:

$$\begin{aligned} F_0 &= \bar{x}_1 x_0 + x_1 \bar{x}_0 = x_1 \oplus x_0, \\ F_1 &= \bar{x}_2 \bar{x}_1 x_0 + \bar{x}_2 x_1 \bar{x}_0 + x_2 x_1 x_0 + x_2 x_1 \bar{x}_0 = \\ &= (\bar{x}_1 x_0 + x_1 \bar{x}_0) \bar{x}_2 + (x_1 x_0 + \bar{x}_1 \bar{x}_0) x_2 = (x_1 \oplus x_0) \oplus x_2. \end{aligned}$$

В результате выполненных преобразований стало видно, что значение F_1 можно получить с использованием F_0 . Поэтому, если в качестве четвертой входной переменной использовать значение F_0 , то суммарное число термов в системе равно четырем, и она может быть реализована с использованием указанной ПЛМ.

Техническая реализация заданной системы ФАЛ показана на рис. 22.10.

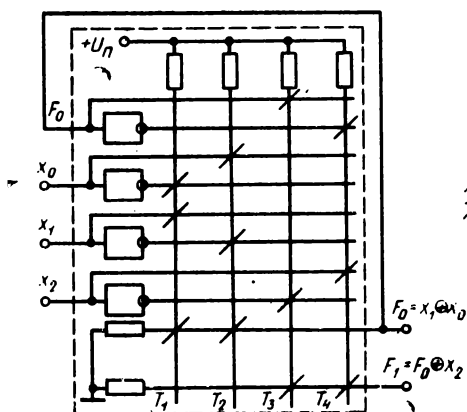


Рис. 22.10. Реализация на базе ПЛМ системы двух ФАЛ трех входных переменных

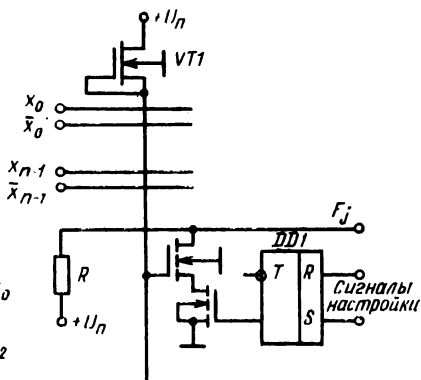


Рис. 22.11. Фрагмент принципиальной электрической схемы ИС ПЛИС с изменением алгоритма обработки входных переменных в процессе работы

Второй способ предполагает разработку специализированных ИС ПЛИС, в самой структуре которых заложена возможность оперативно изменять внутренние межсоединения в матрицах элементов И и ИЛИ. Это позволяет гибко, даже непосредственно в процессе работы схемы, изменять алгоритм обработки входных переменных. Технически такое решение достигается введением в ИС дополнительных триггеров, т. е. созданием в самой ПЛИС структуры, аналогичной структуре цифрового автомата. Вариант практической реализации данного решения показан на рис. 22.11. Здесь триггер *DD1* в зависимости от своего состояния, которое изменяется под действием внешнего сигнала настройки, может либо разрешать, либо запрещать связь столбца термов с шиной дизъюнкции. Тем самым может изменяться число членов в выходной ФАЛ.

Отечественная промышленность выпускает ИС ПЛМ типа 556РТ1 и К1556, обеспечивающие реализацию восьми выходных функций 16 переменных при максимальном числе термов 48.

22.7. БАЗОВЫЕ МАТРИЧНЫЕ КРИСТАЛЛЫ

Разработка базовых кристаллов (БК) — это новый подход к проектированию специализированных БИС и СБИС. Этот тип ИС также предназначен для замены фрагментов схемы конкретных

устройств, выполненных на основе ИС малой и средней степени интеграции. Их основное отличие от ПЛМ и ПМЛ состоит в существенно больших функциональных возможностях при разработке узлов различного назначения. Поясним это. Структура ПЛИС типа ПЛМ и ПМЛ предполагает создание устройств, реализующих те или иные ФАЛ, т. е. реализацию комбинационной логики. Создание на основе этих ИС устройств последовательностного типа требует, как это было показано в § 22.4, дополнительного введения элементов оперативной памяти. Последнее либо предполагает разработку достаточного числа различных по структуре и функциональному назначению ИС, либо ведет к большой избыточности ПЛИС. Использование БК позволяет разрабатывать БИС и СБИС ограниченной номенклатуры для решения качественно различных задач цифровой обработки информации.

Базовый кристалл — это совокупность регулярно расположенных топологических фрагментов (ячеек), между которыми оставлены свободные зоны для создания межсоединений.

Такой подход позволяет на основе одних и тех же элементов разрабатывать схемы, реализующие как качественно, так и количественно различные функции. Изготавливаются БК безотносительно к требованиям какого-либо заказчика и являются полуфабрикатом, который можно приспособить к выполнению определенных функций путем выполнения необходимых соединений. Поэтому для ИС изготовленных на основе БК, используют термин «полузаказные» ИС. В настоящее время БК охватывает широкий класс схмотехнических разновидностей, к которым относятся цифровые, аналоговые и смешанные варианты. Цифровые БК, в свою очередь, подразделяются на вентиляльные матрицы и некоммутированные логические матрицы.

Вентильные матрицы представляют собой набор несоединенных логических ячеек, чаще всего двух- или трехходовых элементов И—НЕ или ИЛИ—НЕ.

Нескоммутированные логические матрицы включают отдельные схемные элементы, как правило транзисторы и резисторы, и их типовые соединения, необходимые для реализации того или иного вида логики. Межсоединения этих элементов выполняются по заданию потребителя.

Первыми разработанными БК были некоммутированные логические матрицы, выполненные по технологии ЭСЛ и содержащие элементы, достаточные для сборки 100 двухходовых ЛЭ. Применение для изготовления БК технологии ЭСЛ можно объяснить гибкостью используемых схмотехнических решений, позволяющих на уровне электрических схем создавать из небольшого числа элементов схемы, выполняющие сложные логические функции обработки входных сигналов.

Изготовление такого БК потребовало 13 фотошаблонов, 10 из которых оставались неизменными, а 3 изменялись в зависимости от заданного заказчиком алгоритма обработки входной информации.

Эффективность применения БК подтверждается экспериментами, проведенными американской фирмой Amdahl Corp, первой разработавшей данный тип ИС. На основе нового элемента была разработана ЭВМ с архитектурой действующего прототипа. Применение БК вместо ИС малой и средней степени интеграции позволило в 3 раза повысить быстродействие и в 2 раза улучшить показатель производительность — стоимость.

Нашей промышленностью выпускаются матричные БИС серий 1520ХМ1 и 1520ХМ2, выполненные на основе БК типов И-200 и И-300, использующих технологию ЭСЛ. Базовый кристалл типа И-200 содержит матрицу из 6×6 типовых ячеек, расположенную в середине кристалла полупроводника. По краям

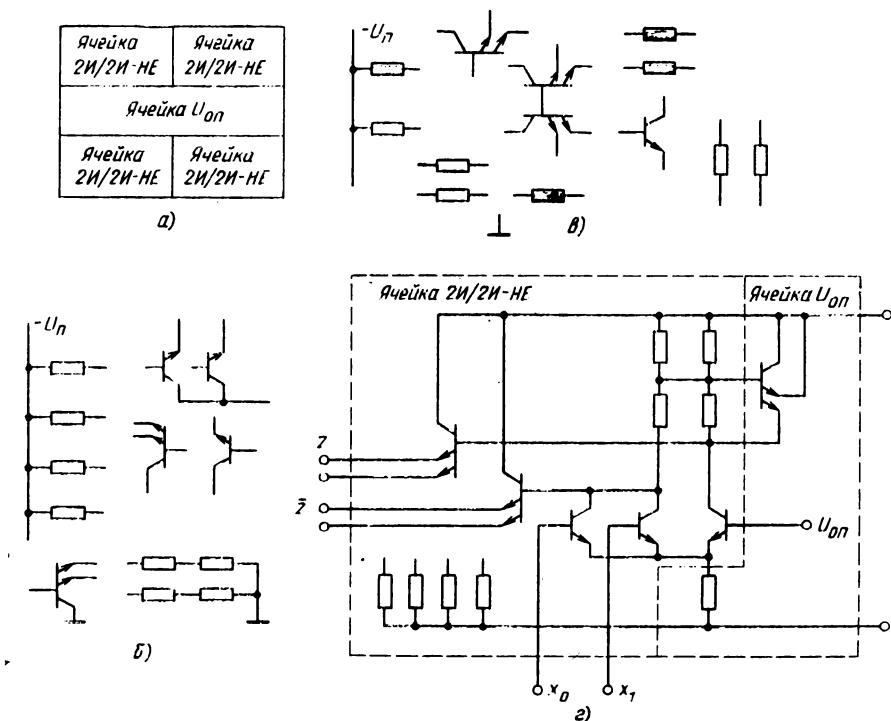


Рис. 22.12. Топологическая ячейка БМК И-200 (а), состав элементов, входящих в ячейки 2И/2И—НЕ (б), источника опорного напряжения $U_{оп}$ (в), и реализация на ячейке ЛЭ 2И/2И—НЕ (з)

кристалла расположены контактные площадки и выходные усилители с мощными транзисторами. На рис. 22.12 приведены структура типовой ячейки, элементы, входящие в эту структуру и один из возможных вариантов использования этих элементов для выполнения логической операции 2И/2И—НЕ. С использованием БК типа 1801ВП1 разработан ряд специализированных СБИС, предназначенных для построения ЭВМ.

Контрольные вопросы

1. Назовите достоинства программируемых логических интегральных схем (ПЛИС) по сравнению со специализированными БИС и СБИС.
2. Какая серийная ИС может быть использована как универсальный ЛЭ для создания программируемого логического устройства?
3. Из каких блоков состоит схема ПЛИС?
4. Приведите алгоритм преобразования системы ФАЛ к виду, удобному для реализации на основе ППЗУ.
5. Перечислите требования к параметрам ИС, необходимые для реализации цифрового автомата с заданным алгоритмом работы.
6. Как строятся схемы ИС программируемой матричной логикой (ПМЛ) и программируемой логической матрицы (ПЛМ)?
7. Сравните характеристики ПМЛ и ПЛМ.
8. Каким образом возможно расширение функций, выполняемых ПЛИС?
9. Приведите определение БМК, ПЛИС и их разновидностей.

ГЛАВА 23

АНАЛОГО-ЦИФРОВЫЕ И ЦИФРО-АНАЛОГОВЫЕ ПРЕОБРАЗОВАТЕЛИ

23.1. НАЗНАЧЕНИЕ, ОСНОВНЫЕ СВОЙСТВА И КЛАССИФИКАЦИЯ

В электронных системах одинаково широко используется обработка информации, представленной в аналоговой и цифровой формах. Объясняется это тем, что первичная, исходная информация о различных физических величинах и процессах носит, как правило, аналоговый характер. Обработку же этой информации в силу причин, рассмотренных во введении, удобнее вести в цифровой форме. Использование полученных после цифровой обработки результатов также в большинстве случаев требует их аналогового представления. Следовательно, любая система, использующая

цифровые методы обработки информации, должна содержать устройства взаимного преобразования аналоговых и цифровых сигналов. Роль таких устройств выполняют аналого-цифровые и цифро-аналоговые преобразователи (АЦП и ЦАП).

Аналого-цифровой преобразователь — устройство, предназначенное для преобразования непрерывно изменяющейся во времени аналоговой физической величины в эквивалентные ей значения числовых кодов.

Цифро-аналоговый преобразователь — устройство, предназначенное для преобразования входной величины, представленной последовательностью числовых кодов, в эквивалентные им значения заданной физической величины.

В качестве аналоговой физической величины, оговоренной в данных определениях, в общем случае могут фигурировать различные параметры, например угол поворота, линейное перемещение, давление жидкости или газа и т. д. В дальнейшем под этой величиной будем понимать напряжение либо ток, которые, при необходимости, можно легко преобразовать в другие физические величины.

Основным вопросом, с которым приходится сталкиваться при проектировании и использовании ЦАП и АЦП, является вопрос адекватности полученного в результате преобразования сигнала исходному физическому процессу, т. е. вопрос точности преобразования. Поэтому рассмотрим алгоритмы этих преобразований с точки зрения погрешностей, возникающих при их выполнении.

Процесс аналого-цифрового преобразования предполагает последовательное выполнение следующих операций:

выборка значений исходной аналоговой величины в некоторые наперед заданные дискретные моменты времени, т. е. дискретизация сигнала по времени;

квантование (округление до некоторых известных величин) полученной в дискретные моменты времени последовательности значений исходной аналоговой величины по уровню;

кодирование — замена найденных квантованных значений некоторыми числовыми кодами.

Проиллюстрируем эту последовательность действий с помощью рис. 23.1. Пусть задана некоторая аналоговая зависимость $u(t)$. Для получения ее дискретного эквивалента $U(nT_d) = \{U(0), U(T_d), U(2T_d), \dots\}$ необходимо провести выборку ее значений в дискретные моменты времени nT_d , где $n=0, 1, 2 \dots$ целое число. Постоянная величина T_d — носит название периода выборки или периода *дискретизации*, а сам процесс замены исходной аналоговой функции $u(t)$ некоторой дискретной функцией $U(nT_d)$ называется *дискретизацией сигнала во времени*. Следует отметить, что полученная дискретная функция $U(nT_d)$ относительно самого сигнала $u(t)$

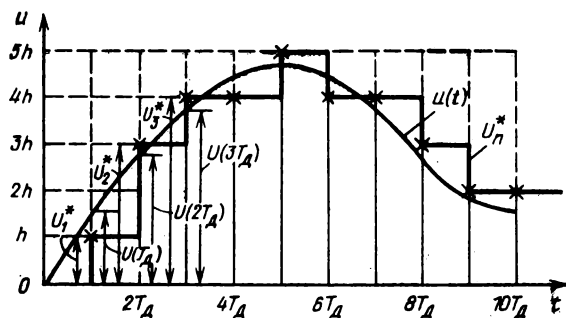


Рис. 23.1. К пояснению принципов аналого-цифрового и цифро-аналогового преобразований

носит по-прежнему аналоговый характер, так как может принимать бесконечное число различных значений.

Операция квантования по уровню дискретной функции $U(nT_d)$ заключается в отображении бесконечного множества ее значений на некоторое конечное множество значений U_n^* , называемых *уровнями квантования*. Для выполнения этой операции весь динамический диапазон $D = U(nT_d)_{\max} - U(nT_d)_{\min}$ изменения дискретной функции $U(nT_d)$ разбивают на некоторое заданное число уровней N и производят округление каждой величины $U(nT_d)$ до ближайшего уровня U_n^* . Величина $h = D/N$ носит название *шага квантования*. Результатом операции квантования по уровню является дискретная функция U_n^* , которая может принимать $N+1$ значение.

Для выполнения последней операции необходимо выбрать некоторый код $K = \{K_1, K_2, \dots\}$, способный отображать не менее $(N+1)$ -го значения, и каждому дискретному значению U_n^* поставить в соответствие некоторый код K_i . В простейшем случае в качестве кода может быть использована последовательность чисел, соответствующих порядковым номерам уровней квантования. При таком выборе кода представленная на рис. 23.1 функция $u(t)$ может быть заменена последовательностью десятичных чисел: $K_n = \{0, 1, 3, 4, 4, 5, 4, 4, 3, 2, 2\}$, или в двоичной форме $K_n = \{000, 001, 011, 100, 100, 101, 100, 100, 010, 010\}$.

В аналитической форме процесс аналого-цифрового преобразования может быть представлен выражением

$$K_{n_i} = \left[\frac{u(t)_{t=n_i T_d}}{h} \right] \pm \delta K_{n_i}, \quad (23.1)$$

где результат в квадратных скобках округлен до ближайшего целого числа, δK_{n_i} — погрешность преобразования на i -м шаге.

Как следует из описанного алгоритма, переходы от исходной функции $u(t)$ к дискретной $U(nT_d)$ и далее к квантованной по уровню U_n^* сопряжены с некоторой потерей информации. На этапе же кодирования подобные потери отсутствуют. Рассмотрим вопрос потери информации более подробно.

Предположим, что исходная аналоговая функция $u(t)$ может быть представлена в виде конечной суммы гармонических сигналов, т. е. ее частотный спектр ограничен:

$$u(t) = \sum_{i=1}^k U_i \sin(\omega_i t + \varphi_i). \quad (23.2)$$

Тогда согласно известной из теории информации теореме Котельникова, если период дискретизации T_d отвечает условию

$$T_d \leq 1/2f_{\max}, \quad (23.3)$$

где f_{\max} — частота максимальной гармоники исходного сигнала $u(t)$, дискретные значения $U(nT_d)$ полностью определяют исходную зависимость $u(t)$, и замена аналоговой функции $u(t)$ на дискретную $U(nT_d)$ не сопряжена с искажением вида исходной зависимости, так как по $U(nT_d)$ можно однозначно восстановить исходный вид $u(t)$. Следовательно, при выполнении условия (23.3) полнота преобразования на этапе дискретизации по времени отсутствует.

Процесс квантования по уровню дискретной функции $U(nT_d)$ всегда связан с внесением некоторой погрешности ε_i , значение которой (см. рис. 23.1) определяется неравенством $-h/2 \leq \varepsilon_i \leq h/2$.

Величина ε_i носит название *шума квантования* и однозначно определяется числом допустимых значений функции U_n^* , т. е. разрядностью используемого числового кода.

Поэтому погрешность аналого-цифрового преобразования, обусловленная шумом квантования, при увеличении разрядности выходного кода может быть уменьшена до сколь угодно малой величины. Но в отличие от погрешности дискретизации по времени она принципиально присуща данному алгоритму и не может быть сведена к нулю выбором параметров устройства.

Рассмотренные погрешности обусловлены самим алгоритмом аналого-цифрового преобразования. Кроме них в реальных АЦП возникают погрешности, связанные с неидеальностью используемой элементной базы, т. е. инструментальные погрешности.

Процесс цифро-аналогового преобразования предполагает последовательное выполнение следующих операций:

формирование в заданном диапазоне изменения выходного сигнала M его дискретных значений U_M^* , отличающихся на некоторое

значение α , и постановка каждому сформированному уровню в соответствие некоторого кода K_i ;

последовательное, с заданным временным интервалом T_1 , присвоение выходному сигналу значений выделенных уровней, соответствующих входной последовательности кодов K_i .

Если предположить, что $\alpha = h$ и $T_1 = T_d$, то результатом цифро-аналогового преобразования полученной ранее последовательности кодов K_n будет, показанная на рис. 23.1, ступенчатая функция U_n^* . Эта функция, хотя и непрерывна во времени, но остается дискретной по уровню, что является результатом погрешности, обусловленной шумом квантования. Сам процесс цифро-аналогового преобразования не вносит собственных принципиальных погрешностей, а лишь материализует погрешности, полученные в АЦП. Реально возникающие при преобразовании погрешности носят чисто инструментальный характер.

Математически алгоритм цифро-аналогового преобразования можно записать в виде

$$U_{n_i} = \alpha K_{n_i} + \delta U_{n_i}, \quad (23.4)$$

где δU_{n_i} — погрешность преобразования на i -м шаге.

Подводя итог сказанному, отметим, что погрешности, обусловленные самим алгоритмом работы, возникают только на этапе аналого-цифрового преобразования и их уменьшение требует уменьшения периода дискретизации T_d и шага квантования h .

Существует большое число признаков, по которым могут быть классифицированы ЦАП и АЦП. Ниже остановимся на наиболее часто встречающейся классификации, базирующейся на реализуемом методе преобразования. С этой точки зрения все существующие ЦАП могут быть разделены на два класса: устройства, реализующие метод многократного суммирования одного эталона; устройства, реализующие метод суммирования нескольких различных эталонов.

Цифро-аналоговые преобразователи первого класса используют при работе единственный эталон, число повторений (суммирований) которого определяется значением входного единичного¹ кода. Этот код подается на вход ЦАП в последовательной форме.

Цифро-аналоговые преобразователи второго класса имеют число эталонов, равное разрядности входного кода. Причем значения этих эталонов пропорциональны величинам весовых коэффициентов используемого кода. Входной код подается на вход таких ЦАП в параллельной форме.

¹ Единичным называется код, число единиц в записи которого равно его числовому эквиваленту. Например, десятичное число 5 в единичном коде равно 11111.

Следует отметить, что в настоящее время используются только ЦАП второго класса.

Интегральные схемы ЦАП могут выполняться как функционально завершенными, т. е. не требующими для своей работы дополнительных элементов, так и функционально незавершенными. В последнем случае в качестве внешних элементов, как правило, применяют источник эталонного напряжения, операционный усилитель, регистры и т. д.

Работа с внешним источником эталонного напряжения позволяет разделить все ЦАП на две группы: *умножающие* — работающие с изменяющимся во времени источником эталонного сигнала, и *неумножающие* — работающие с эталонным источником, величина которого в течение всего времени работы устройства остается постоянной.

С позиции используемого метода преобразования все АЦП делятся на: устройства, реализующие метод последовательного счета, устройства, реализующие метод поразрядного кодирования, устройства, реализующие метод считывания.

Аналого-цифровые преобразователи, работающие по методу последовательного счета, осуществляют уравнивание входной аналоговой величины суммой одинаковых эталонов. Момент равенства этих величин фиксируется сравнивающим устройством. На выходе таких АЦП формируется последовательный единичный код. Далее этот код может быть преобразован к любому требуемому виду.

Аналого-цифровые преобразователи, работающие по методу поразрядного кодирования, используют несколько эталонов. Причем их число равно числу разрядов, а значения пропорциональны весовым коэффициентам выходного позиционного кода. Каждый эталон сравнивается с входной величиной устройством сравнения. Процесс сравнения начинается с эталона, имеющего максимальное значение. В зависимости от результата этого сравнения формируется цифра старшего разряда выходного кода. Если эталон больше входной величины, то в старшем разряде формируется нулевое значение и производится сравнение входной величины с наибольшим из оставшихся эталонов. Если максимальный эталон оказался меньше входной величины, то в старшем разряде выходного кода формируется сигнал лог. 1 и дальнейшему сравнению подлежит сигнал разности входной величины и максимального эталона. Аналогичные действия выполняются для всех используемых эталонов.

Аналого-цифровые преобразователи, работающие по методу считывания, используют N эталонов (N — число уровней квантования). При этом младший эталон равен h (шагу квантования), следующий $2h$ и т. д. Входная величина сравнивается с каждым

эталоном своим устройством сравнения, в результате чего на выходе устройства формируется параллельный единичный код, в котором число единиц соответствует числу эталонов, выходной сигнал которых меньше входного.

23.2. ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Рассмотрим основные электрические характеристики ЦАП и АЦП. Они подразделяются на статические, которые задают конечную точность преобразования, и динамические, характеризующие быстродействие данного класса устройств. Статические характеристики преобразователей определяются видом характеристики преобразования, которая устанавливает соответствие между значениями аналоговой величины и цифрового кода. К ним относятся.

Число разрядов (b) — число разрядов кода, отображающего исходную аналоговую величину, которое может формироваться на выходе АЦП или подаваться на вход ЦАП. При использовании двоичного кода под b понимают двоичный логарифм от максимального числа кодовых комбинаций (уровней квантования) на выходе АЦП или входе ЦАП.

Абсолютная разрешающая способность — средние значения минимального изменения сигнала на выходе ЦАП (α), или минимального изменения входного сигнала АЦП (m), обусловленные увеличением или уменьшением его кода на единицу.

Значение абсолютной разрешающей способности является мерой измерения всех основных статических характеристик данного класса устройств и часто обозначается как ЕМР (единица младшего разряда), или просто МР (младший разряд).

Абсолютная погрешность преобразования в конечной точке шкалы (δF_s) — отклонение реальных максимальных значений входного для АЦП (U_{IRN}) и выходного для ЦАП (U_{ORN}) аналоговых сигналов от значений, соответствующих конечной точке идеальной характеристики преобразования ($U_{IRN \max}$ и $U_{ORN \max}$) (рис. 23.2). Применительно к АЦП наличие δF_s означает, что максимальный выходной код будет сформирован на выходе устройства при входном сигнале $U_{вх} = U_{IRN \max} - \delta F_s$. По аналогии для ЦАП можно сказать, что при подаче на вход максимального кода его выходное напряжение будет отличаться от $U_{ORN \max}$ на величину δF_s . Обычно δF_s измеряется в ЕМР. В технической литературе δF_s иногда называют мультипликативной погрешностью.

Напряжение смещения нуля U_0 — для АЦП это напряжение ($U_{вх0}$), которое необходимо приложить к его входу для получения нулевого выходного кода. Для ЦАП — это напряжение, присутствующее на его выходе ($U_{вых0}$) при подаче на вход нулевого кода. Величина U_0 обычно выражается в ЕМР.

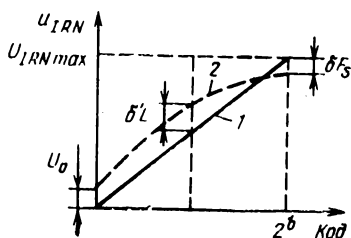


Рис. 23.2. Идеальная (1) и вариант реальной (2) характеристики преобразования АЦП

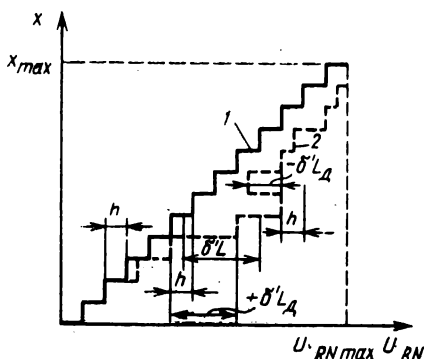


Рис. 23.3. Идеальная (1) и вариант реальной (2) характеристики передачи ЦАП

Нелинейность (δL) — отклонение действительной характеристики преобразования от оговоренной линейной, т. е. это разность реального напряжения, соответствующего выбранному значению кода и напряжения, которое должно соответствовать этому коду в случае идеальной характеристики преобразования устройства. (рис. 23.2). Для ЦАП это напряжение измеряется относительно центров ступеней указанных характеристик (рис. 23.3). В качестве оговоренной линейной характеристики используют либо прямую, проведенную через точки 0 U_{\max} , либо прямую, обеспечивающую минимизацию δL , например, среднеквадратическое отклонение всех точек которой от реальной характеристики минимально. Величину δL измеряют в ЕМР ($\delta L = \delta' L / h$) или процентах ($\delta L = 100 \delta' L / U_{\max}$), где $\delta' L$ — абсолютное значение нелинейности). В справочной литературе обычно задается максимально возможная величина δL .

Дифференциальная нелинейность (δL_d). Это отклонение действительного шага квантования $\delta' L_d$ от его среднего значения (h) (рис. 23.3). Величина δL_d измеряется либо в ЕМР [$\delta L_d = (\delta' L_d - h) / h$], либо в процентах $\delta L_d = (\delta' L_d - h) \cdot 100 / U_{\max}$.

Величина дифференциальной нелинейности однозначно связана с понятием монотонности характеристик ЦАП и АЦП. Если $|\delta L_d| > 1 \text{ ЕМР}$, то приращение выходного сигнала в данной точке характеристики может быть как положительным, так и отрицательным (рис. 23.3). В последнем случае характеристика преобразования перестает быть монотонной.

Динамические свойства ЦАП и АЦП обычно характеризуют следующими параметрами:

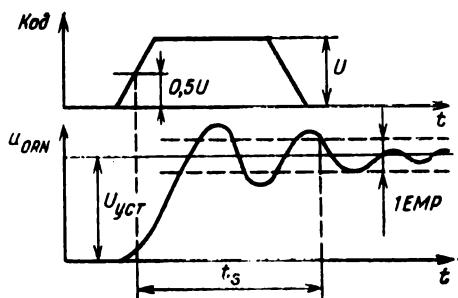


Рис. 23.4. Определение времени преобразования ЦАП

максимальная частота преобразования ($f_{c \max}$) — наибольшая частота дискретизации, при которой заданные параметры соответствуют установленным нормам;

время установления выходного сигнала (t_s) — интервал от момента заданного изменения кода на входе ЦАП до момента, при котором выходной аналоговый сигнал окончательно войдет в зону заданной ширины, симметрично расположенную относительно установившегося значения. Обычно ширина этой зоны задается равной 1 ЕМР (рис. 23.4). Отсчет времени t_s ведется от момента достижения входным сигналом значения половины логического перепада. Очевидно, что, в силу выражения (23.3), значение t_s связано с $f_{c \max}$ условием $f_{c \max} \leq 1/(2t_s)$. Аналогичный параметр для АЦП называют временем преобразования (t_c).

23.3. ЦАП С СУММИРОВАНИЕМ ТОКОВ

При построении ЦАП, реализующих метод суммирования нескольких различных эталонов, в качестве упомянутых эталонов можно использовать источники напряжения или тока. На практике наибольшее применение нашли схемы с эталонными источниками тока. Поэтому ниже остановимся только на особенностях построения устройств данного типа.

Принцип построения ЦАП, реализующих метод суммирования токов, иллюстрируется рис. 23.5, а. Данное устройство в общем случае содержит b (по числу разрядов входного позиционного кода X) источников тока и b управляемых разрядами этого кода переключателей S . Если в i -м разряде входного кода X присутствует сигнал лог. 1 ($x_i=1$), соответствующий переключатель S_i подключает эталонный источник тока $I_0 \cdot 2^i$ к сопротивлению нагрузки R_n (вывод «а» схемы). В противном случае ($x_i=0$), переключатель S_i закорачивает соответствующий источник и ток $I_0 \cdot 2^i$ не протекает через нагрузку.

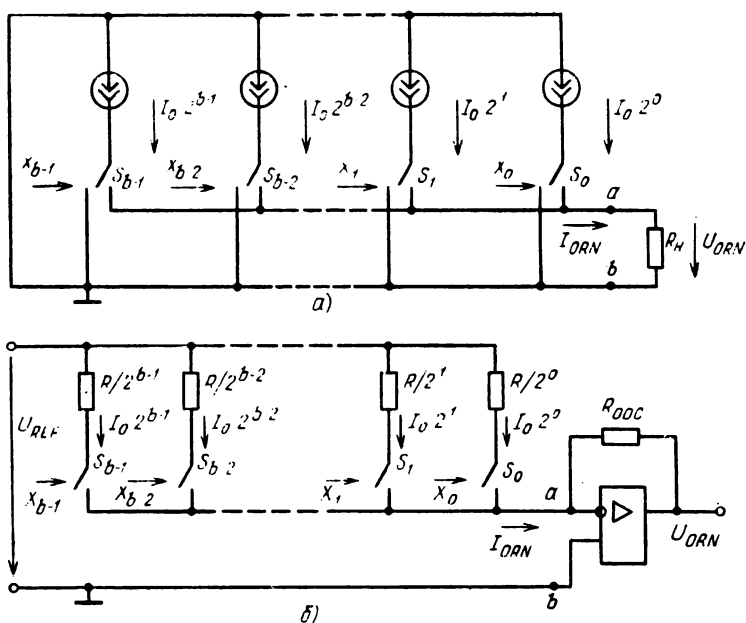


Рис. 23.5. Структурная схема ЦАП с суммированием токов (а) и ее реализация с использованием матрицы взвешенных резисторов

В результате ток резистора R_H

$$I_{ORN} = I_0 \sum_{i=0}^{b-1} 2^i X_i, \quad (23.5)$$

пропорционален значению входного кода. При условии $R_H = \text{const}$ выходное напряжение схемы $U_{ORN} = R_H I_{ORN}$ также пропорционально входному коду.

На практике для получения напряжения, пропорционального входному коду, к выводам «а», «б» подключают операционный усилитель (ОУ) (рис. 23.5, б). Ранее, в гл. 8 было показано, что напряжение между входами ОУ всегда равно нулю. Поэтому для рассматриваемой схемы $U_a = U_b = 0$ и по первому закону Кирхгофа $I_{ORN} = U_{ORN} / R_{OOC}$. Откуда

$$U_{ORN} = I_{ORN} R_{OOC}, \quad (23.6)$$

т. е. выходное напряжение ОУ прямо пропорционально выходному току ЦАП и сопротивлению R_{OOC} и не зависит от сопротивления выходной нагрузки ОУ.

Большинство серийно выпускаемых ИС ЦАП реализуют именно этот принцип. Их отличие состоит лишь в способе получения разрядных токов и используемой схемотехнике.

В простейшем случае для получения эталонных источников тока $I_0 \cdot 2^i$ можно к источнику напряжения U_{REF} подключить ряд резисторов, сопротивления которых пропорциональны весовым коэффициентам входного кода (рис. 23.5, б). Такие резисторы называют *взвешенными*. Так как для ОУ $U_a = U_b = 0$, то токи резисторов схемы будут обратно пропорциональны их сопротивлениям $I_i = U_{REF} \cdot 2^i / R = I_0 \cdot 2^i$, где $I_0 = U_{REF} / R$, и для выходного напряжения устройства справедливо выражение (23.6).

Недостатком такого решения является широкий диапазон изменения сопротивлений взвешенных резисторов, используемых для формирования разрядных токов. К тому же для обеспечения точности преобразования абсолютные значения сопротивлений этих резисторов должны выдерживаться с прецизионной точностью. Так, в случае 12-разрядного ЦАП сопротивления разрядных резисторов должны отличаться в $2^{11} = 2048$ раз, что весьма трудно выполнить технологически. Поэтому для получения источников эталонного тока часто используют резистивные R - $2R$ матрицы, выполненные только на резисторах двух номиналов R и $2R$. В качестве примера рассмотрим приведенную на рис. 23.6 схему 4-разрядного ЦАП с матрицей R - $2R$. Схема включает R - $2R$ матрицу, четыре переключателя S_3, \dots, S_0 , на МДП-транзисторы $VT_{3,1}, \dots, VT_{0,1}$ и $VT_{3,2}, \dots, VT_{0,2}$ четыре инвертора DD_3, \dots, DD_0 и ОУ DA с цепью ООС. На входы инвертора подаются сигналы разрядов входного кода $X_3 \dots X_0$, а на вход матрицы R - $2R$ — напряжение от эталонного источника U_{REF} .

Рассмотрим сначала работу матрицы R - $2R$. Для удобства предположим, что на вход ЦАП подан нулевой код (0000). Тогда вы-

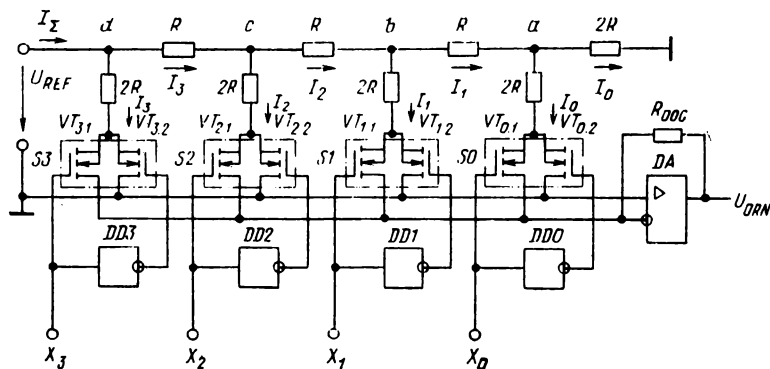


Рис. 23.6. Структурная схема ЦАП с матрицей R - $2R$

ходными сигналами инверторов $DD3, \dots, DD0$ включены транзисторы $VT_{3,2}, \dots, VT_{0,2}$ переключателей $S3, \dots, S0$, и нижние выводы всех резисторов $2R$ матрицы подключены к общей шине.

Работа матрицы R - $2R$ основана на том, что выходное сопротивление любой отсекаемой от нее выходной части схемы, содержащей целое число R - $2R$ звеньев определяется параллельным соединением двух цепей, сопротивления каждой из которых равно $2R$. Поясним это. Между узлом «а» матрицы и общей шиной параллельно включены два резистора $2R$ ($VT_{0,2}$ — включен). Поэтому выходное сопротивление матрицы относительно узла «а» равно R . Между узлом «b» и общей шиной схемы также параллельно включены резистор $2R$ и последовательно соединенные резистор R и выходное сопротивление матрицы относительно узла «а», равное R . Поэтому выходное сопротивление матрицы, измеренное относительно узла «b», также равно R и т. д.

Согласно сказанному полное выходное сопротивление матрицы, измеренное относительно узла «d», равно R , и ток, отбираемый матрицей от источника U_{REF} ,

$$I_{\Sigma} = U_{REF}/R. \quad (23.7)$$

Так как сопротивления ветвей матрицы, подключенных к точке «d» равны, то $I_3 = I_{\Sigma}/2 = U_{REF}/2R$.

Ток I_3 , втекающий в узел «с», также разделится пополам, т. е. $I_2 = I_3/2 = U_{REF}/2 \cdot 2R$ и т. д.

Из приведенного анализа видно, что через переключатели S_3, \dots, S_0 протекают токи, значения которых пропорциональны весовым коэффициентам двоичного кода.

Если на входы некоторых инверторов поданы сигналы лог. 1, то в соответствующих переключателях S_i включены транзисторы VT_{i1} и токи, пропорциональные весовым коэффициентам данных разрядов, попадают на инвертирующий вход ОУ. В этом случае, согласно принципу суперпозиции, для входного тока ОУ справедливо выражение (23.5), а для выходного напряжения усилителя — выражение (23.6).

Определим напряжение, которое может быть сформировано на выходе схемы рис. 23.6 при подаче на ее вход кода 1111. Из (23.6) с учетом (23.5) и (23.7) получаем

$$U_{ORN_{\max}} = U_{REF} \left(\frac{1}{2^1} + \frac{1}{2^2} + \frac{1}{2^3} + \frac{1}{2^4} \right) = \frac{15}{16} U_{REF}.$$

В общем случае, учитывая, что выражение в скобках представляет сумму членов геометрической прогрессии со знаменателем $1/2$ для b -разрядного кода можно записать

$$U_{ORN_{\max}} = U_{REF} \frac{R_{OOC}}{R} (1 - 1/2^b).$$

Полученные выражения показывают, что в ЦАП рассматриваемого типа максимальное выходное напряжение всегда на ΔU_{ORN} меньше опорного напряжения U_{REF} , причем

$$\Delta U_{ORN} = U_{REF} \frac{R_{оос}}{R} \frac{1}{2^b}. \quad (23.8)$$

Это объясняется тем, что в последнем звене матрицы R - $2R$ составляющая тока I_0 всегда, минуя вход ОУ, замыкается на общую шину устройства. Величина ΔU_{ORN} численно равна 1ЕМР . Следовательно, максимальное выходное напряжение ЦАП с суммированием токов всегда на величину абсолютной разрешающей способности меньше источника эталонного напряжения.

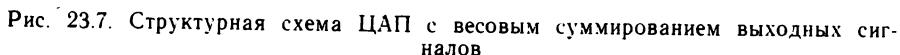
При выполнении рассмотренного устройства в виде ИС из нее иногда исключают источник эталонного напряжения U_{REF} и ОУ. Это позволяет расширить функциональные возможности устройства. В частности, если U_{REF} изменяется по заданному закону, схема может быть использована в качестве умножающего преобразователя.

Точность и стабильность параметров устройства в основном зависят от точности выполнения и стабильности сопротивлений его резисторов. Обычно соблюдается условие $R_{оос}/R=1$. Поэтому резистор $R_{оос}=R$ вводится в состав ИС. В самой схеме все резисторы выполнены в виде идентичных по геометрическим размерам областей, одинаково ориентированных относительно осей кристалла. В качестве материала для резисторов используют пленку поликремния, обладающую высокой стабильностью собственного сопротивления.

Погрешность выходных параметров также зависит от падений напряжения на транзисторах токовых переключателей S_i . Для компенсации этих погрешностей площади транзисторов выполняются пропорциональными протекающему через них току. Этим достигается равенство падений напряжения на токовых переключателях всех разрядов.

При увеличении числа разрядов рабочие токи матрицы R - $2R$ уменьшаются и становятся соизмеримыми с собственными шумами используемых элементов. Так, для 12-разрядного ЦАП отношение токов старшего и младшего разрядов равно $2^{11}=2048$. Максимальный разрядный ток, определенный из условия допустимой рассеиваемой ИС мощности, обычно ограничивается на уровне в несколько миллиампер. Тогда токи младших разрядов ЦАП лежат на уровне десятых, сотых долей микроампера, что не позволяет обеспечить требуемую точность преобразования.

Решением проблемы является использование метода, подобного описанному ранее при рассмотрении счетчиков и сумматоров. Это выделение из структуры многоразрядного устройства несколь-



Устройство состоит из трех 4-разрядных ЦАП. Так как кратность изменения сопротивлений в этом случае для каждого из них равна восьми, то для формирования весовых токов можно использовать как матрицы $R-2R$ (см. рис. 23.6), так и взвешенные резисторы (см. рис. 23.5). На входы первого ЦАП подаются старшие разряды входного кода (X_7, \dots, X_4), на входы второго ЦАП — средние разряды (X_3, \dots, X_0), а на входы третьего ЦАП — младшие разряды кода (X_7, \dots, X_4). Выходной сигнал ЦАП старших разрядов подается на выход устройства непосредственно, а сигналы ЦАП средних и младших разрядов через делители тока (R_1, R_3 и R_2, R_4), имеющие коэффициенты деления $1/16$ и $1/128$ соответственно. Таким образом при использовании рассматриваемой структурной схемы существует только два делителя с большими коэффициентами деления. В реальных схемах точность этих коэффициентов обеспечивается лазерной подгонкой соответствующих резисторов.

23.4. АЦП ПОСЛЕДОВАТЕЛЬНОГО СЧЕТА

Принцип работы АЦП последовательного счета со счетчиком рассмотрим с использованием структурной схемы, показанной на рис. 23.8. Устройство содержит генератор тактовых импульсов (ГТИ), выход которого подключен к первому входу элемента 2И $DD1$. Выход элемента 2И соединен со счетным входом счетчика $DD2$, поразрядные выходы которого соединены с входами ЦАП. Выход ЦАП подключен к инвертирующему входу безгистерезисного компаратора DA , к неинвертирующему входу которого подключается источник входного напряжения, преобразуемого в код. Выход компаратора соединен со вторым входом элемента 2И $DD1$.

Работает АЦП следующим образом. В исходном состоянии на вход установки в нуль счетчика $DD2$ подан активный логический сигнал. Счетчик сброшен. Его выходной код равен нулю. Равно нулю и выходное напряжение ЦАП. Поэтому, если $U_{вх} > 0$, то на выходе компаратора присутствует сигнал лог. 1 и тактовые импульсы с выхода ГТИ через элемент 2И $DD1$ поступают на вход C счетчика. Однако, так как сигнал на входе $R=0$, выходной код счетчика $X \equiv 0$.

Преобразование начинается в момент снятия со входа R активного логического сигнала (импульс «Пуск»). В этом случае с приходом каждого тактового импульса с выхода ГТИ счетчик выполняет операцию инкремента. Его выходной код начинает увеличиваться. Соответственно увеличивается и выходное напряжение ЦАП (рис. 23.9). Этот процесс продолжается до тех пор, пока выходное напряжение ЦАП не превысит величину $U_{вх}$. В этот момент компаратор DA сформирует на выходе сигнал лог. 0. В результате на выходе элемента 2И $DD1$ также будет сформирован сигнал лог. 0 и увеличение выходного кода счетчика прекратится.

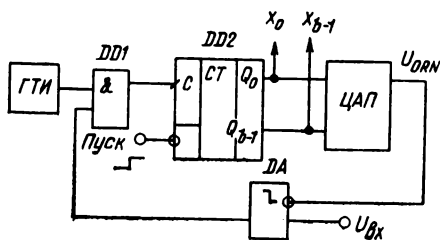


Рис. 23.8. Структурная схема циклического АЦП последовательного счета

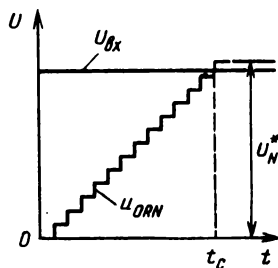


Рис. 23.9. Временная диаграмма входного напряжения компаратора циклического АЦП

При этом значение выходного кода счетчика будет прямо пропорционально входному напряжению $U_{вх}$ и обратно пропорционально абсолютной разрешающей способности используемого ЦАП

$$N_{вых} = U_{вх}/\alpha. \quad (23.9)$$

Так как выходное напряжение ЦАП имеет форму ступенчатой функции, то напряжение $N_{вых}$, найденное из (23.9), должно быть округлено до ближайшего целого числа, соответствующего номеру первого уровня U_N^* , превышающего значение $U_{вх}$ (рис. 23.9). Для повторения цикла преобразования необходимо импульсом «Пуск» счетчик установить в нуль.

Очевидно, что время преобразования в рассмотренном АЦП прямо пропорционально его выходному коду и периоду следования импульсов ГТИ ($T_{ГТИ}$)

$$t_c = T_{ГТИ} N_{вых} = T_{ГТИ} U_{вх}/\alpha. \quad (23.10)$$

Рассмотренный режим работы называется *циклическим*, так как каждый раз импульс «Пуск» сбрасывает счетчик $DD2$ и поэтому счет (преобразование) всегда начинается с нуля.

Если в АЦП использовать реверсивный счетчик, то можно реализовать *нециклический* режим работы, характеризующийся более высоким быстродействием. В этом случае на выходе счетчика постоянно присутствует код, пропорциональный текущему значению входного напряжения. Структурная схема АЦП, реализующего нециклический режим работы, показана на рис. 23.10.

В отличие от АЦП, работающего в циклическом режиме, в схему дополнительно введены инвертор $DD4$ и еще один элемент 2И $DD3$.

Исходное состояние схемы аналогично состоянию циклического АЦП. Счетчик $DD2$ сброшен. Выходное напряжение ЦАП $U_{ORN}=0$ и на вход «+1» счетчика $DD2$ поступает последовательность выходных импульсов ГТИ. При снятии активного логического уровня

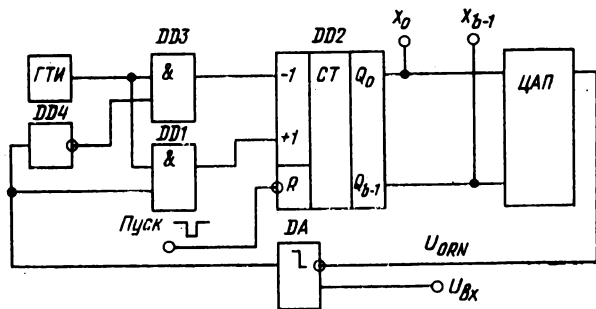


Рис. 23.10. Структурная схема нециклического АЦП

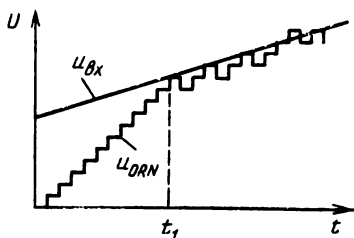


Рис. 23.11. Временная диаграмма входного напряжения компаратора нециклического АЦП

с входа R счетчика его выходной код начинает увеличиваться. Увеличивается и выходное напряжение ЦАП. Этот процесс протекает до момента t_1 (рис. 23.11), в который $U_{ORN} > U_{вх}$. Срабатывание компаратора DA приводит к тому, что на выходе элемента 2И $DD1$ формируется пассивный для входа «+1» счетчика $DD2$ сигнал. Одновременно инвертор $DD4$ формирует на нижнем входе элемента $DD3$ сигнал лог. 1. В результате этого на вход «-1» счетчика $DD2$ начинают поступать импульсы ГТИ. При этом счетчик выполняет операцию декремента и его выходной код начинает уменьшаться. Уменьшается и напряжение ЦАП. В момент нарушения неравенства $U_{вх} > U_{ORN}$ происходит очередное переключение компаратора DA и счетчик начинает увеличивать свой выходной код.

Таким образом, с момента прихода импульса «Пуск» до момента t_1 оба рассмотренных АЦП работают одинаково. Однако после t_1 выходной код нециклического АЦП постоянно следит за изменением входного напряжения, что значительно снижает его время преобразования.

Общим недостатком рассмотренных схем является длительность интервала t_1 , в течение которого выходной код счетчика должен достичь значения, эквивалентного входному напряжению. Причем увеличение точности требует увеличения разрядности используемых счетчика и ЦАП и ведет к падению быстродействия рассмотренных устройств. Вследствие сказанного, данный тип АЦП при разработке ИС не используется.

23.5. АЦП ПОРАЗРЯДНОГО КОДИРОВАНИЯ

Данный тип АЦП также часто называют АЦП последовательного приближения или АЦП с поразрядным уравниванием. Проиллюстрируем его работу на примере упрощенной структурной схемы, показанной на рис. 23.12. Основой устройства является так называемый регистр последовательных приближений (РПП). Алгоритм его работы следующий. По каждому импульсу ГТИ РПП последовательно, начиная со старшего разряда, формирует на выходах Q сигнал лог. 1, который в зависимости от сигнала, посту-

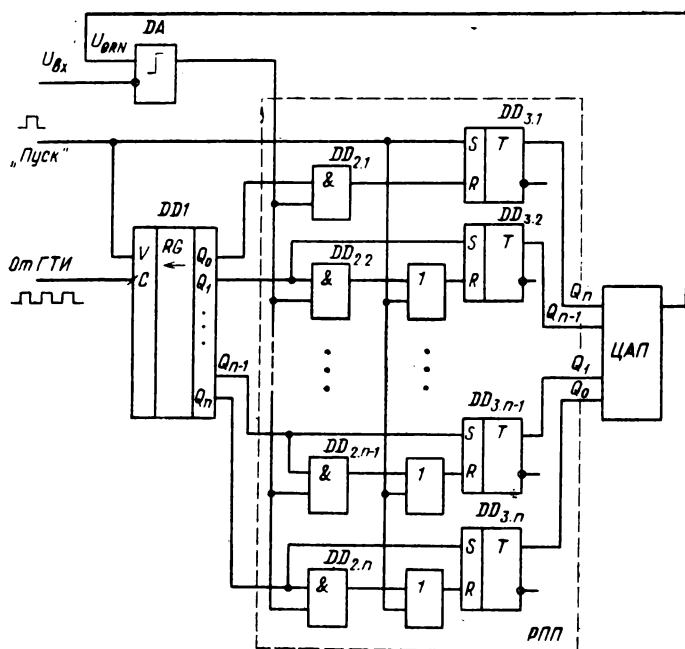


Рис. 23.12. Структурная схема АЦП поразрядного кодирования

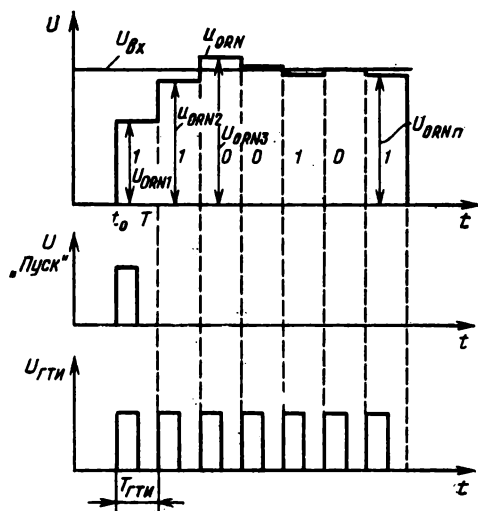


Рис. 23.13. Временные диаграммы работы АЦП поразрядного кодирования

пающего на его управляющий вход с выхода компаратора, либо остается неизменным, либо заменяется сигналом лог. 0.

Работу АЦП рассмотрим с использованием временных диаграмм, приведенных на рис. 23.13.

В момент t_0 по сигналу «Пуск» в выходной статический регистр РПП, выполненный на RS -триггерах $DD_{3.1}, \dots, DD_{3.n}$, записывается код, содержащий единицу только в старшем разряде Q_n . Этот код при помощи ЦАП преобразуется в напряжение U_{ORN1} , которое на входе компаратора DA сравнивается с входным напряжением устройства. Если $U_{ORN1} > U_{вх}$, то на выходе компаратора формируется единичный сигнал, если $U_{ORN1} < U_{вх}$ — то нулевой сигнал.

Одновременно сигналом «Пуск» в младший разряд Q_0 сдвигового регистра $DD1$ РПП по фронту ГТИ также записывается сигнал лог. 1. Этот сигнал открывает логический переключатель на элементе 2И $DD_{2.1}$ и выходной сигнал компаратора передается на вход R -триггера $DD_{3.1}$. При этом, если $U_{ORN1} > U_{вх}$, то триггер $DD_{3.1}$ сбрасывается и на выходе РПП формируется нулевой код. В противном случае ($U_{ORN1} < U_{вх}$) триггер $DD_{3.1}$ остается установленным и на выходе РПП сохраняется код с единицей в старшем разряде.

Следующий фронт ГТИ сдвигает код, записанный в $DD1$ влево. В результате этого сигнал лог. 1 перемещается в его первый разряд (Q_1), что устанавливает триггер $DD_{3.2}$. На выходе РПП формируется код, содержащий единицу в разряде Q_{n-1} , а на выходе ЦАП — новое значение напряжения, равное U_{ORN2} . Это напряжение также сравнивается с $U_{вх}$. Так как сигнал лог. 1 присутствует только на выходе Q_1 регистра $DD1$, то выходной сигнал компаратора DA может воздействовать на вход R только триггера $DD_{3.2}$. При этом, если $U_{ORN2} > U_{вх}$, то $DD_{3.2}$ сбрасывается, а если $U_{ORN2} < U_{вх}$ — триггер остается установленным.

Следующий импульс ГТИ сдвигает код, записанный в $DD1$ влево и процесс продолжается аналогично описанному до тех пор, пока сигнал лог. 1 не достигнет старшего разряда Q_n регистра $DD1$. В этом случае по импульсу ГТИ регистр $DD1$ устанавливается в нуль и процесс преобразования завершается. Искомое значение выходного кода считывается с выхода РПП.

Из приведенного алгоритма следует, что число импульсов, необходимое для выполнения преобразования, равно разрядности выходного кода АЦП, т. е. время преобразования

$$t_c = bT_{ГТИ}. \quad (23.11)$$

Очевидно, что это время не зависит от входного напряжения и существенно меньше времени, необходимого для преобразования в АЦП последовательного счета.

Ввиду своей достаточной простоты и хорошего быстродействия данный тип АЦП находит широкое применение при разработке ИС.

23.6. АЦП ПАРАЛЛЕЛЬНОГО ПРЕОБРАЗОВАНИЯ

Данный тип АЦП реализует метод непосредственного считывания и является на сегодняшний день самым быстродействующим. Классический принцип его работы поясняется рис. 23.14. Устройство содержит $2^b - 1$ компараторов K , на объединенные инвертирующие входы которых подается входной преобразуемый сигнал. На неинвертирующие входы компараторов подаются напряжения, численно равные уровням квантования U_n^* . В результате с выходов компаратора снимается параллельный N -разрядный единичный код. Число единиц в нем равно числу уровней квантования по величине меньших значений u_{ax} .

Полученный единичный код подается на вход преобразователя кода (ПК), в котором он преобразуется в двоичный с числом разрядов $b = \lg_2 N$. С выхода ПК двоичный код через логические переключатели на элементах 2И подается на вход статического регистра, с выхода которого он и считывается. Перезапись кода ПК в статический регистр происходит по сигналу «Запись». Этот сигнал подается в схему после того, как все переходные процессы, связанные со срабатыванием компараторов и получением двоичного кода, завершены.

Для получения напряжений, равных уровням квантования в схеме, использован делитель напряжения на N одинаковых резисторах, подключенный к выходу источника эталонного напряжения U_{REF} . Формирование в данном АЦП выходного кода одновременно по всем разрядам предполагает получение максимально

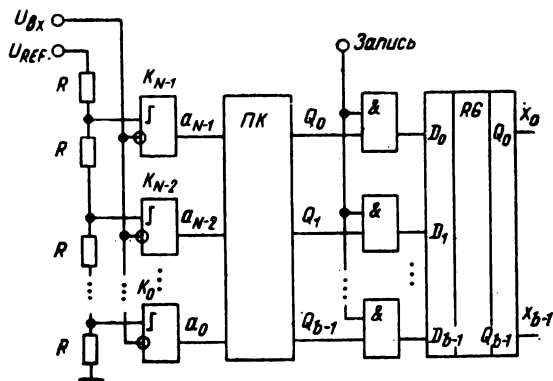


Рис. 23.14. Структурная схема параллельного АЦП

возможного быстродействия. Его время преобразования определяется только структурой ПК и собственным быстродействием используемой элементной базы.

Следует заметить, что повышение точности работы АЦП данного типа всегда связано со значительными аппаратными затратами. Так, для построения 8-разрядного АЦП необходимо 255 компараторов. Реально общее число элементов в ИС такого АЦП достигает $3 \cdot 10^4$, а потребляемая мощность 2,5 Вт.

На практике компромисс между быстродействием и сложностью схемы разрешается в так называемых параллельно-последовательных схемах АЦП. Принцип их работы основан на выделении в АЦП нескольких самостоятельных структур (групп). Например, при двух структурах первая осуществляет грубое преобразование, формируя старшие разряды выходного кода, вторая формирует младшие разряды выходного кода. На ее вход подается разность входного напряжения и напряжения с выхода дополнительного ЦАП, преобразующего в аналоговую величину код старших выходных разрядов. Для повышения точности преобразования эта разность усиливается в 2^l раз, где l — разрядность кода на выходе первой «грубой» структуры.

Такое решение позволяет при приемлемой сложности реализации увеличить число выходных разрядов АЦП до 10 ... 12. Реальное время преобразования в АЦП параллельного типа достигает 10 ... 20 нс.

23.7. АЦП С ДВОЙНЫМ ИНТЕГРИРОВАНИЕМ

Аналого-цифровой преобразователь с двойным интегрированием является разновидностью устройств, реализующих метод последовательного счета. Однако от рассмотренных ранее АЦП данного класса они отличаются повышенной точностью и помехозащищенностью. Объясняется это тем, что любой сигнал (U_c), кроме полезной собственно информационной составляющей ($U_{инф}$) содержит составляющие помех ($U_{пом}$), которые носят, как правило, периодический характер с периодом T_p . Это, например, наводки от питающего напряжения, собственные шумы элементов и т. д.:

$$U_c = U_{инф} + \sum U_{пом} \sin 2\pi t/T_p.$$

При непосредственном преобразовании выборка U_c происходит в дискретные моменты времени и поэтому выходной код пропорционален мгновенным значениям U_c , а не $U_{инф}$.

Если в процессе преобразования сигнал U_c проинтегрировать, при этом время интегрирования выбрать кратное периодам составляющих помех T_p , то результат будет пропорционален собственно информационной составляющей сигнала

$$U = \int_0^{nT_n} U_c(t) dt = U_{\text{инф}} nT_n. \quad (23.12)$$

Этот подход и реализован в АЦП с двойным интегрированием. Идея их построения заключается в следующем.

Сначала, в течение некоторого фиксированного временного интервала t_1 входной сигнал интегрируют аналоговым интегратором. Полагая, что на этом интервале $U_{\text{инф}}$ постоянно, а в момент $t=0$ выходное напряжение интегратора равнялось нулю, для момента t_1 можно записать

$$U_1 = \frac{1}{RC} \int_0^{t_1} U_c dt = U_{\text{инф}} t_1 / RC.$$

Далее к входу интегратора подключают некоторое эталонное напряжение (U_{REF}), полярность которого противоположна полярности напряжения $U_{\text{инф}}$. Интегрирование U_{REF} ведут до тех пор, пока его выходное напряжение не уменьшится до нуля. Если U_{REF} постоянно, то можно записать

$$U_{\text{инт}} = U_1 = \frac{1}{RC} \int_{t_1}^{t_2} U_{\text{REF}} dt = \frac{U_{\text{инф}} t_1}{RC} - \frac{U_{\text{REF}} (t_2 - t_1)}{RC} = 0. \quad (23.13)$$

Решая (23.13) относительно временного интервала $\Delta t = t_2 - t_1$, получаем

$$\Delta t = U_{\text{инф}} t_1 / U_{\text{REF}}. \quad (23.14)$$

Из (23.14) следует, что интервал Δt не зависит от собственных параметров интегратора и определяется только временем интегрирования входного сигнала и эталонным напряжением.

Если в течение интервала Δt посчитать счетчиком число импульсов некоторой тактовой частоты f_T , то полученный код будет пропорционален входному напряжению. При этом в силу (23.12), все составляющие помех будут компенсированы и выходной код M будет пропорционален $U_{\text{инф}}$:

$$M = U_{\text{инф}} t_1 f_T / U_{\text{REF}}. \quad (23.15)$$

Если выполнить условие $|U_{\text{REF}}| > |U_{\text{инф}}|$, то интервал t_1 будет всегда больше интервала Δt и его можно задать, посчитав число импульсов той же частоты f_T тем же счетчиком

$$t_1 = 2^b / f_T.$$

Подставив значение t_1 в (23.15), окончательно получим

$$M = 2^b U_{\text{инф}} / U_{\text{REF}}. \quad (23.16)$$

Из выражения (23.16) следует, что при таком способе реализации выходной код АЦП зависит только от $U_{\text{инф}}$ и U_{REF} и, следовательно, долговременные нестабильности как интегратора (RC), так и

задающего генератора (f_T) не влияют на точность преобразования. Именно этим и объясняется высокая точность и помехозащищенность данного АЦП.

Пример технической реализации АЦП с двойным интегрированием показан на рис. 23.15, а на рис. 23.16 приведены временные диаграммы, поясняющие его работу.

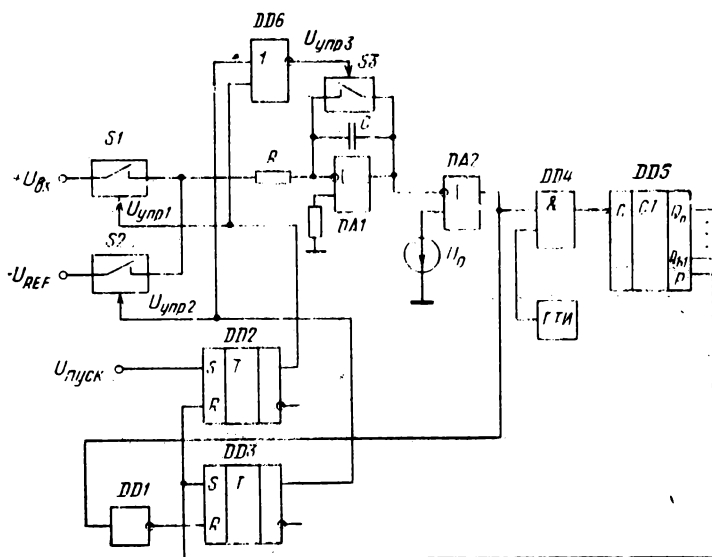


Рис. 23.15. Структурная схема АЦП с двойным интегрированием

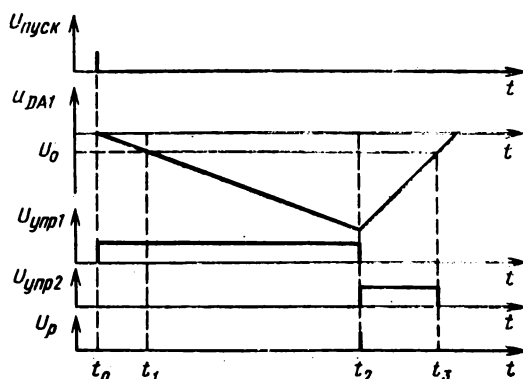


Рис. 23.16. Временные диаграммы напряжений в схеме АЦП с двойным интегрированием

В исходном состоянии триггеры $DD2$ и $DD3$ сброшены. Поэтому управляющие переключатели $S1$ и $S2$ разомкнуты, а $S3$ сигналом элемента 2ИЛИ—НЕ $DD6$ замкнут, что обеспечивает поддержание выходного напряжения интегратора $DA1$ на нулевом уровне.

Запуск схемы осуществляется подачей в момент $t=t_0$ импульса «Пуск» ($U_{\text{пуск}}$) на S -вход RS -триггера $DD2$. При этом выходной сигнал триггера $DD2$ замыкает переключатель $S1$ и размыкает переключатель $S3$. Входное напряжение подается на вход интегратора, выполненного на ОУ $DA1$. Если $U_{\text{вх}} > 0$, то выходное напряжение интегратора начинает уменьшаться. В момент t_1 напряжение $U_{DA1} = U_0$ и компаратор, выполненный на ОУ $DA2$ формирует на верхнем входе элемента 2И $DD4$ пассивный логический уровень. В результате этого на счетный вход счетчика $DD5$ начинают поступать импульсы генератора тактовых импульсов (ГТИ). Это состояние схемы поддерживается до момента t_2 , в который счетчик $DD5$ на выходе P сформирует сигнал переполнения. Этот сигнал сбрасывает триггер $DD2$ и устанавливает триггер $DD3$. В результате переключатель $S1$ размыкается, а $S2$ замыкается и на вход интегратора подается эталонное напряжение $-U_{\text{REF}}$.

В силу выражения (23.13) выходное напряжение интегратора начинает уменьшаться. При этом счетчик $DD5$ увеличивает свой выходной код с нуля.

Процесс интегрирования завершается в момент t_3 , когда выходное напряжение интегратора достигнет уровня U_0 . В этот момент компаратор $DA2$ установит на верхнем входе элемента 2И $DD4$ активный логический сигнал, что приведет к окончанию счета, и сбросит триггер $DD3$, который выключит переключатель $S2$ и включит переключатель $S3$.

В результате на выходе счетчика $DD5$ будет сформирован код, пропорциональный входному напряжению.

Следует отметить, что в рассмотренной схеме дрейф параметров ОУ, использованных для выполнения интегратора и компаратора, также не вносит погрешностей в получаемый результат, так как на интервале преобразования временное изменение их характеристик исчезающе мало. К тому же введение в компаратор $DA2$ источника U_0 как бы сдвигает начальный участок характеристики интегратора, влияние собственных погрешностей на котором максимально. Все это позволяет разрабатывать 10—12-разрядные АЦП без использования специальных высокоточных и высокостабильных элементов.

23.8. ОБЛАСТИ ПРИМЕНЕНИЯ АЦП РАЗЛИЧНЫХ ТИПОВ

К настоящему времени разработано большое число ИС АЦП, отличающихся по функциональному составу, назначению, электрическим, конструктивным и другим характеристикам. Это многообразие устройств является следствием различия требований, предъявляемых к АЦП конкретными условиями их применения, которые, к сожалению, на современном этапе развития схемотехники и технологии не могут быть удовлетворены единым техническим решением.

Таблица 23.1

Области применения и основные требования к АЦП

Область применения	Число разрядов	Время преобразования, мкс	Максимальная частота входного сигнала, Гц
Радиолокация	6...8	0,05	$2 \cdot 10^7$
Цифровое телевидение и видеотехника	8	0,05...0,1	10^7
Управление производственными процессами	10...12	10...50	100
Высококачественные звукозапись и звуковоспроизведение	16...20	50	$2 \cdot 10^4$
Телеметрия	14	10^4	100
Цифровые мультиметры	14...18	$10^4 \dots 4 \cdot 10^4$	
Электрокардиография	14	$5 \cdot 10^5$	

В качестве примера в табл. 23.1 перечислено несколько типовых применений АЦП и требования, предъявляемые к ним реальными условиями работы. Анализ приведенных требований позволяет разбить все АЦП на три самостоятельных группы. Первая — это устройства не слишком высокой точности, но обеспечивающие высокое и сверхвысокое быстродействие. Вторая группа — АЦП со средними быстродействием и точностью. Третья группа — это прецизионные устройства малого быстродействия. Такое разбиение по сочетаниям параметров и является причиной применения при разработке АЦП трех вышеперечисленных методов преобразования.

В табл. 23.2 приведены типовые параметры ИС АЦП, реализующих ранее рассмотренные методы преобразования. Очевидно, что эти параметры соответствуют группам, выделенным по результатам анализа табл. 23.1. Так, для разработки устройств измерительной техники, предъявляющих высокие требования к точности при малом быстродействии, широкое применение находит метод двойного интегрирования. В устройствах средних по быстродействию и точности используют АЦП, реализующие метод поразряд-

Таблица 23.2

Усредненные параметры АЦП различных типов

Тип	Число разрядов	Частота входного сигнала, Гц
АЦП двойного интегрирования	16	50...500
АЦП поразрядного уравнивания	12	10^6
Параллельные АЦП	8	10^8

ного уравнивания. Самыми быстродействующими являются устройства, работающие по методу параллельного преобразования (считывания). К сожалению, разработка на их основе устройств повышенной точности при современном уровне технологии не представляется возможной.

Контрольные вопросы

1. Какие операции необходимо выполнить при аналого-цифровом преобразовании?
2. Какие операции необходимо выполнить при цифро-аналоговом преобразовании?
3. Что такое «шум квантования»?
4. Какие принципиальные погрешности вносятся в процессе аналого-цифрового и цифро-аналогового преобразования.
5. Что называется единицей младшего разряда (ЕМР)?
6. Как связаны ЕМР, число разрядов b и напряжение шкалы АЦП?
7. При каких значениях дифференциальной нелинейности характеристика передачи ЦАП перестает быть монотонной?
8. Что понимается под термином — нелинейность характеристики передачи ЦАП и АЦП?
9. Какие основные способы аналого-цифрового преобразования Вы знаете?
10. Как устроена ЦАП с суммированием токов?
11. Зачем на выход ЦАП с суммированием токов включают операционный усилитель?
12. Что называется умножающим ЦАП (АЦП)?
13. Какой принцип заложен в работу АЦП последовательного счета?
14. Что такое циклический и нециклический режимы работы АЦП последовательного счета?
15. Какие способы повышения разрешающей способности ЦАП Вы знаете?
16. Что называется методом поразрядного кодирования и как он реализуется при построении АЦП?
17. Почему параллельные АЦП являются самыми быстродействующими?
18. Докажите, что АЦП с двойным интегрированием обеспечивают получение высокой точности преобразования.
19. Как влияют погрешность операционного усилителя и нестабильность параметров компаратора на точность работы АЦП с двойным интегрированием?

ЗАКЛЮЧЕНИЕ

Дальнейшее развитие электроники неразрывно связано с проблемами обработки информации, где особая роль отводится интегральной электронике. Развитие интегральной электроники по классическому схемотехническому пути сталкивается с рядом принципиальных проблем, обусловленных предельными возможностями ее быстродействия. Важнейшей проблемой является проблема межсоединений элементов в интегральных схемах, ограничивающих их быстродействие за счет паразитных параметров. Эта проблема усугубляется еще и тем, что с ростом интеграции возрастает доля площади кристалла, занятой межсоединениями, и поэтому работа по повышению быстродействия активных элементов не приводит к ожидаемому повышению быстродействия интегральной схемы в целом. В то же время очевидно, что круг задач, стоящих перед техникой обработки информации, требует повышения степени функциональной интеграции.

Современные устройства схемотехнической электроники имеют время задержки $10^{-9} \dots 10^{-10}$ с/вентиль и максимальную скорость обработки информации $10^9 \dots 10^{10}$ оп/с. Такие характеристики недостаточно эффективны для обработки больших массивов информации в реальном масштабе времени, решения задач искусственного интеллекта и т. п. Казалось бы, проблема может быть решена заменой гальванических межъячеечных связей на оптические. Однако применение оптоэлектронных процессов, весьма перспективных с точки зрения повышения скорости обработки информации, требует помимо технологических сложностей введения в многократно повторяющуюся от ячейки к ячейке последовательность преобразования потенциал — заряд — ток — заряд — потенциал еще двух оптоэлектронных преобразователей — на выходе и входе каждой из ячеек. Вероятность сбоев при этом неизбежно возрастет.

Одним из альтернативных путей дальнейшего развития электроники по отношению к классическому схемотехническому направлению может являться использование динамических неоднородностей в качестве носителя информации при обработке больших ее массивов. Это направление, развиваемое у нас в стране акад. Ю. В. Гуляевым, проф. Я. А. Федотовым и другими, получило название функциональной электроники.

В устройствах функциональной электроники массив информационных сигналов может быть обработан целиком, а не в виде отдельных битов информации, как в схемотехнической электронике. При этом возможна обработка информации в аналоговом и цифровом видах одновременно. Все это позволяет достигнуть производительности более 10^{15} оп/с. Различны также функциональные возможности устройств схемотехнической и функциональной интегральной электроники.

Для устройств схемотехнической электроники характерен ограниченный набор выполняемых функций (арифметические действия с числами, хранение информации), реализуемых с помощью элементарных логических элементов И, ИЛИ, НЕ и их различных комбинаций. Важным свойством устройств функциональной электроники является использование в процессах обработки информации элементарных функций высшего порядка, примерами которых являются фурье-преобразование, операции свертки, корреляции и автокорреляции, управляемая задержка и фильтрация информационных сигналов, их когерентное сложение и ответвление (деление), комбинированная обработка сигналов и т. д. Поэтому устройство функциональной электроники может рассматриваться как процессор, одновременно обрабатывающий большой объем информации. Важно отметить, что обработка информации в такого типа процессорах происходит в аналоговом виде, без перевода аналогового сигнала в цифровой код, т. е. без передачи ее по проводникам.

Имеются достаточные основания считать, что последующее развитие электроники пойдет по пути не только дальнейшей миниатюризации классической схемотехнической электроники, но и развития функциональной электроники, способной решить сложные вопросы обработки больших массивов информации в реальном масштабе времени.

СПИСОК ЛИТЕРАТУРЫ

1. **Электротехника и основы электроники** //О. А. Антонова, О. П. Глудкин, П. Д. Давидов и др.; Под ред. О. П. Глудкина, В. П. Соколова. — М.: Высшая школа, 1993. — 445 с.
2. **Богданович В. М.** Нелинейные искажения в приемно-усилительных устройствах. — М.: Связь, 1980. — 280 с.
3. **Егизарян Г. А., Стафеев В. И.** Магнитодиоды, магнитотранзисторы и их применение. — М.: Радио и связь, 1987. — 88 с.
4. **Пресс Ф. П.** Фоточувствительные приборы с зарядовой связью. — М.: Радио и связь, 1991. — 264 с.
5. **Демирчян К. С.** Теоретические основы электротехники: В 2 т. — М.: Высшая школа, 1980. — Т. 1, 2. — 530 с.
6. **Ногин В. Н.** Аналоговые электронные устройства. — М.: Радио и связь, 1992. — 300 с.
7. **Остапенко Г. С.** Усилительные устройства. — М.: Радио и связь, 1989. — 399 с.
8. **Алексенко А. Г., Шагурин И. И.** Микросхемотехника. — М.: Радио и связь, 1990. — 496 с.
9. **Потемкин И. С.** Функциональные узлы цифровой автоматики. — М.: Энергоатомиздат, 1988. — 320 с.
10. **Угрюмов Е. П.** Проектирование элементов и узлов ЭВМ. — М.: Высшая школа, 1987. — 318 с.
11. **Токхейм Р.** Основы цифровой электроники: Пер. с англ. — М.: Мир, 1988. — 392 с.

ОГЛАВЛЕНИЕ

Предисловие	3
Введение	5
ЧАСТЬ ПЕРВАЯ.	
ЭЛЕМЕНТНАЯ БАЗА ЭЛЕКТРОННЫХ УСТРОЙСТВ	8
Глава 1. Непрерывное совершенствование электронных устройств и их современная классификация	8
1.1. Этапы развития электроники	8
1.2. Классификация электронных устройств	10
Глава 2. Принципы функционирования и характеристики полупроводниковых приборов	18
2.1. Полупроводниковые диоды	18
2.2. Биполярные транзисторы	34
2.3. Полевые транзисторы	52
2.4. Тиристоры	63
2.5. Интегральные схемы	66
Глава 3. Полупроводниковые датчики и индикаторные приборы	70
3.1. Полупроводниковые датчики температуры	70
3.2. Магнитополупроводниковые приборы	74
3.3. Приборы с зарядовой связью	86
3.4. Фотоэлектрические приборы. Понятие об оптоэлектронных приборах	91
3.5. Индикаторные приборы	95
ЧАСТЬ ВТОРАЯ.	
АНАЛОГОВЫЕ И ИМПУЛЬСНЫЕ ЭЛЕКТРОННЫЕ УСТРОЙСТВА	
Глава 4. Расчет нелинейных электрических цепей	109
4.1. Основные понятия и определения	109
4.2. Методы расчета нелинейных цепей	111
4.3. Расчет нелинейных цепей постоянного тока	114
4.4. Расчет нелинейных цепей переменного тока	122
4.5. Расчет нелинейных цепей при одновременном воздействии источников постоянного и переменного напряжений	125
Глава 5. Основные свойства аналоговых усилительных устройств	135
5.1. Общие сведения, классификация и основные характеристики усилителя. Типовые функциональные каскады полупроводникового усилителя	135
5.2. Основные характеристики усилителя	139

5.3. Математическое описание усилительных устройств	146
5.4. Частотные характеристики усилительных устройств	149
5.5. Определение структуры усилительного устройства по виду ЛАЧХ	155
5.6. Обратная связь в усилителях	157
5.7. Влияние цепи обратной связи на основные характеристики усилительного устройства	161
5.8. Понятие об устойчивости усилителя	173
5.9. Связь частотных характеристик с параметрами усилителя	179
Глава 6. Схемотехника усилительных устройств на биполярных и полевых транзисторах	183
6.1. Усилительный каскад по схеме с общим эмиттером	183
6.1.1. Принцип работы и основные параметры	183
6.1.2. Понятие о классах усиления усилительных каскадов	188
6.1.3. Передаточная функция и схема замещения	193
6.1.4. Методы стабилизации рабочей точки	195
6.1.5. Каскад с последовательной отрицательной обратной связью по току нагрузки	197
6.1.6. Каскад с параллельной ООС по выходному напряжению	203
6.1.7. Формирование частотной характеристики каскадов с цепями ООС	207
6.2. Усилительный каскад по схеме с общим истоком	210
6.3. Эмиттерный и истоковый повторители	217
6.4. Источники постоянного тока и напряжения	221
6.4.1. Источники тока на биполярных транзисторах	221
6.4.2. Источники тока на полевых транзисторах	226
6.4.3. Источники постоянного напряжения	228
6.5. Схема «токового зеркала»	230
6.6. Активная нагрузка	232
6.7. Составной транзистор	235
6.8. Дифференциальный усилитель	238
6.9. Многокаскадные усилители	245
6.10. Выходные усилители мощности	263
Глава 7. Операционные усилители	272
7.1. Структурная схема операционного усилителя	273
7.2. Основные параметры операционного усилителя	278
7.3. Частотные свойства операционного усилителя	280
Глава 8. Преобразователи аналоговых сигналов на операционных усилителях	287
8.1. Повторитель напряжения	288
8.2. Неинвертирующий усилитель	289
8.3. Инвертирующий усилитель	290
8.4. Влияние параметров реального ОУ на работу усилителя	293
8.5. Температурные погрешности выходного напряжения ОУ	297
8.6. Усилитель с дифференциальным входом	299
8.7. Инвертирующий сумматор	301
8.8. Схема сложения-вычитания	302
8.9. Неинвертирующий сумматор	304
8.10. Интегратор	306
8.11. Дифференциатор	311
8.12. Логарифмический и антилогарифмический (экспоненциальный) усилители	315
8.13. Нелинейные преобразователи	318
8.13.1. Усилитель с возрастающим коэффициентом передачи	318

8.13.2. Усилитель с убывающим коэффициентом передачи	323
8.14. Ограничители уровня	327
8.15. Источники тока	329
8.16. Источники напряжения	331
8.17. Активные фильтры	334
8.17.1. Фильтры низких частот	336
8.17.2. Фильтры высоких частот	338
8.18. Усилители переменного тока	340
Глава 9. Устройства сравнения аналоговых сигналов	349
9.1. Работа операционного усилителя при больших амплитудах входного сигнала	350
9.2. Однопороговое устройство сравнения	354
9.3. Регенеративная схема сравнения	359
9.4. Интегральные компараторы	367
Глава 10. Работа полупроводниковых приборов в ключевом режиме	370
10.1. Общие сведения об электронных схемах коммутации	370
10.2. Диодные ключи	372
10.3. Ключи на биполярных транзисторах	383
10.4. Ключи на полевых транзисторах	401
Глава 11. Триггерные и генераторные устройства	414
11.1. Транзисторные триггеры	415
11.2. Основы теории генераторов. Баланс амплитуд и фаз	421
11.3. Автогенераторы и принципы обеспечения баланса фаз в транзисторных автогенераторах гармонических колебаний	424
11.4. Мультивибраторы и принципы их функционирования	427
11.5. Генератор на операционном усилителе	434
Глава 12. Импульсные усилители мощности	439
12.1. Основные требования к импульсным усилителям мощности	441
12.2. Статические потери в транзисторном ключе	442
12.3. Динамические потери в транзисторном ключе	446
12.4. Режимы импульсного регулирования мощности	455
12.5. Схемы транзисторных импульсных усилителей мощности	457
Глава 13. Источники вторичного электропитания	460
13.1. Классификация, состав и основные параметры	460
13.2. Преобразователи переменного напряжения в пульсирующее напряжение (выпрямители)	465
13.3. Преобразователи постоянного напряжения в переменное напряжение	474
13.4. Устройства согласования уровня напряжения	476
13.5. Устройства стабилизации напряжения питания	477
13.6. Управляемый выпрямитель	496
13.7. Устройства преобразования напряжения	500

ЧАСТЬ ТРЕТЬЯ.

УСТРОЙСТВА ЦИФРОВОЙ ЭЛЕКТРОНИКИ

Глава 14. Математическое описание цифровых устройств	504
14.1. Системы счисления	504
14.2. Логические константы и переменные. Операции булевой алгебры	507
14.3. Способы записи функций алгебры логики	509

14.4. Логические элементы и схемы. Принцип двойственности	513
14.5. Теоремы булевой алгебры	516
14.6. Классификация логических устройств	517
Глава 15. Минимизация логических устройств	518
15.1. Цели минимизации логических устройств	518
15.2. Общие принципы минимизации	519
15.3. Минимизация ФАЛ с использованием карт Вейча	521
15.4. Минимизация ФАЛ на ЭВМ методом Квайна и Мак-Класки	530
Глава 16. Комбинационные логические устройства	534
16.1. Синтез логических устройств в заданном базисе ЛЭ	534
16.2. Особенности построения логических устройств на реальной элементной базе	536
16.3. Типовые функциональные узлы комбинационных логических устройств	540
Глава 17. Последовательностные логические устройства	553
17.1. Назначение и классификация триггерных устройств	553
17.2. Одноступенчатые триггеры	556
17.3. Двухступенчатые триггеры	562
17.4. Триггеры с динамическим управлением	567
17.5. Особенности построения микроэлектронных триггеров	570
17.6. Обобщенная структурная схема и описание цифровых автоматов	572
17.7. Синтез логической схемы цифрового автомата	576
17.8. Построение таблицы переходов по логической схеме автомата	579
17.9. Функциональные узлы последовательностных логических устройств	580
17.9.1. Регистры	580
17.9.2. Счетчики	588
17.9.3. Распределители тактов	599
Глава 18. Арифметико-логические устройства	601
18.1. Назначение и основные параметры	601
18.2. Сумматоры	603
18.2.1. Алгоритм двоичного сложения	603
18.2.2. Классификация сумматоров	605
18.2.3. Двоичный полусумматор	606
18.2.4. Одноразрядный сумматор	607
18.2.5. Многоразрядный сумматор параллельного действия	608
18.2.6. Многоразрядный сумматор последовательного действия	609
18.3. Повышение быстродействия сумматоров	611
18.3.1. Сумматоры с параллельным переносом	612
18.3.2. Сумматоры с групповой структурой	615
18.4. Алгоритм вычитания двоичных чисел	617
18.5. Реализация операций арифметического сложения и вычитания	619
18.6. Двоично-десятичные сумматоры	621
18.7. Выполнение логических операций	623
18.8. Интегральные схемы АЛУ	625
18.9. Выполнение операций арифметического умножения	626
Глава 19. Базовые логические элементы	631
19.1. Способы представления логических переменных электрическими сигналами	631
19.2. Основные требования к базовым ЛЭ	632

19.3. Классификация и области применения основных типов базовых логических элементов	638
19.4. БЛЭ транзисторно-транзисторной логики	639
19.4.1. Состав, схемотехника и принцип действия БЛЭ	639
19.4.2. Разновидности схемотехники элементов ТТЛ	643
19.4.3. Статические характеристики и динамические параметры БЛЭ	646
19.4.4. Способы повышения быстродействия	651
19.4.5. Интегральные параметры и разновидности серий БЛЭ ТТЛ	653
19.5. БЛЭ эмиттерно-связанной логики (ЭСЛ)	655
19.5.1. Особенности схемотехники	655
19.5.2. Принцип действия и функциональные возможности БЛЭ ЭСЛ	657
19.5.3. Статические характеристики	661
19.5.4. Способы повышения быстродействия	662
19.6. БЛЭ на МДП-транзисторах	663
19.6.1. Особенности использования МДП-транзистора	663
19.6.2. Схемотехника БЛЭ <i>n</i> МОП и <i>p</i> МОП-типов	665
19.6.3. Схемотехника БЛЭ КМОП типа	666
19.7. БЛЭ интегрально-инжекционной логики	669
Глава 20. Генераторы на логических элементах и таймеры	673
20.1. Автогенераторы на БЛЭ	673
20.2. Одновибраторы на элементах ТТЛ	682
20.3. Интегральные таймеры	685
Глава 21. Полупроводниковые запоминающие устройства	693
21.1. Назначение, основные параметры и классификация	693
21.2. ЗУ с одномерной адресацией	697
21.3. ЗУ с двумерной адресацией	699
21.4. Увеличение объема памяти ЗУ	701
21.5. Статические ОЗУ на биполярных транзисторах	703
21.6. Статические ОЗУ на полевых транзисторах	705
21.7. Динамические ОЗУ	707
21.8. Постоянные ЗУ (ПЗУ)	710
Глава 22. Логические устройства с программируемыми характеристиками	720
22.1. Назначение и области применения	720
22.2. Применение мультиплексора в качестве универсального ЛЭ	721
22.3. Обобщенная структурная схема программируемой логической интегральной схемы (ПЛИС)	724
22.4. Применение ППЗУ в качестве ПЛИС	725
22.5. Программируемая матричная логика	728
22.6. Программируемые логические матрицы	729
22.7. Базовые матричные кристаллы	733
Глава 23. Аналого-цифровые и цифро-аналоговые преобразователи	736
23.1. Назначение, основные свойства и классификация	736
23.2. Основные характеристики	742
23.3. ЦАП с суммированием токов	744
23.4. АЦП последовательного счета	750
23.5. АЦП поразрядного кодирования	752
23.6. АЦП параллельного преобразования	755
23.7. АЦП с двойным интегрированием	756
23.8. Области применения АЦП различных типов	759
Заключение	762
Список литературы	763

ЭЛЕКТРОННЫЕ КОМПОНЕНТЫ ОТ ВЕДУЩИХ ПРОИЗВОДИТЕЛЕЙ

ВСЕГДА НА СКЛАДЕ В ПРОМЫШЛЕННЫХ КОЛИЧЕСТВАХ

IOR

EPCOS

MAXIM

MITSUBISHI
ELECTRIC

DALLAS
SEMICONDUCTOR

VISHAY

BOURNS

murata
analog in electronics

Honeywell

AMP

Infineon
technologies

ANALOG
DEVICES

PHILIPS

ST

DAE VISION

CRYDOM

- ✓ АЦП и ЦАП, усилители и компараторы
- ✓ Аналоговые ключи и мультиплексоры
- ✓ Регуляторы напряжения, источники опорного напряжения
- ✓ Память (энергонезависимая NV SRAM, 1-Wire(R), SRAM, EEPROM)
- ✓ Микроконтроллеры 8051 с NV RAM



282.00

ПЛАТАН
www.platan.ru
(095) 73-75-999 (многоканальный)

Головной офис: Москва, ул.Ивана Франко, 40, стр.2, (095)73-75-999, почта: 121351, Москва, а/я 100, e-mail: info@platan.ru
Офис на м. Курская: Москва, ул.Земляной вал, 34, (095)916-23-21, kurskaya@platan.ru
Офис в Санкт-Петербурге: ул.Заверинская, 44 (812)232-88-36, 232-23-73, platan@mail.wplus.net
Офис в Киеве: ул.Чистяковская, 2, (38044)494-37-92, 494-37-93, 494-37-94, chip-dip@ukr.net
Представительства: Воронеж: (0732)59-75-57 Казань: (8432)92-18-06 Новосибирск: (3832)16-33-66 Омск: (3812)24-69-03 Ульяновск: (8422)37-65-67 Уфа: (3472)32-33-42
Региональные дилеры: Белгород: (0722)31-29-79 Ижевск: (3412)43-72-51 Омск: (3812)24-10-90 Ростов-на-Дону: (8632)44-34-48 Самара: (8462)35-26-09 С.-Петербург: (812)327-96-92 Томск: (3822)55-65-30, 51-12-25 Чебоксары: (8352)56-63-03 Ярославль: (0852)30-15-69
Розничная продажа в магазинах Чип и Дип: Москва, ул.Беговая, 2 * ул.Гиларовского, 39 * ул.Ивана Франко, 40, стр.2
* ул.Земляной вал, 34 * С.-Петербург, Кронверкский просп., 73 * Ярославль, пр.Ленина, 8а

ISBN 5-93517-002-7
9 785935 170028

АНАЛОГОВАЯ И ЦИФРОВАЯ ЭЛЕКТРОНИКА